

논문 2008-45SD-4-8

## 공핍 모드 N형 나노선 전계효과 트랜지스터의 전류 전도 모델

## (Current Conduction Model of Depletion-Mode N-type Nanowire Field-Effect Transistors (NWFETs))

유 윤 섭\*, 김 한 정\*\*

(Yun Seop Yu and Han Jung Kim)

## 요 약

본 논문은 효율적인 회로 시뮬레이션을 위한 긴 채널 공핍 모드 n형 나노선 전계효과트랜지스터(nanowire field-effect transistor: NWFET)의 간단한 해석적 전류 전도 모델을 소개한다. 본 연구에서 사용된 NWFET는 bottom-up 방식으로 제작되었으며 게이트가 채널의 아래에 존재하는 구조를 가진다. 이 모델은 다양한 바이어스 조건에서 동작하는 NWFET의 모든 전류 전도 메커니즘을 포함한다. 새롭게 개발된 NWFET 모델로 계산된 결과는 이전에 발표된 NWFET 실험 데이터와 비교할 때 10% 오차범위 안에서 서로 일치한다.

## Abstract

This paper introduces a compact analytical current conduction model of long-channel depletion-mode n-type nanowire field-effect transistors (NWFETs). The NWFET used in this work was fabricated with the bottom-up process and it has a bottom-gate structure. The model includes all current conduction mechanisms of the NWFET operating at various bias conditions. The results simulated from the newly developed NWFET model reproduce a reported experimental results within a 10% error.

**Keywords:** Nanowire field-effect transistor(NWFET), Depletion-mode, Current conduction, Pinch-off, Surface depletion effects, Circuit simulation

## I. 서 론

잘 알려진 실리콘 기술은 소자 크기 제작에 대한 기술적 한계를 직면함에 따라서 실리콘 기술을 대체할 만한 새로운 기술에 흥미가 가중되고 있다<sup>[1]</sup>. 카본 나노 튜브(carbon nanotubes: CNTs)나 반도체 나노선(semiconductor nanowires)은 bottom-up 기술로 제작되는 나노 소자나 나노크기의 시스템의 대체 물질 및 대체 기본 단위 블록으로써 큰 가능성을 가진 것으로 알려져 있다<sup>[1~11]</sup>. 최근에 bottom-up 기술에 바탕으로

제작된 반도체 나노선을 이용한 나노선 전계효과 트랜지스터(nanowire field-effect transistor: NWFET)가 미래의 잠재력 있는 고성능 전자소자일 뿐만 아니라 기본적인 전하 수송에 대한 물리적 이해에 도움이 되기 때문에 활발한 연구가 진행되고 있다. 이 NWFET 들은 top-gate<sup>[3, 9]</sup>, bottom-gate<sup>[4, 8, 10~11]</sup> 및 surround-gate<sup>[5~7]</sup> 구조 위에서 전계효과 트랜지스터의 특성을 보여주고 있다. 이 들 중에 bottom-gate 구조의 NWFET가 제작공정의 단순함 때문에 많이 발표 되었다<sup>[4, 8, 10~11]</sup>. 이 NWFET들의 전류-전압 특성을 해석할 수 있는 모델들은 몇 개가 알려져 있다. Datta 등은 NWFET를 비평형 Green 함수식을 사용하여 원자 수준의 양자역학적 시뮬레이션 방법을 제안했다<sup>[12]</sup>. Wang 등은 3차원 양자역학적 시뮬레이션을 수행했다<sup>[13]</sup>. 모든 이런 모델들은 기본 물리현상에 기반해서 수

\* 평생회원, \*\* 정회원, 한경대학교 정보제어공학과,  
전자융합기술연구소  
(Department of Information & Control Engineering  
and Electronic Technology Institute, Hankyong  
National University)  
접수일자: 2007년8월10일, 수정완료일: 2008년4월2일

치해석적으로 문제를 풀게 되므로 매우 많은 계산 시간을 요구한다. 또한 이런 모델들<sup>[12~14]</sup>은 회로 시뮬레이션과 같은 응용에 적합한 compact 모델과는 매우 차이가 있다. Yim 등은 PSPICE에서 사용 가능한 bottom 게이트를 가진 공핍 모드 ZnO NWFET의 등가회로 모델을 개발했다<sup>[15]</sup>. 이 등가회로에 사용된 모든 소자들은 PSPICE에서 제공하는 소자 모델을 이용했으므로 이 모델은 NWFET의 물리적인 특성을 반영하지 못하고 단순히 실험 데이터를 맞추는데 사용된다. Cha 등은 bottom 게이트를 가진 공핍 모드 GaN NWFET의 정전기적 해석을 통한 공핍전하 모델을 이용하여 정전용량-전압(C-V)과 전류-전압(I-V) 모델을 제안하였으나 축적전하(accumulation charge)에 대한 전류 전도 모델이 포함되어 있지 않았다<sup>[16]</sup>. 기존에 발표된 bottom-gate NWFET의 캐리어 농도가 대개  $10^{18} \sim 10^{19} \text{ cm}^{-3}$  범위이기 때문에 표면 공핍 (surface depletion), 채널 공핍 및 채널 축적이 매우 중요한 전류 전도의 메카니즘이 될 것으로 알려져 있다<sup>[16]</sup>. 또한 bottom-gate NWFET는 채널의 길이가 마이크로 미터 크기 이상이기 때문에 short-channel 효과나 양자효과 (quantum effects)와 같은 이차적인 효과(secondary effects)는 무시될 수 있다<sup>[1, 4, 8, 10~11, 16]</sup>. 그러므로 공핍 모드 NWFET의 기본 물리적인 동작 원리를 비교적 정확히 표현하면서 효율적인 회로 시뮬레이션이 가능한 NWFET의 전류-전압 모델이 요구되어진다.

본 논문은 효율적인 회로시뮬레이션을 위한 공핍 모드 n형 NWFET의 전류 전도의 해석적 모델을 소개한다. 이 모델은 다양한 바이어스 조건에서 동작하는 NWFET의 모든 전류 전도 메카니즘을 포함한다. 특히, 공핍 전하 모델 뿐만 아니라 축적 전하 모델도 포함하고 있을 뿐 아니라 표면공핍영역(surface depletion region) 효과를 포함하고 있다. 새롭게 제안된 NWFET 모델을 이전에 발표된 NWFET 실험 데이터와 비교를 통해서 모델을 검증할 것이다.

## II. 본 론

[그림 1]은 본 연구에서 사용된 게이트가 나노선 밑에 존재하는 공핍모드 NWFET의 단면도를 나타낸다<sup>[4, 8, 10~11, 16]</sup>. 나노선은 수직화된 해석적 계산을 유도하기 편리하도록 원형이나 육각형 단면보다 사각형 단면으로 가정한다. 나노선은 하나의 n-type 반도체이고 드레인 과 소스는 ohmic 접촉을 위한 금속, 게이트는 하나의

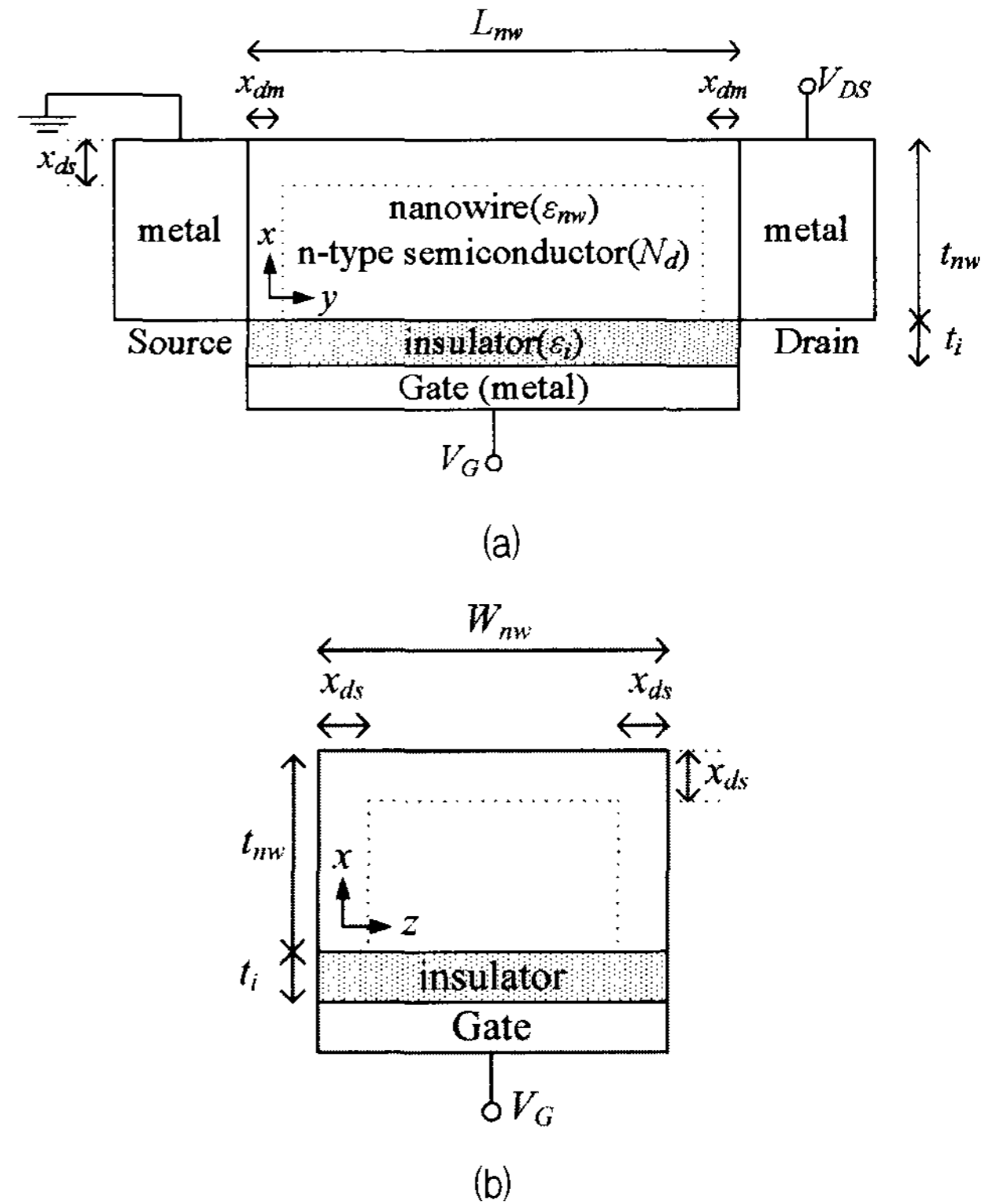


그림 1. Bottom-gate를 가진 전하공핍 모드 NWFET (a) 채널방향의 단면도와 (b) 채널 단면도.

Fig. 1. (a) Cross-section along the depletion-mode NWFET channel with bottom-gate structure and (b) cross-section of the NWFET channel with bottom-gate structure.

금속이다. 나노선의 길이, 폭, 두께, 유전율, 불순물 농도는  $L_{nw}$ ,  $W_{nw}$ ,  $t_{nw}$ ,  $\epsilon_{nw}$ ,  $N_d$ 로 나타내고 절연체의 두께, 유전율은  $t_i$ ,  $\epsilon_i$ 로 나타낸다. 드레인이나 소스 금속과 나노선 간의 공핍영역 폭은  $x_{dm} = (2\epsilon_{nw} V_{bi,ms}/qN_d)^{1/2}$ , 나노선 표면의 표면공핍영역의 폭은  $x_{ds} = (2\epsilon_{nw} V_{bi,s}/qN_d)^{1/2}$ 으로 나타낸다. 여기서  $q$ 는 전자의 전하량이고  $V_{bi,ms}$ 는 금속과 반도체 사이의 접촉전위(contact potential)이고  $V_{bi,s}$ 는 표면 장벽 높이(surface barrier height)이다. 이 소자는 소스 부분은 접지되어 있고 드레인과 게이트는 각각  $V_{DS}$ ,  $V_G$ 로 전압이 인가된다.

### 1. 이동 전하(mobile carrier)

[그림 2(a)]는 NWFET가  $V_G - V(y) < V_{FB}$ 로 바이어스가 되었을 때 채널의 위치  $y$ 에 따른 채널의 깊이 방향( $x$  방향)의 전자들이 공핍되어 있는 단면도를 나타낸다. 여기서  $V(y)$ 는 채널의 위치  $y$ 점의 채널 전위를 나타내고  $V_{FB}$ 는 게이트의 평탄(flat-band) 전압을 나타낸다. 그림에서 보여진 것처럼 게이트쪽의 나노선 표면은 공핍되어 있다. Poisson 방정식을 채널의 깊이 방향

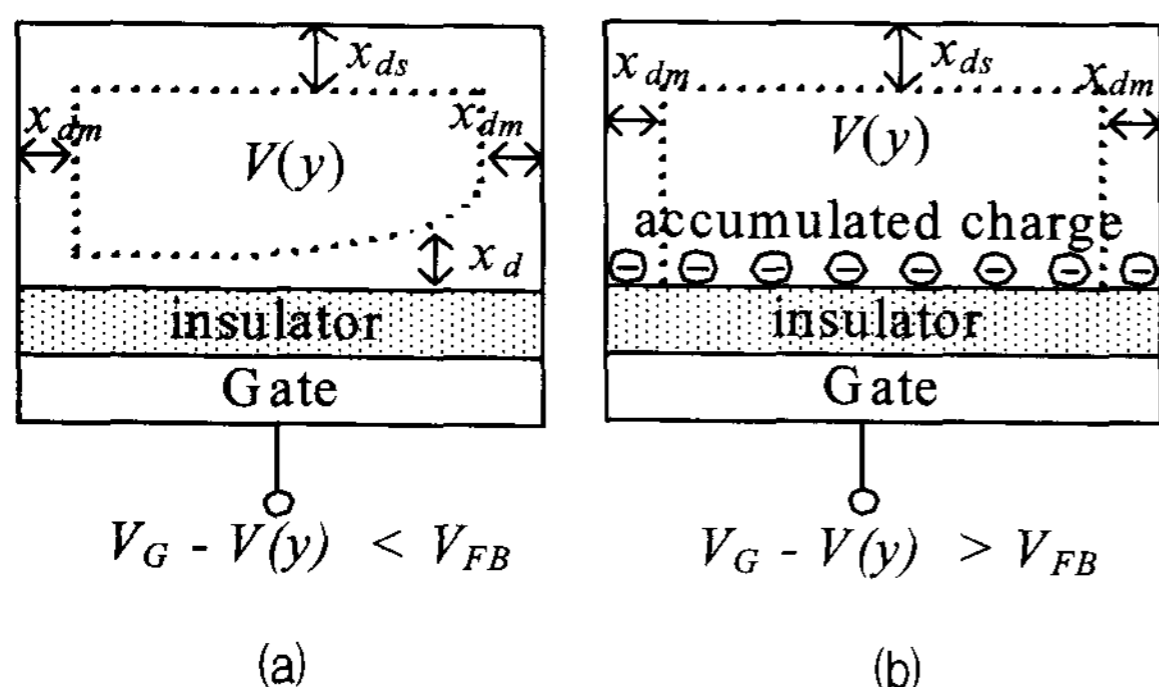


그림 2. (a) 나노선에 전하가 공핍되어 있는 상태와 (b) 나노선에 전하가 축적된 상태

Fig. 2. Cross-section along the NWFET with bottom-gate structure when (a) the nanowire is depleted and (b) the nanowire is accumulated.

으로 풀면 나노선 안의 게이트 표면의 공핍영역의 폭  $x_d$ 는 다음 식과 같이 표현된다<sup>[17]</sup>.

$$x_d = \frac{\epsilon_{nw}}{C_i} \left\{ -1 + \sqrt{1 - \frac{2C_i^2}{qN_d\epsilon_{nw}} [V_G - V_{FB} - V(y)]} \right\}. \quad (1)$$

여기서  $C_i (= \epsilon/t_i)$ 는 절연체의 정전용량이다. 이 조건에서 전도 채널은 나노선 중앙의 중성영역(center neutral region)으로써 중성영역 채널에 단위면적당 전체 이동 전하(전자)량은 다음 식과 같이 표현된다<sup>[17]</sup>.

$$Q_n = -qN_d(t_{nw} - x_d - x_{ds}) = -qN_d(t_{eff} - x_d). \quad (2)$$

여기서  $t_{eff} (= t_{nw} - x_{ds})$ 는 유효 나노선 두께이다.

[그림 2(b)]는 NWFET가  $V_G - V(y) > V_{FB}$ 로 바이어스가 되었을 때 채널의 위치  $y$ 에 따른 채널의 깊이 방향의 전자들이 공핍되어 있는 단면도를 나타낸다. 그림에서 보여진 것처럼 나노선 안의 게이트 표면에 전자들의 공핍은 사라지고 축적된다. 이 조건에서 전도 채널은 나노선 안의 게이트 표면과 나노선 중앙의 중성영역으로 구성된다. 나노선 안의 게이트 표면에 축적된 단위면적당 전하(전자)량은 다음 식과 같이 표현된다<sup>[17]</sup>.

$$Q_{acc} = -C_i [V_G - V_{FB} - V(y)]. \quad (3)$$

나노선 중성영역의 단위면적당 전하(전자)량  $Q_n = -qN_d t_{eff}$ .

## 2. 이동도(mobility)

나노선 중성영역의 이동 전하를 위한 전자 이동도는 다음 식과 같이 표현된다<sup>[18]</sup>.

$$\mu_n = \frac{\mu_{n0}}{1 + \frac{\mu_{n0}}{v_{sat}} E}. \quad (4)$$

여기서  $\mu_{n0}$ 를 low-field bulk electron mobility,  $v_{sat}$ 는 전자의 포화속도(electron saturated velocity),  $E$ 는 수평 전계(lateral electric field)이다. 나노선 안의 게이트 표면의 이동 전하를 위한 전자 이동도는 수평전계 뿐만 아니라 수직전계에 의해서 영향을 받고 다음 식과 같이 표현된다<sup>[19]</sup>.

$$\mu_s = \frac{\mu_{s0}}{1 + \frac{\mu_{s0}}{v_{sat}} E} \quad (5)$$

$$\mu_{s0} = \frac{k_1 \cdot \mu_{n0}}{1 + \theta(V_G - V_{FB})}$$

여기서  $\mu_{s0}$ 를 low-field surface electron mobility이고  $k_1$ 과  $\theta$ 는 fitting 파라미터들이다.

## 3. 드레인 전류(drain current)

바이어스 조건에 따라서 NWFET의 전도전류의 메카니즘은 매우 복잡하다. 나노선 중앙의 중성 영역은 전자들의 이동에 의해서 전류 전도(body 채널 전류:  $I_{body}$ )가 발생하고 나노선의 게이트 표면은 축적된 전자들에 의해서 전류 전도(표면 채널 축적 전류:  $I_{acc}$ )가 발생한다. 바이어스 조건에 따라서 NWFET 전류 전도의 경우가 6가지 존재하고 이 6가지 경우가 [그림 3]에 나타내져 있다.

Case 1: [그림 3]에 나타낸 것처럼 나노선 전체가 완전히 공핍된 상태이므로 NWFET는 subthreshold 영역으로 바이어스 된다. 나노선의 소스 끝부분 전체가 완전히 공핍되도록 게이트에 인가된 전압을 문턱전압(threshold voltage)  $V_{th}$ 라고 정의한다. 즉, 문턱 전압 조건은 다음 식과 같이 표현된다<sup>[17]</sup>.

$$t_{eff} = x_d(0). \quad (6)$$

식 (6)로부터 문턱전압은 다음 식과 같이 표현된다.

$$V_{TH} = V_{FB} - \frac{qN_d}{2C_i} \left[ \frac{C_i}{\epsilon_{nw}} t_{eff}^2 + 2t_{eff} \right]. \quad (7)$$

식 (7)를  $V_{TH} = V_{FB} - V_{dep}$ 라고 가정하면  $V_{dep}$ 는 다음 식과 같이 표현된다.

$$V_{dep} = \frac{qN_d}{2C_i} \left[ \frac{C_i}{\epsilon_{nw}} t_{eff}^2 + 2t_{eff} \right]. \quad (8)$$

Subthreshold 영역의 전류는 확산 전류가 지배적이므로 다음 식과 같이 표현된다<sup>[20]</sup>.

$$I_{DS} = \frac{W_{eff}}{L_{eff}} I_0 \cdot \left[ 1 - \exp\left(-\frac{V_{DS}}{V_t}\right) \right] \cdot \frac{\exp\left[-\frac{V_G - V_{TH}}{nV_t}\right]}{1 + \exp\left[-\frac{V_G - V_{TH}}{nV_t}\right]}. \quad (9)$$

여기서  $n$ 은 non-ideality factor이고  $I_0$ 는 fitting 파라미터이다.

Case 2: [그림 3]에서 보여진 것처럼 전류 전도는 중앙 중성영역인 body 채널을 통해서 이루어지고 이 body 채널 전류  $I_{body}$ 는 선형 영역에서 동작한다. 게이트 바이어스와 드레인 바이어스는  $V_{TH} < V_G < V_{FB}$ ,  $V_G - V_{FB} + V_{dep} > V_{DS}$  조건을 만족해야 한다. 드레인 전류는 다음 식과 같이 표현된다<sup>[17]</sup>.

$$I_{DS} = -W_{eff} Q_n(y) \frac{\mu_{n0}}{1 - \frac{\mu_{n0}}{v_{sat}} \frac{\partial V}{\partial y}} \frac{dV}{dy}. \quad (10)$$

여기서  $W_{eff}(= W_{nw} - 2x_{ds})$ 은 유효 채널 폭이다. 중앙 채널의 드레인 끝부분은 아직 핀치오프되지 않은 상태이므로, 식 (10)의 오른쪽면의 분모항을 왼쪽면으로 이동하고 식 (2)을 이용하여 소스에서 드레인까지 적분하면 다음 식과 같이 표현된다.

$$\begin{aligned} I_{DS} &= \frac{W_{eff}}{L_{eff}} \frac{\mu_{n0}}{1 - \frac{\mu_{n0}}{v_{sat}} \frac{V_{DS}}{L_{eff}}} \int_0^{V_{DS}} qN_d [t_{eff} - x_d(V)] dV \\ &= \frac{W_{eff}}{L_{eff}} \frac{\mu_{n0}}{1 - \frac{\mu_{n0}}{v_{sat}} \frac{V_{DS}}{L_{eff}}} qN_d \left[ \left( t_{eff} + \frac{\epsilon_{nw}}{C_i} \right) V_{DS} + F_1(V_{DS}) - F_1(0) \right], \end{aligned} \quad (11)$$

$$F_1(V) = -\frac{qN_d \epsilon_{nw}^2}{2C_i^3} \cdot \left( 1 - \frac{2C_i^2}{qN_d \epsilon_{nw}} (V_G - V_{FB} - V) \right)^{3/2}. \quad (12)$$

여기서  $L_{eff}(= L_{nw} - 2x_{dm})$ 은 유효 채널 길이이다.

Case 3: [그림 3]에 나타낸 것처럼 중성 영역은 핀치오프되었으나 표면은 아직 전하 축적이 이루어지지 않은 상태이므로  $I_{body}$ 만 존재하고  $I_{body}$ 는 포화 영역에서 동작한다. 게이트 바이어스와 드레인 바이어스는

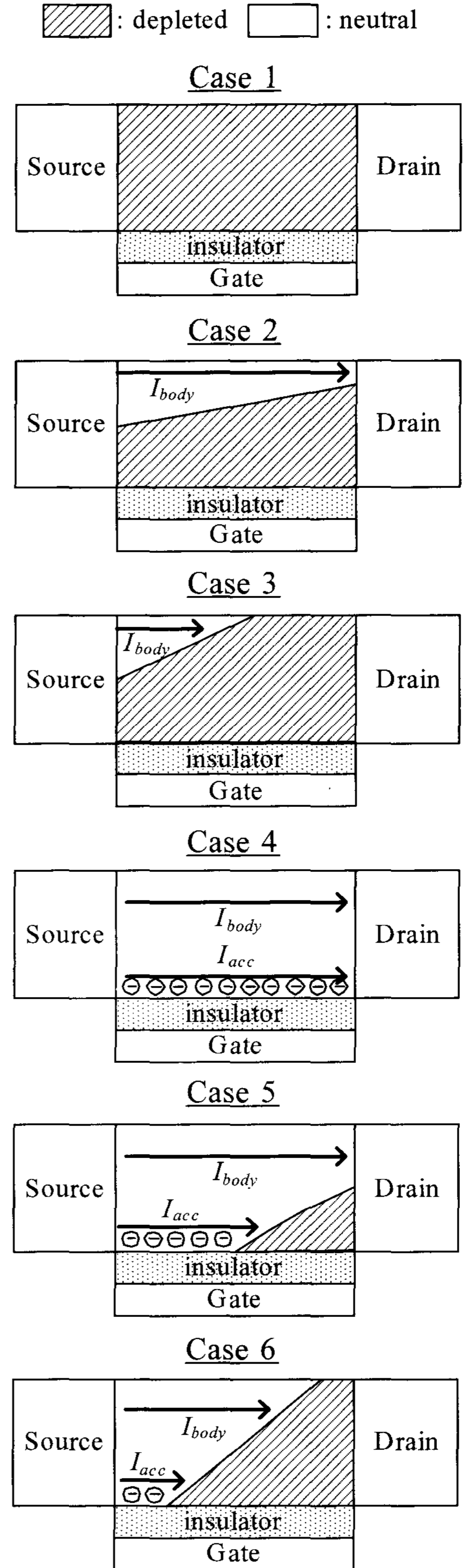


그림 3. 다양한 바이어스 조건에서 NWFET의 다양한 공핍과 축적의 상태들.

Fig. 3. Different cases of depletion and accumulation layers in the NWFET biased at various conditions.

$V_{TH} < V_G < V_{FB}$ ,  $V_G - V_{FB} + V_{dep} \leq V_{DS}$  조건을 만족해야 한다. 중성 영역 중 일부분의 핀치오프 조건은 다음 식과 같이 표현된다<sup>[17]</sup>.

$$t_{eff} = x_d(V_{pn}). \quad (13)$$

식 (13)로부터 중성영역 핀치오프 전압  $V_{pn}$ 는 다음 식과 같이 표현된다.

$$\begin{aligned} V_{pn} &= V_G - V_{FB} + \frac{qN_d}{2C_i} \left[ \frac{C_i}{\epsilon_{nw}} t_{eff}^2 + 2t_{eff} \right] \\ &= V_G - V_{FB} + V_{dep}. \end{aligned} \quad (14)$$

$I_{body}$ 의 포화 전류는 식 (10)를 바탕으로 식 (2)을 이용하고 소스에서 중성영역 핀치오프까지 적분하면 다음 식과 같이 표현된다.

$$\begin{aligned} I_{DS} &= \frac{W_{eff}}{L_{eff}} \frac{\mu_{n0}}{1 - \frac{\mu_{n0}}{v_{sat}} \frac{V_{DS}}{L_{eff}}} \int_0^{V_{pn}} qN_d [t_{eff} - x_d(V)] dV, \\ &= \frac{W_{eff}}{L_{eff}} \frac{\mu_{n0}}{1 - \frac{\mu_{n0}}{v_{sat}} \frac{V_{DS}}{L_{eff}}} qN_d \left[ \left( t_{eff} + \frac{\epsilon_{nw}}{C_i} \right) V_{pn} + F_1(V_{pn}) - F_1(0) \right]. \end{aligned} \quad (15)$$

Case 4: [그림 3]에서 보여진 것처럼 나노선의 전체에 공핍영역은 사라지고 표면의 모든 영역에서 전하 축적이 이루어진 상태이다. 전류는 중성영역을 통하여 흐르는  $I_{body}$ 와 표면영역을 통하여 축적된 전자가 흐르는  $I_{acc}$ 를 포함한다. 여기서  $I_{body}$ 와  $I_{acc}$ 는 모두 선형영역에서 동작한다. 게이트 바이어스와 드레인 바이어스는  $V_G \geq V_{FB}$ ,  $V_G - V_{FB} > V_{DS}$  조건을 만족해야 한다. 중앙 채널의 드레인 끝부분은 아직 핀치오프되지 않은 상태이므로  $I_{body}$ 는 식 (5)를 바탕으로 식 (2)을 이용하고 소스에서 드레인까지 적분하면 다음 식과 같이 표현된다.

$$\begin{aligned} I_{body} &= \frac{W_{eff}}{L_{eff}} \frac{\mu_{n0}}{1 - \frac{\mu_{n0}}{v_{sat}} \frac{V_{DS}}{L_{eff}}} \int_0^{V_{DS}} qN_d t_{eff} dV, \\ &= \frac{W_{eff}}{L_{eff}} \frac{\mu_{n0}}{1 - \frac{\mu_{n0}}{v_{sat}} \frac{V_{DS}}{L_{eff}}} qN_d t_{eff} V_{DS}. \end{aligned} \quad (16)$$

표면 채널의 드레인 끝부분이 아직 핀치오프되지 않은 상태이므로  $I_{acc}$ 는 식 (10)를 바탕으로 bulk mobility  $\mu_{n0}$ 를 surface mobility  $\mu_{s0}$ 으로 변경하고 중성영역 전하  $Q_n$ 를 표면영역 축적전하  $Q_{acc}$ (식 (3))으로 변경한 후, 소스에서 드레인까지 적분하면 다음 식과 같이 표현된다.

$$\begin{aligned} I_{acc} &= \frac{W_{eff}}{L_{eff}} \frac{\mu_{s0}}{1 - \frac{\mu_{s0}}{v_{sat}} \frac{V_{DS}}{L_{eff}}} C_i \int_0^{V_{DS}} [V_G - V_{FB} - V] dV, \\ &= \frac{W_{eff}}{L_{eff}} \frac{\mu_{s0}}{1 - \frac{\mu_{s0}}{v_{sat}} \frac{V_{DS}}{L_{eff}}} C_i \left[ (V_G - V_{FB}) V_{DS} - \frac{V_{DS}^2}{2} \right]. \end{aligned} \quad (17)$$

전체 드레인 전류  $I_{DS}$ 는  $I_{body}$ 와  $I_{acc}$ 의 합이다.

Case 5: [그림 3]에서 보여진 것처럼 중성영역의 드레인 끝부분에서 아직 핀치오프가 발생되지 않고 표면영역의 드레인 끝부분은 핀치오프가 발생한 상태이다. 중성영역을 통하여 흐르는  $I_{body}$ 는 선형영역에서 동작하고 표면영역을 통하여 축적된 전자가 흐르는  $I_{acc}$ 는 포화영역에서 동작한다. 게이트 바이어스와 드레인 바이어스는  $V_G \geq V_{FB}$ ,  $V_G - V_{FB} + V_{dep} \geq V_{DS}$ ,  $V_G - V_{FB} \leq V_{DS}$  조건을 만족해야 한다. 표면 영역 중 일부분의 핀치오프 조건은 다음 식과 같이 표현된다.

$$x_d(V_{pa}) = \frac{\epsilon_{nw}}{C_i} \left\{ -1 + \sqrt{1 - \frac{2C_i^2}{qN_d \epsilon_{nw}} (V_G - V_{FB} - V_{pa})} \right\} = 0. \quad (18)$$

식 (15)로부터 표면영역 핀치오프 전압  $V_{pa} = V_G - V_{FB}$ 이다. 중앙 채널의 드레인 끝부분은 아직 핀치오프되지 않은 상태이므로  $I_{body}$ 는 다음 식과 같이 표현된다.

$$\begin{aligned} I_{body} &= \frac{W_{eff}}{L_{eff}} \frac{\mu_{n0}}{1 - \frac{\mu_{n0}}{v_{sat}} \frac{V_{DS}}{L_{eff}}} \left\{ \int_0^{V_{pa}} qN_d t_{eff} dV \right. \\ &\quad \left. + \int_{V_{pa}}^{V_{DS}} qN_d [t_{eff} - x_d(V)] dV \right\}, \\ &= \frac{W_{eff}}{L_{eff}} \frac{\mu_{n0}}{1 - \frac{\mu_{n0}}{v_{sat}} \frac{V_{DS}}{L_{eff}}} qN_d \left\{ t_{eff} V_{DS} \right. \\ &\quad \left. + \frac{\epsilon_{nw}}{C_i} (V_{DS} - V_G + V_{FB}) + F_1(V_{DS}) + \frac{qN_d \epsilon_{nw}^2}{3C_i^3} \right\}. \end{aligned} \quad (19)$$

표면 채널의 드레인 끝부분이 핀치오프된 상태이므로  $I_{acc}$ 는 식 (10)를 바탕으로 bulk mobility  $\mu_{n0}$ 를 surface mobility  $\mu_{s0}$ 으로 변경하고 중성영역 전하  $Q_n$ 를 표면영역 축적전하  $Q_{acc}$ 으로 변경한 후, 소스에서 표면 핀치오프까지 적분하면 다음 식과 같이 표현된다.

$$I_{acc} = \frac{1}{2} \frac{W_{eff}}{L_{eff}} \frac{\mu_{s0}}{1 - \frac{\mu_{s0} V_{DS}}{v_{sat} L_{eff}}} C_i (V_G - V_{FB})^2. \quad (20)$$

전체 드레인 전류  $I_{DS}$ 는  $I_{body}$ 와  $I_{acc}$ 의 합이다.

Case 6: [그림 3]에서 보여진 것처럼 중성영역의 드레인 끝부분과 표면영역의 드레인 끝부분이 모두 핀치 오프가 발생한 상태이다. 중성영역을 통하여 흐르는  $I_{body}$ 와 표면영역을 통하여 축적된 전자에 의한  $I_{acc}$ 는 모두 포화영역에서 동작한다. 게이트 바이어스와 드레인 바이어스는  $V_G \geq V_{FB}$ ,  $V_G - V_{FB} + V_{dep} \leq V_{DS}$ ,  $V_G - V_{FB} \leq V_{DS}$  조건을 만족해야 한다.  $I_{body}$ 의 포화 전류는 다음 식과 같이 표현된다.

$$\begin{aligned} I_{body} &= \frac{W_{eff}}{L_{eff}} \frac{\mu_{n0}}{1 - \frac{\mu_{n0} V_{DS}}{v_{sat} L_{eff}}} \left\{ \int_0^{V_{pa}} qN_d t_{eff} dV \right. \\ &\quad \left. + \int_{V_{pa}}^{V_{pm}} qN_d [t_{eff} - x_d(V)] dV \right\}, \\ &= \frac{W_{eff}}{L_{eff}} \frac{\mu_{n0}}{1 - \frac{\mu_{n0} V_{DS}}{v_{sat} L_{eff}}} qN_d \left\{ t_{eff} (V_G - V_{FB}) + \frac{qN_d \epsilon_{nw}^2}{3C_i} \right. \\ &\quad \left. + \left( t_{eff} + \frac{\epsilon_{nw}}{C_i} \right) V_{dep} + F_1 (V_G - V_{FB} + V_{dep}) \right\}. \end{aligned} \quad (21)$$

표면 채널의 드레인 끝부분이 핀치오프된 상태이므로  $I_{acc}$ 는 식 (20)과 같이 표현된다. 전체 드레인 전류  $I_{DS}$ 는  $I_{body}$ 와  $I_{acc}$ 의 합이다.

### III. 모델 검증

[그림 4]는 GaN NWFET의 드레인 전류-드레인 전압( $I_{ds}-V_{ds}$ ) 특성을 나타내고 있다. [그림 4(a)]는 넓은 드레인 전압 영역에서  $V_G = 0$  V일 때  $I_{ds}-V_{ds}$  특성을 나타낸다. 빈 네모는 실험데이터<sup>[16]</sup>를 나타내고 실선은 모델로부터 계산된 결과를 나타낸다. [그림 4(b)]는 비교적 좁은 드레인 전압 영역에서 다양한  $V_G$  값에 따른  $I_{ds}-V_{ds}$  특성을 나타낸다. 기호들은 실험 데이터<sup>[16]</sup>를 나타내고 선들은 모델로부터 계산된 결과를 나타낸다. 여기서 사용된 파라미터들은  $t_i = 40$  nm,  $t_{nw} = W_{nw} = 33$  nm,  $L_{nw} = 4$   $\mu$ m,  $N_d = 3.68 \times 10^{18}$  cm<sup>-3</sup>,  $V_{fb} = 1.1$  V,  $\mu_{n0} = 175$  cm<sup>2</sup>/Vs,  $v_{sat} = 6 \times 10^7$  cm/s,  $k_l = 0.6$ ,  $\theta = 0.05$ ,  $V_{bi_{ms}} = V_{bi_{s}} = 0.7$  V,  $n = 1.5$ ,  $I_0 = 2 \times 10^{-8}$  A.

[그림 5]는 ZnO NWFET의 다양한  $V_G$  값에 따른

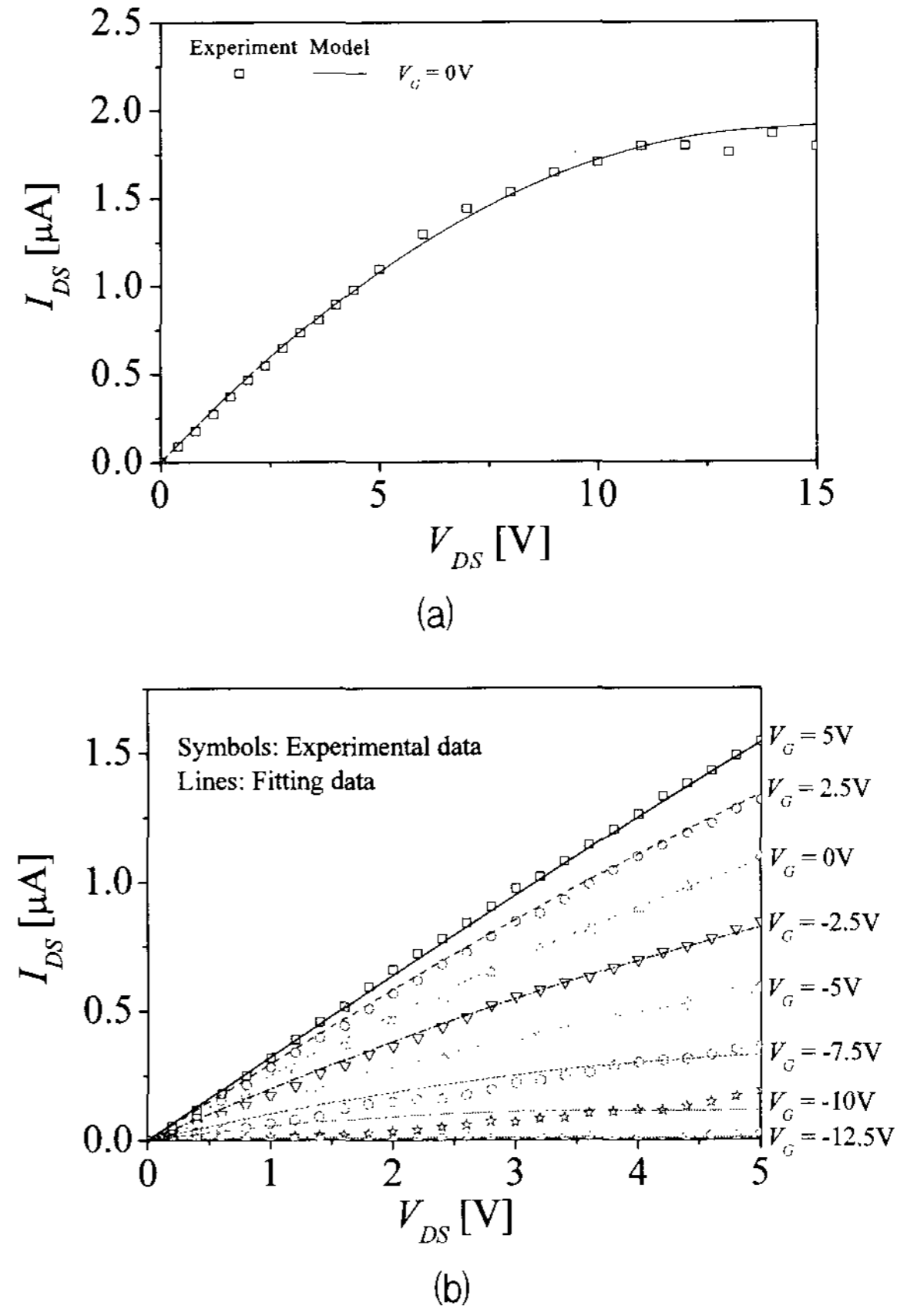


그림 4. 4  $\mu$ m 채널 길이를 가진 GaN NWFET의 드레인 전류-드레인 전압 특성 곡선 (a)  $V_G = 0$  V. (b) 다양한  $V_G$ . Symbols: 실험 데이터<sup>[16]</sup>, Lines: 모델 데이터

Fig. 4.  $I_{ds}-V_{ds}$  characteristics of GaN NWFET with a 4  $\mu$ m long single channel as a function of gate voltages. (a)  $V_G = 0$  V and (b) Various values of  $V_G$ . Symbols: Experimental data <sup>[16]</sup>; Modeled data.

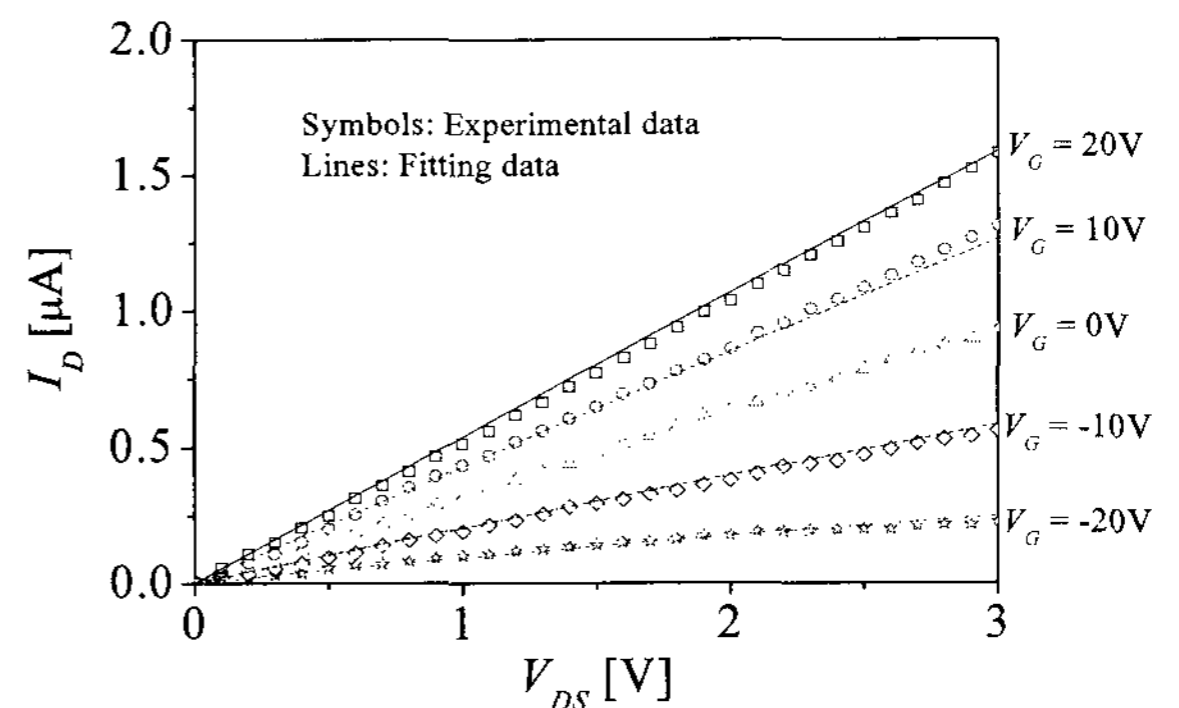


그림 5. 5  $\mu$ m 채널 길이를 가진 ZnO NWFET의 다양한  $V_G$ 에 따른 드레인 전류-드레인 전압 특성 곡선. Symbols: 실험 데이터<sup>[8]</sup>, Lines: 모델 데이터

Fig. 5.  $I_{ds}-V_{ds}$  characteristics of ZnO NWFET with a 5  $\mu$ m long single channel when gate voltages are varied. Symbols: Experimental data <sup>[8]</sup>. Lines: Modeled data.

$I_{ds}$ - $V_{ds}$  특성을 나타내고 있다. 기호들은 실험 데이터<sup>[8]</sup>를 나타내고 선들은 모델로부터 계산된 결과를 나타낸다. 여기서 사용된 파라미터들은  $t_i = 250$  nm,  $t_{nw} = W_{nw} = 100$  nm,  $L_{nw} = 5$   $\mu$ m,  $N_d = 3 \times 10^{17}$  cm<sup>-3</sup>,  $V_{fb} = 0.0$  V,  $\mu_{n0} = 75$  cm<sup>2</sup>/Vs,  $v_{sat} = 5 \times 10^7$  cm/s,  $k_l = 0.9$ ,  $\theta = 0$ ,  $V_{bi_{ms}} = 0.7$  V,  $V_{bi_s} = 0.15$  V,  $n = 1.5$ ,  $I_o = 2 \times 10^{-8}$  A. [그림 4]와 [그림 5]에서 모델로부터 계산된 결과는 실험 데이터와 비교할 때 10% 오차범위 안에서 서로 일치한다.

#### IV. 결 론

효율적인 회로 시뮬레이션을 위한 긴 채널 전하공핍 모드 n형 NWFET의 간단한 해석적 전류 전도 모델을 소개했다. 본 연구에서 사용된 NWFET는 bottom-up 방식으로 제작되었으며 게이트가 채널의 아래에 존재하는 구조를 가졌다. 이 모델은 다양한 바이어스 조건에서 동작하는 NWFET의 모든 전류 전도 메커니즘을 포함했다. 새롭게 개발된 NWFET 모델로 계산된 결과는 이전에 발표된 NWFET 실험 데이터와 비교할 때 10% 오차범위 안에서 서로 일치했다.

#### 참 고 문 헌

- [1] Y. Li, F. Qian, J. Xiang, and C. M. Lieber, "Nanowire electronic and optoelectronic devices", *Materials Today*, vol. 9, pp. 18-27, 2006.
- [2] A. Star, J.-C. P. Gabriel, K. Bradley, and G. Gruner, "Electronic detection of specific protein binding using nanotube FET devices", *Nano Lett.*, Vol. 3, pp. 459-463, 2003.
- [3] J. Xiang, W. Lu, Y. Hu, Y. Wu, H. Yan, and C. M. Lieber, "Ge/Si nanowire heterostructures as high-performance field-effect transistors", *Nature*, Vol. 441, pp. 489-493, 2006.
- [4] S. Han, W. Jin, D. Zhang, T. Tang, C. Li, X. Liu, Z. Liu, B. Lei, and C. Zhou, "Photoconduction studies on GaN nanowire transistors under UV and polarized UV illumination", *Chem. Phys. Lett.*, Vol. 389, pp. 176-180, 2004.
- [5] T. Bryllert, L. Wernersson, T. Lowgren and L. Samuelson, "Vertical wrap-gated nanowire transistors", *Nanotechnology*, Vol. 17, pp. S227-S230, 2006.
- [6] V. Schmidt, H. Riel, S. Senz, S. Karg, W. Riess, U. Gösele, "Realization of a Silicon Nanowire Vertical Surround-Gate Field-Effect Transistor", *Small*, Vol. 2, pp. 85-88, 2006.
- [7] T. L. Wade, X. Hoffer, A. D. Mohammed, J.-F. Dayen, D. Pribat, and J.-E. Wegrowe, "Nanoporous alumina wire templates for surrounding-gate nanowire transistors", *Nanotechnology*, Vol. 18, pp. 125201-125204, 2007.
- [8] W. I. Park, J. S. Kim, G.-C. Yi, M. H. Bae and H.-J. Lee, "Fabrication and electrical characteristics of high-performance ZnO nanorod field-effect transistors", *Appl. Phys. Lett.*, Vol. 85, pp. 5052-5054, 2004.
- [9] Y. W. Heo, L. C. Tien, Y. Kwon, D. P. Norton, S. J. Pearton, B. S. Kang, and F. Ren, "Depletion-mode ZnO nanowire field-effect transistor", *Appl. Phys. Lett.*, Vol. 85, pp. 2274-2276, 2004.
- [10] D. Wang, Q. Wang, A. Javey, R. Tu, H. Dai, H. Kim, P. C. McIntyre, T. Krishnamohan and K. C. Saraswat, "Germanium nanowire field-effect transistors with SiO<sub>2</sub> and high-HfO<sub>2</sub> gate dielectrics", *Appl. Phys. Lett.*, Vol. 83, pp. 2432-2434, 2003.
- [11] S.-M. Koo, M. D. Edelstein, Q. Li, C. A. Richter, and E. M. Vogel, "Silicon nanowires as enhancement-mode Schottky barrier field-effect transistors", *Nanotechnology*, Vol. 16, pp. 1482-1485, 2006.
- [12] S. Datta, "Nanoscale device modeling: The Green's function method", *Superlattices and Microstructures*, Vol. 28, pp. 253, 2000.
- [13] J. Wang, E. Polizzi, and M. Lundstrom, "A three-dimensional quantum simulation of silicon nanowire transistors with the effective-mass approximation", *J. Appl. Phys.*, Vol. 96, pp. 2192-2203, 2004.
- [14] M. Shin, "Quantum simulation of device characteristics of silicon nanowire FETs," *IEEE Trans. Nanotechnology*, vol. 6, pp. 230-237, 2007.
- [15] C. Y. Yim, D. Y. Jeon, K. H. Kim, G. T. Ki, Y. S. Woo, S. Roth, J. S. Lee, and S. Kim, "Electrical Properties of the ZnO Nanowire Transistor and its Analysis with Equivalent Circuit Model", *J. Kor. Phys. Soc.*, Vol. 48, pp. 1565-1569, 2006.
- [16] H.-Y. Cha, H. Wu, M. Chandrashekar, Y. C. Choi, S. Chae, G. Koley and M. G. Spencer, "Fabrication and characterization of pre-aligned gallium nitride nanowire field-effect transistors", *Nanotechnology*, Vol. 17, pp. 1264-1271, 2006.
- [17] J.-P. Colinge, "Conduction Mechanism in

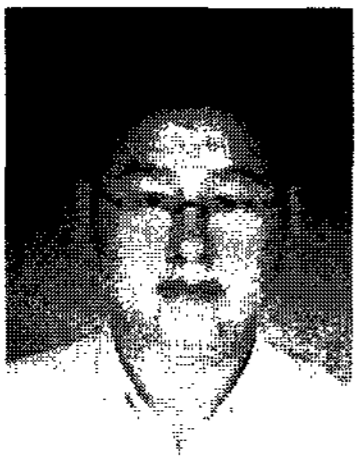
Thin-Film Accumulation-Mode SOI p-Channel MOSFET's", *IEEE Trans. Electron Devices*, Vol. 37, pp. 718-723, 1990.

- [18] D. M. Caughey and R. E. Thomas, "Carrier mobilities in silicon empirically related to doping and field", in *Proc. IEEE*, Vol. 55, pp. 2192-2193, 1967.
- [19] Y. G. Chen, S. Y. Ma, J. B. Kuo, Z. Yu, and R. W. Dutton, "An analytical drain current model considering both electron and lattice temperatures simultaneously for deep submicron ultrathin SOI NMOS devices with self-heating", *IEEE Trans. Electron Devices*, Vol. 42, pp. 899-906, 1995.
- [20] P. Antognetti, D. D. Caviglia, and E. Profumo, "CAD model for threshold and subthreshold conduction in MNOSFETs", *IEEE J. Solid-State Circuits*, Vol. SSC-17, pp. 454-458, 1982.

---

저 자 소 개

---



유 윤 섭(평생회원)  
1995년 고려대학교 전자공학과  
학사 졸업.  
1997년 고려대학교 전자공학과  
석사 졸업.  
2001년 고려대학교 전자공학과  
박사 졸업.

현재 한경대학교 정보제어공학과 조교수  
<주관심분야 : 반도체 소자 및 회로 설계>



김 한 정(정회원)  
1980년 서울대학교 물리교육학과  
학사 졸업.  
1989년 Auburn University 석사  
졸업.  
1994년 Auburn University 박사  
졸업.

현재 한경대학교 정보제어공학과 부교수  
<주관심분야 : 계측 및 센서>