

논문 2008-45SD-4-17

DPT를 위한 자동 레이아웃 분리

(Automatic Layout Decomposition for DPT)

문 동 선*, 신 현 철**, 신 재 필***

(Dongsun Moon, Hyunchul Shin, and Jaepil Shin)

요 약

Double patterning technology (DPT)를 위한 자동 레이아웃 분리 기술을 개발하였다. CMOS 공정이 45nm와 그 이하로 점차 미세화 됨에 따라 리소그래피 해상도를 향상 시키는 기술이 요구되고 있다. 최소 거리 규칙을 완화하기 위해 두 개의 마스크로 레이아웃을 나누어 두 번 패터닝 하는 DPT 기술이 기존 리소그래피의 제한을 해소하기 위해 제안되었다. 그러나 레이아웃을 DPT에 적합하게 두 개의 마스크로 나누는 것은 항상 가능하지 않다. 이러한 문제를 해결하기 위해 새로운 자동 스티칭 기술을 개발 하였다. 실험 결과는 본 논문에서 제안한 DPT를 위한 자동 레이아웃 분리 방법이 고무적임을 보여준다.

Abstract

Automatic layout decomposition techniques have been developed for double patterning technology (DPT). As CMOS manufacturing process scales down to 45nm and below, lithography resolution needs to be improved. DPT has been proposed to enhance the limitation of conventional lithography, by decomposing the layout design into two masks to relax the minimum spacing requirement. However, it is not always possible to decompose a layout into two masks. We have developed new automatic stitching techniques to resolve this problem. Experimental results show that the suggested techniques are promising in decomposing layouts for DPT.

Keywords : Decomposing, Double Patterning Technology, Lithography

I. 서 론

반도체 공정이 미세화 되면서 해상도 개선 기술 (RET; Resolution enhancement technology)이 중요해 졌다. Double patterning technology (DPT)는 미세 공정을 위해 제안된 RET의 일종이다.^[1]

IC 공정에서 생산 가능한 최소 크기는 레이아웃 feature들의 pitch에 의해 제한을 받는다. DPT는 feature들의 pitch를 완화하기 위해 레이아웃을 두 개의 마스크로 나누어 리소그래피와 에칭 과정을 두 번씩 수

행하는 방식이다. 포토리소그래피 공정에서 최소 feature 크기(F)는 수식 (1)과 같다.

$$F=(k1)(\lambda)/NA \quad (1)$$

수식 (1)에서의 λ 는 리소그래피 광원의 파장이다. NA는 렌즈 시스템의 개구율 (numerical aperture)이다. 그리고 k1은 공정에 관련된 비례상수이다. 수식 (1)에서 보는 바와 같이 λ 가 감소하거나 NA가 증가하면 해상도는 개선될 수 있다. 그러나 λ 와 NA 모두 현재 물리적 한계에 도달했다. EUV 리소그래피 시스템은 기존 리소그래피 광원보다 짧은 파장의 광원인 EUV를 사용하여 작은 λ 값을 가진다. 그러나 소스 파워, 관련 광학 시스템 개발, 비싼 비용 등의 이유로 도입이 미뤄지고 있다. Immersion lithography 시스템은 굴절률이 높은 물질을 사용하여 높은 NA 값을 가진다. 그러나 45nm와 그 이하의 공정을 위한 충분한 해상도를 만들기

* 학생회원, ** 평생회원, 한양대학교 전자전기 제어 계측공학과

(Electric Engineering and Computer Science, Hanyang University)

*** 정회원, (주)삼성전자

(Samsung Electronics co.,Ltd.)

접수일자: 2008년2월14일, 수정완료일: 2008년3월26일

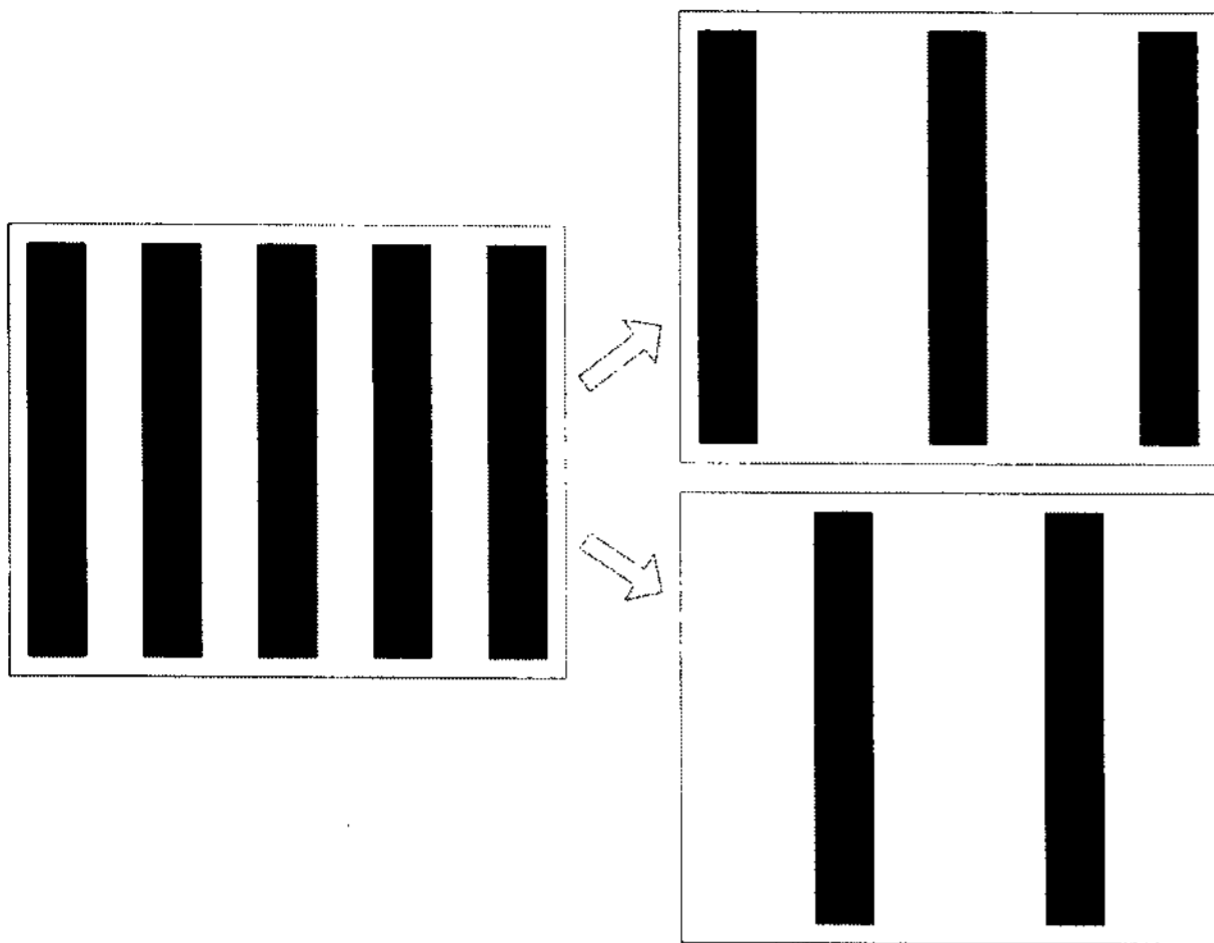


그림 1. 레이아웃 분리
Fig. 1. Layout decomposition.

NA의 개선 정도가 부족하다. 따라서 45nm와 그 이하의 반도체 공정에서 DPT는 반드시 필요하게 될 것이라 예상되고 있다.^[2]

하나의 마스크를 사용하는 공정에서는 최소 feature size가 최소 프린트 가능 pitch의 절반이다. Pitch는 이웃한 두 feature의 중심 사이의 거리이다. DPT에서는 pitch의 1/4 크기의 feature를 만들 수 있기 때문에 해상도가 2배로 향상된다. 그림 1은 DPT에서 레이아웃을 두 개의 마스크로 나누어 각각의 마스크에서의 최소 pitch가 두 배가 되는 모습을 보여준다. 이렇게 분리된 마스크를 2번의 리소그래피와 에칭 과정을 통해 DPT를 수행하는 과정이 그림 2에 나타나있다.

DPT는 완화된 pitch로 두 개의 마스크를 사용하여 리소그래피와 에칭 과정을 두 번 씩 수행한다. 그림 1은 DPT에서 레이아웃을 두 개의 마스크로 나누어 최소 pitch가 두 배가 되는 모습을 보여준다. 이렇게 분리된 마스크를 2번의 리소그래피와 에칭 과정을 통해 DPT를 수행하는 과정을 그림 2에 나타내었다.

레이아웃 분리 문제는 layout을 분리한다는 면에서 dark field phase shift mask (PSM)을 위한 phase assignment 문제와 유사하다. DPT와 PSM의 차이점은 stitching의 가능여부이다. DPT공정은 필요한 경우에 레이아웃의 한 폴리곤을 여러 조각으로 나누는 stitching을 허용한다. Stitching 되지 않은 폴리곤은 한 마스크로 바로 제조되지만, stitching 된 폴리곤은 두 개의 분리된 마스크 패턴을 두 번 patterning함으로써 제조 가능하다. 그러나 PSM을 사용하는 공정에서는 stitching이 불가능하다. PSM^[3~4]에서는 conflict를 제거하기 위해 feature 사이의 거리를 확보한다. 따라서 설

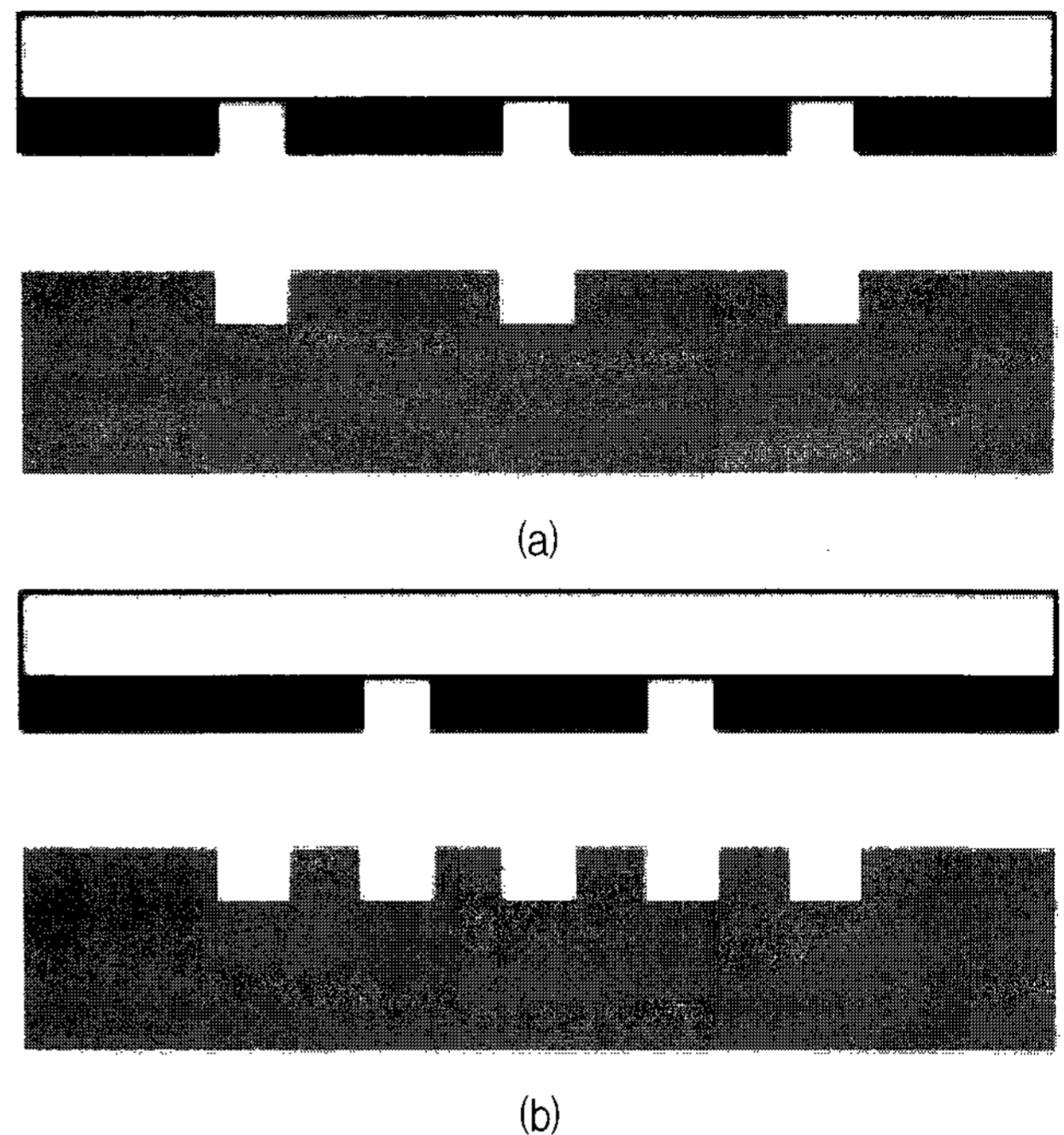


그림 2. DPT 공정
Fig. 2. DPT process.
(a) Results of the 1st lithography and etching
(b) Results of the 2nd lithography and etching

계 면적이 상당히 증가하게 된다. Stitching은 면적 증가 없이 conflict를 제거하는 것이 가능하다. 따라서 기존에 발표된 PSM을 위한 알고리즘들은 DPT에 적용하기에 부적합하다.

II장에서는 레이아웃 분리 기술의 전반적인 설명을 한다. III장에서는 conflict graph에 대해 설명한다. IV장에서는 분리 (decomposition)를 불가능하게 하는 홀수 사이클 (odd cycle)을 검색하는 기술에 대해 설명한다. V장에서는 stitching을 이용하여 홀수 사이클을 제거하는 방법에 대해 기술한다. VI장에서는 실험 결과를 보여주고, VII장에서 결론을 맺는다.

II. DPT를 위한 레이아웃 분리

그림 3은 제안한 알고리즘의 전체 흐름도이다. 먼저 GDSII 레이아웃을 입력으로 받는다. 레이아웃 설계를 읽은 후에, 폴리곤들 사이의 conflict 관계를 conflict 그래프로 구성한다. Conflict 그래프 $G(V,E)$ 에서 정점 (vertex)은 레이아웃 설계에서의 폴리곤을 의미한다. 두 정점에 해당하는 두 폴리곤이 DPT에서 주어진 최소 거리 요구 값보다 거리가 가까워 다른 마스크로 분리되어야 할 경우에는 두 정점 사이에 에지 (edge)가 삽입된다. 다음 단계에서 conflict 그래프의 dual 그래프를 생

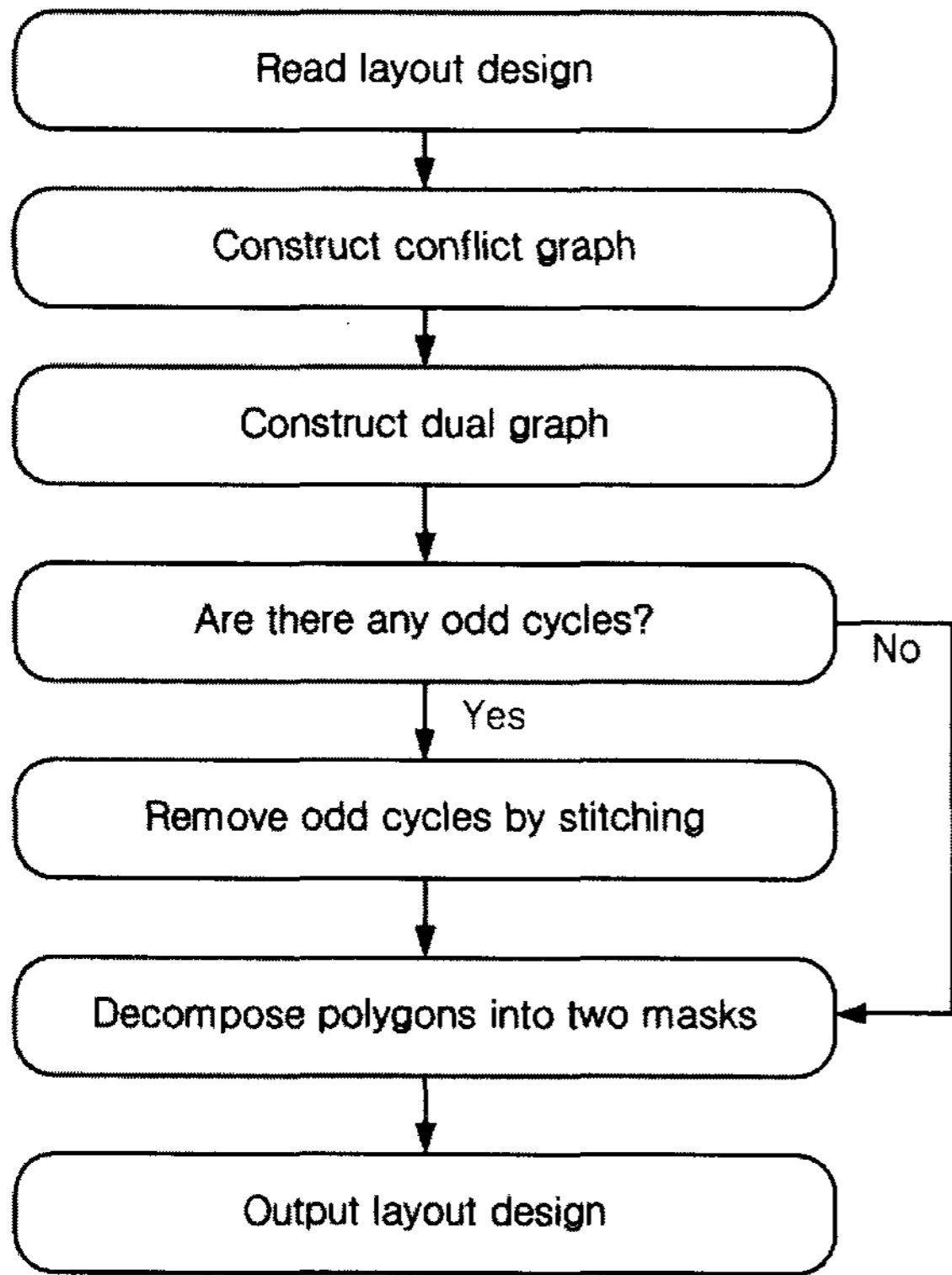


그림 3. 전체 알고리즘 흐름도
Fig. 3. The overall algorithm flow.

성한다. Dual graph 생성하는 이유는 레이아웃 분리를 불가능하게 하는 홀수 사이클을 효율적으로 찾기 위해서이다. Dual graph에 대해서는 IV장에서 자세히 설명한다. 만약 홀수 사이클이 없다면 레이아웃은 문제없이 두 마스크로 나누어 질 수 있다. 만약 홀수 사이클이 존재한다면 stitching으로 이를 제거한다. 분리 과정이 끝난 후에 결과는 GDSII 형식으로 저장된다.

III. Conflict 그래프 생성

Conflict 그래프에서 정점은 폴리곤을 의미한다. 두 정점을 연결하는 에지는 두 개의 폴리곤이 다른 마스크에 배치되어야 한다는 것을 의미한다. Conflict 그래프 생성 과정은 DPT를 위한 레이아웃 분리 문제를 그래프로 표현하여 소프트웨어로 풀도록 하기 위한 기본 과정이다.

그림 4는 conflict 그래프를 생성하는 예제이다. 그림 4(a)의 conflict 정보들이 그림 4(b)의 conflict 그래프로 표현될 수 있다. 6개의 폴리곤들은 A~F의 정점으로 각각 표현된다. 7개의 에지들이 가까이 위치한 폴리곤을 나타내는 정점 사이에 삽입되었다.

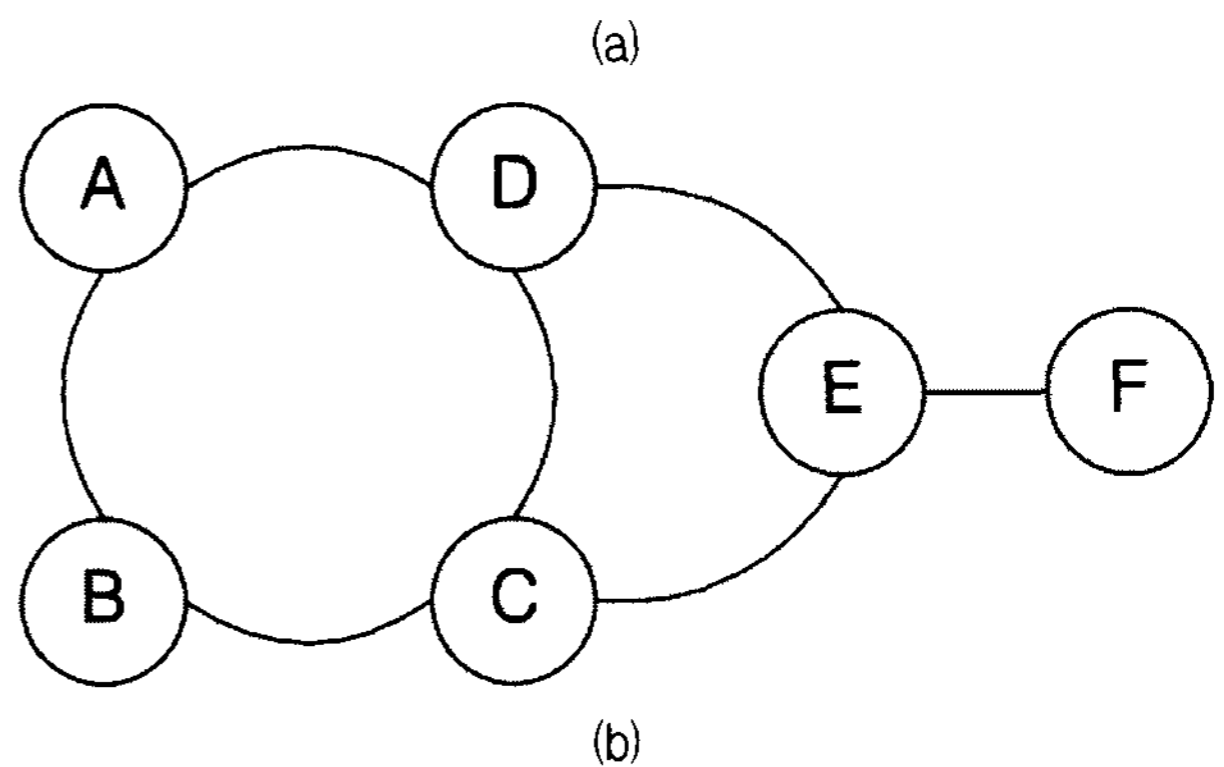
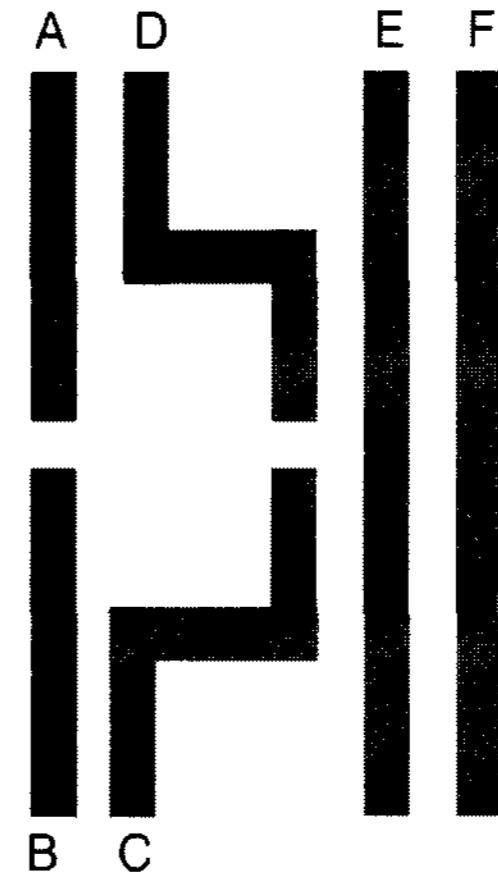


그림 4. Conflict 그래프 생성 예제
Fig. 4. Conflict graph construction example.

IV. Dual 그래프를 이용한 홀수 사이클 검색

홀수 사이클이 있는 conflict 그래프의 경우에 두 개의 마스크로의 레이아웃 분리는 불가능하다. 그림 5에서 보는 바와 같이 짝수 사이클은 두 개의 색으로 컬러링이 가능하지만 홀수 사이클의 경우는 불가능하다. 여기서 다른 색으로 채색하는 것은 다른 마스크에 폴리곤이 배치됨을 의미한다.

평면 그래프 (planar graph) G의 dual 그래프는 G의 면(face)을 의미하는 정점과 면이 인접하고 있음을 의미하는 에지로 구성된다. Dual 그래프의 “dual”이라는 말

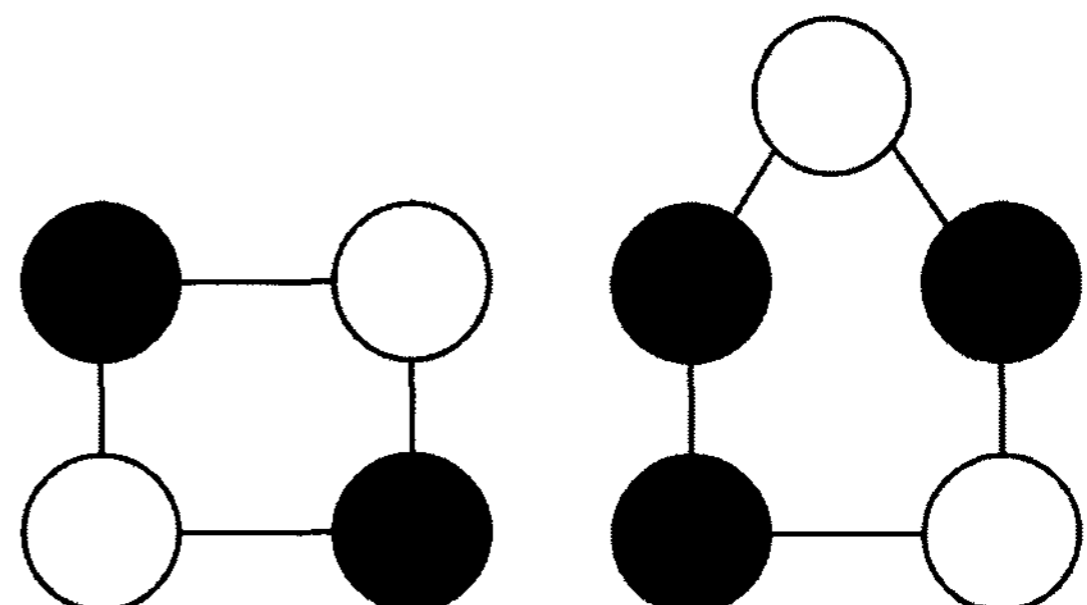
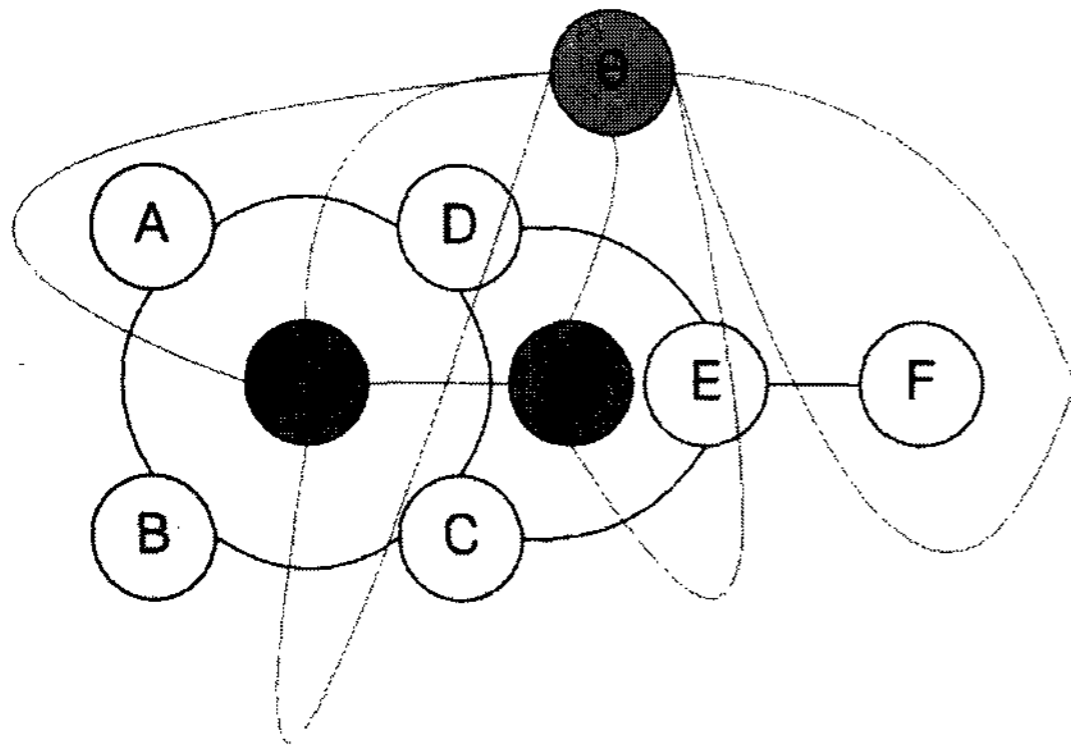
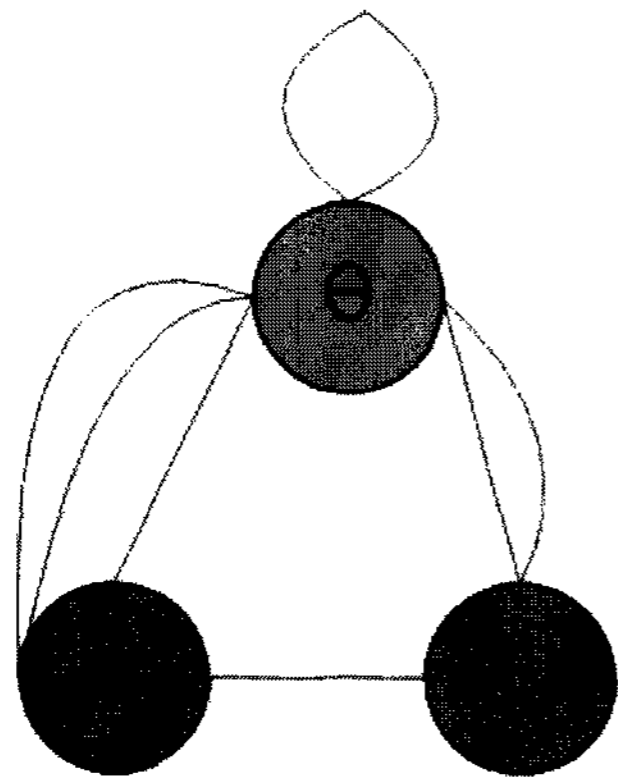


그림 5. 짝수 사이클과 홀수 사이클
Fig. 5. An even cycle and an odd cycle.



(a)



(b)

그림 6. Dual 그래프 생성 예제
Fig. 6. Dual graph construction example.

은 만약 G 가 H 의 dual 그래프이면 H 는 G 의 dual 그래프가 되는 대칭성을 뜻한다. Dual graph를 생성하는 시간 복잡도 (time complexity)는 conflict 그래프의 에지 수가 n 일 때 $O(n)$ 이기 때문에 홀수 사이클은 dual 그래프를 통해 효율적으로 찾을 수 있다.

그림 6은 그림 4 (b)의 conflict 그래프로부터 dual 그래프를 생성한 것이다. 그림 6 (a)는 conflict 그래프 원본과 dual 그래프와의 관계를 보여준다. 그림 6 (b)는 dual 그래프를 따로 표현한 것이다.

Dual 그래프에서 정점의 차수 (degree)는 conflict 그래프에서의 인접한 면의 수, 즉 사이클을 구성하는 에지의 수를 의미한다. 따라서 dual 그래프에서 홀수 차수의 정점은 conflict 그래프에서의 홀수 사이클을 의미한다. 그림 6에서 α , β , θ 의 차수는 각각 4, 3, 7이다. 따라서 β 과 θ 는 제거되어야 할 홀수 사이클이다.

V. stitching 알고리즘

Dual 그래프로 홀수 사이클을 검색한 후에, DPT를 위해 홀수 사이클은 제거하여야 한다. 홀수 사이클은

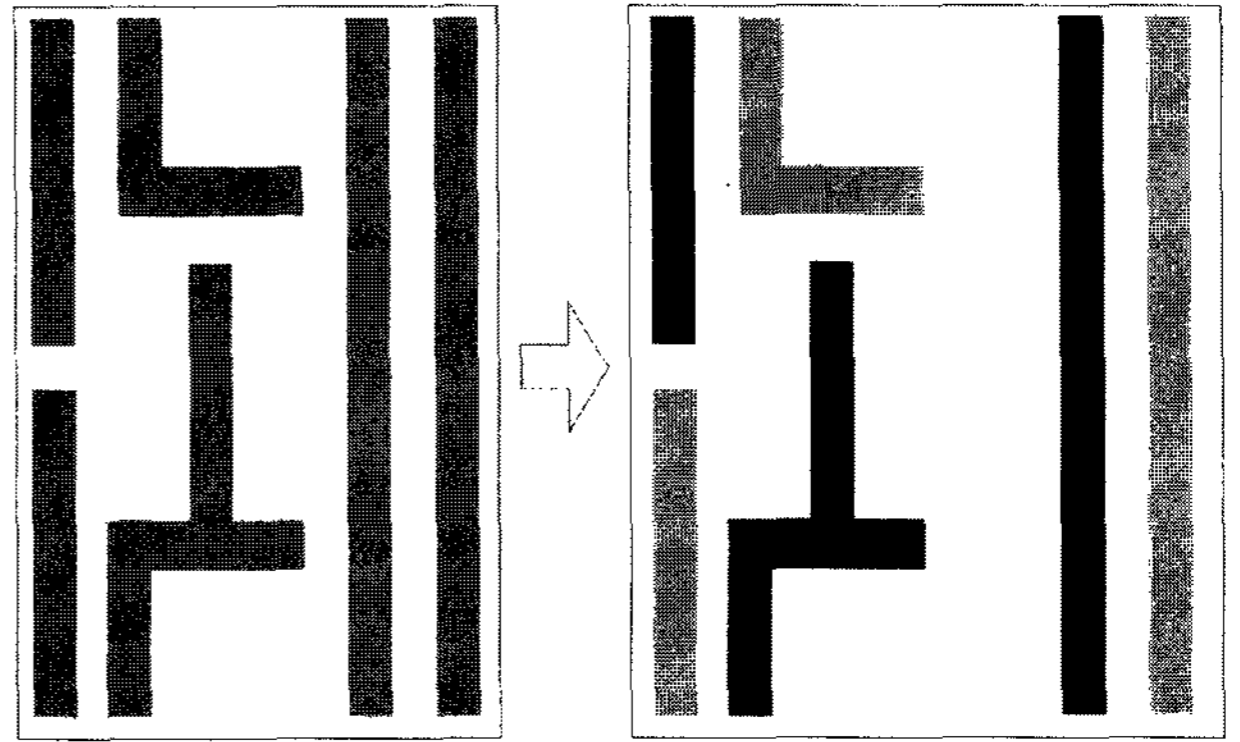


그림 7. 공간 확보를 이용한 분리
Fig. 7. Decomposition using spacing.

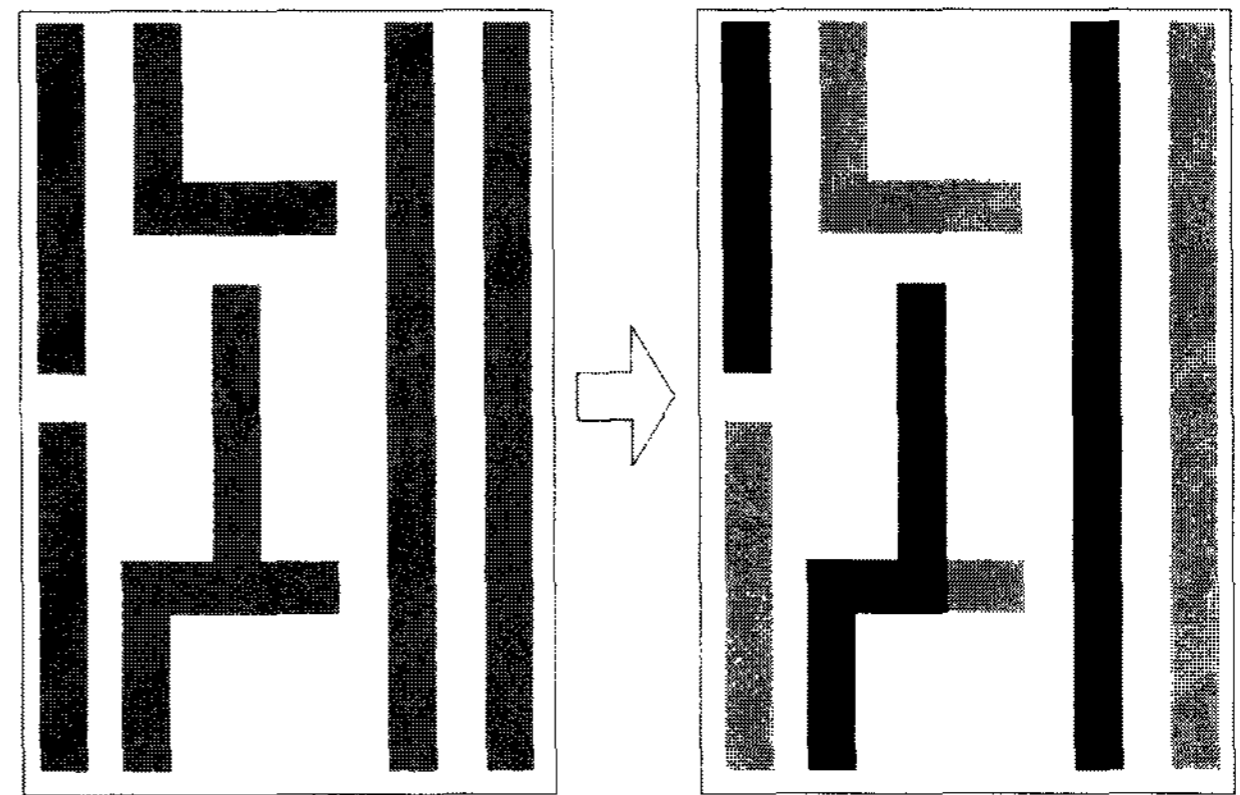


그림 8. Stitching을 이용한 분리
Fig. 8. Decomposition using stitching.

폴리곤 사이에 추가적인 공간을 확보하여 제거할 수도 있으나, 이 방법은 그림 7에서 보는 바와 같이 면적 손해가 크다. 그리고 여러 개의 폴리곤을 움직이는 것은 상당한 computation cost를 요구한다.

Double patterning 공정에서 공간을 확보하는 spacing뿐만 아니라, stitching으로도 홀수 사이클이 제거 가능하다. Stitching이란 하나의 feature를 여러 조각으로 나누고, 이들을 두 번의 litho-etch 과정을 통해 제조하는 방법이다. 그림 8은 그림 4의 레이아웃 설계를 stitching을 이용하여 분리한 레이아웃이다. 그림 7과 비교하였을 때, 그림 8의 결과는 stitching만을 사용하였기 때문에 면적 증가가 전혀 없음을 알 수 있다. 그리고 stitching은 폴리곤의 모양이나 크기 등에 영향을 주지 않는다.

그림 9는 stitching을 수행한 후의 conflict 그래프의 변화를 보여준다. 그림 4 (b)에서 홀수 사이클은 3개의 정점, C , D , E 로 구성된다. 그림 8과 같이 stitching되면 정점 C 는 그림 9와 같이 $C1$, $C2$ 로 나뉘어진다. 이로써 홀수 사이클이 제거된다. 에지 $C-E$ 는 그림 6에서 β , θ 를 연결했기 때문에 홀수 사이클 β , θ 는 제거된다.

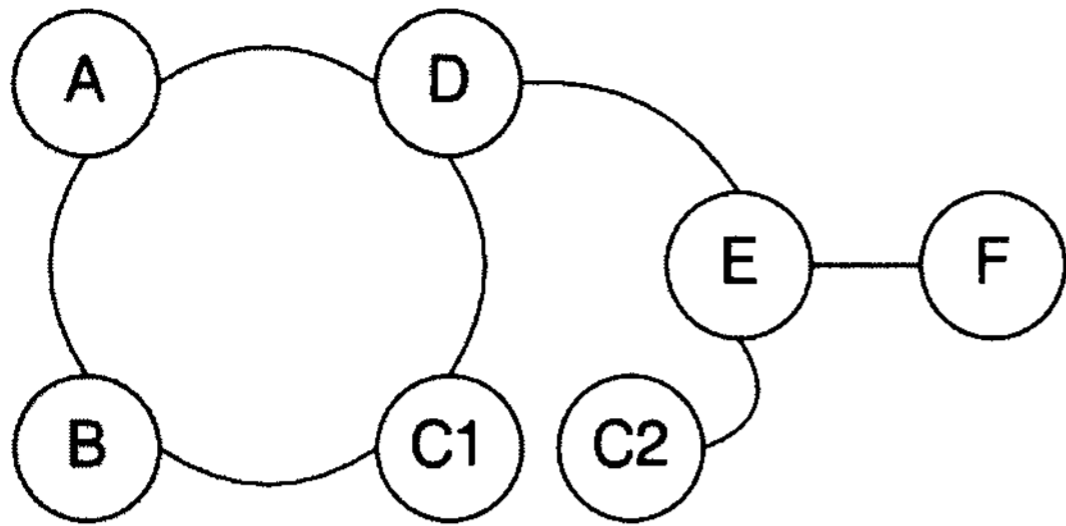


그림 9. Conflict 그래프에서 stitching을 이용한 홀수 사이클의 제거

Fig. 9. Stitching removes odd cycles in the conflict graph.

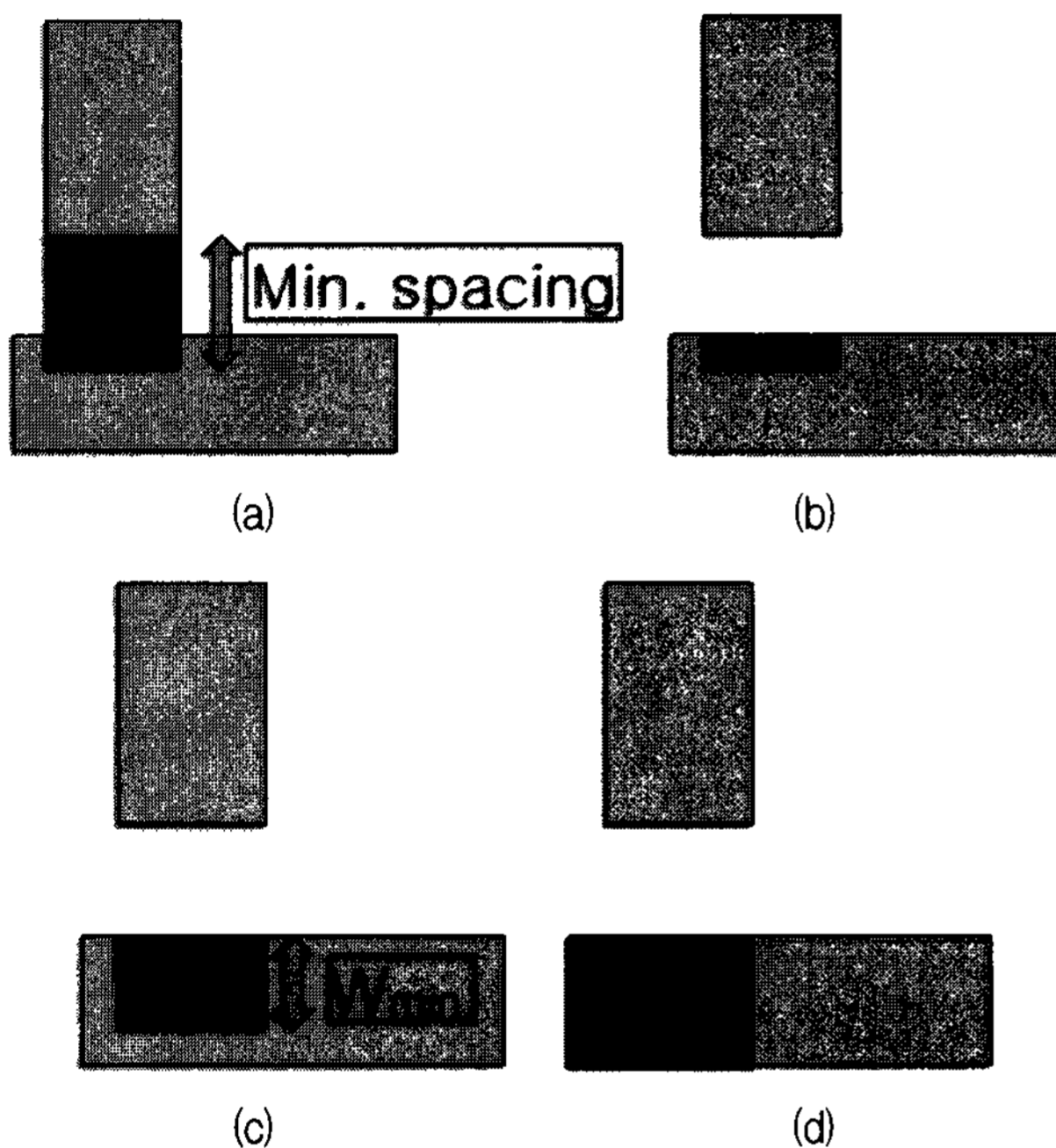


그림 10. Stitching을 이용한 DRC 에러 보정
Fig. 10. Correction of DRC error using stitching.

그림 10 (a), (b), (c), (d)는 인접한 두 폴리곤 사이에서 stitching을 생성하는 과정이다. 그림 10은 DPT를 위해 분리된 두 장의 마스크에서 요구되는 최소 거리를 탐색하는 과정이다. 이 거리 안에 있는 폴리곤들은 서로 다른 마스크에 배치되어야 한다. 그림 10의 연한 색의 두 폴리곤은 기준값보다 가까이 배치되어 있으므로 다른 마스크에 배치하거나 stitching을 하여야 한다. 진한 색으로 표시된 부분은 검색 영역이다.

그림 10 (b)는 그림 10 (a)의 검색 영역과 겹치는 폴리곤을 AND 연산을 한 결과이다. 이는 stitching 영역을 구하기 위한 seed가 된다. 이 부분을 Design Rule Check (DRC) 에러가 없도록 수정하는 과정을 수행하게 된다.

그림 10 (c)는 stitching을 할 영역이 너무 작아 최소 두께 (minimum width) 규칙을 위반하면 이를 확장하여

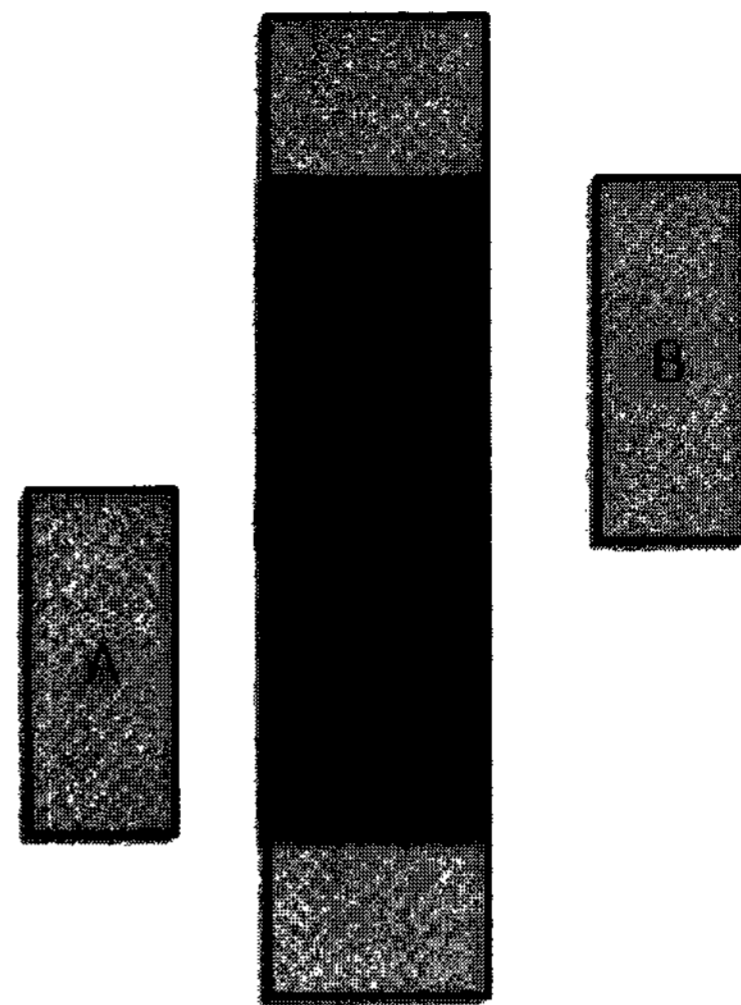


그림 11. Stitching 불가능 경우
Fig. 11. Unstitchable case.

DRC 에러를 제거하는 과정이다. 그림 11의 stitching 영역이 수직 방향으로 너무 얇아 아래쪽으로 확장하였다. 이때 확장한 부분이 원래 폴리곤의 밖으로 돌출되어서는 안 된다.

그림 10 (d)는 stitching 영역을 잘라내고 남은 부분에 DRC error가 있는 경우의 처리이다. 그림 10 (c)에서 stitching 하고 남은 부분이 주어진 최소 두께 값보다 얇아 그림 10 (d)에서 stitching 영역을 확장하여 이를 보정하였다.

모든 conflict들을 stitching으로 해결 가능한 것은 아니다. 그림 11은 어떤 설계의 일부분이고 이 세 폴리곤이 홀수 사이클의 일부분이라서 가운데 폴리곤을 stitching 하려 한다고 가정하자. A, B를 각각 기준으로 가운데 폴리곤의 stitching 영역을 찾아 진하게 표시하였다. 진하게 표시된 부분의 안쪽은 stitching 되어선 안 된다. 그러나 그림 11에서는 이 두 영역이 겹치고, 따라서 stitching 될 수 없다. 이 경우에는 공간을 확보하는 spacing 등의 다른 방법을 사용해야 한다.

VI. 실험 및 결과

레이아웃 분리 소프트웨어는 Solaris 10이 설치된 SUN Blade2500 머신에서 C언어로 구현되었다. 입력은 GDSII 파일이다. 소프트웨어는 4개의 주요 부분으로 구성되어 있고, 이 주요 부분은 conflict 그래프 생성기, dual graph를 이용한 홀수 사이클 탐색기, conflict 그래프를 이용한 레이아웃 분리기, stitching을 이용한 홀수 사이클 제거기이다.

표 1. Stitching을 이용한 레이아웃 분리 결과
Table 1. Results of layout decomposition using stitching.

Gds file name	# polygons	# odd cycles (original)	# odd cycles (stitching)	CPU time (sec)	
case1.str	7	51	18	2	0.038
case2.str	2	49150	2082	1302	19.194
case3.str	1	23	0	0	0.051
case4.str	5	56	20	6	0.08
case5.str	5	17	8	4	0.017
case6.str	1	2911	18	8	0.402
case7.str	2	1411	128	40	0.323
case8.str		63	0	0	0.063
case9.str		96	26	0	0.142
case10.str		25	0	0	0.15
case11.str		910	38	0	0.555
case12.str		64	2	0	0.114
case13.str		362	60	26	0.133
case14.str		49	14	2	0.052
case15.str		92	32	32	0.143
case16.str		315	4	2	0.237
case17.str		164	28	12	0.127
case18.str		100	40	8	0.113
case19.str		16	0	0	0.009
case20.str		22	2	2	0.014
case21.str		7011	0	0	0.892
case22.str		540	82	30	0.124
case23.str		1921	146	72	0.921
case24.str		1444	0	0	0.237
case25.str		8	0	0	0.016
case26.str		14	4	4	0.012
case27.str		142	2	2	0.106

표 1은 27개의 설계를 DPT SW로 decomposition을 수행한 결과이다. 첫 번째 열은 설계 파일 이름, 두 번째 열은 폴리곤의 수, 세 번째 열은 odd cycle의 수이다. 네 번째 열은 stitching 연산 후의 odd cycle의 수이다. 마지막 열은 CPU time이다. 표에서 보는바와 같이 모든 odd cycle을 stitching으로 제거할 수 있는 것은 아니다. 남은 odd cycle은 spacing 등으로 설계를 변경하여 제거해야 한다. 얼마나 많은 odd cycle을 제거할 수 있는가는 설계의 특성에 따라 결정된다. 수행 시간은 case 2 회로를 제외 하고는 1초 이내이므로 효율적

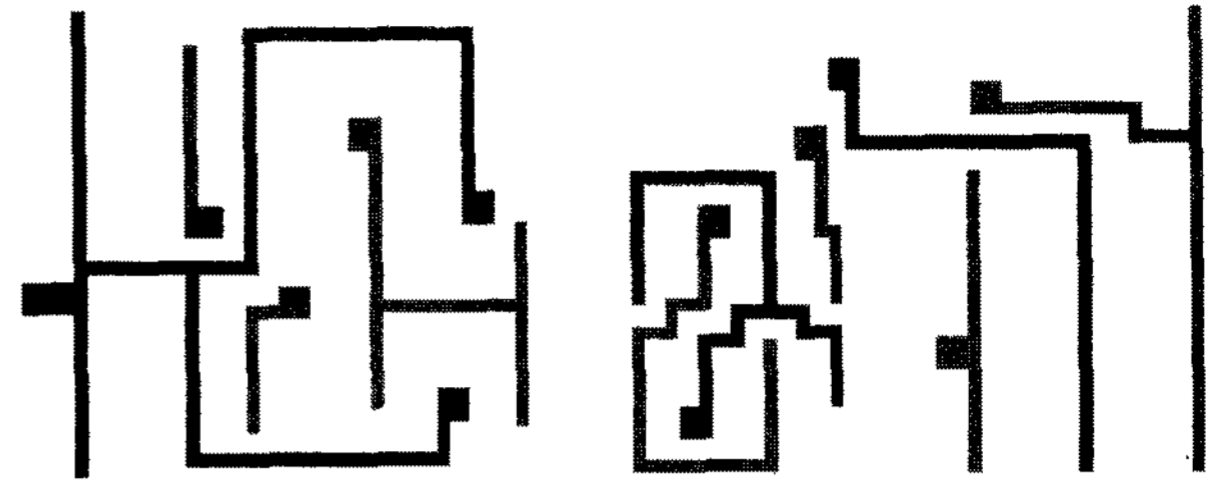


그림 12. Stitching없이 분리 수행한 예제
Fig. 12. Decomposed layout without stitching.

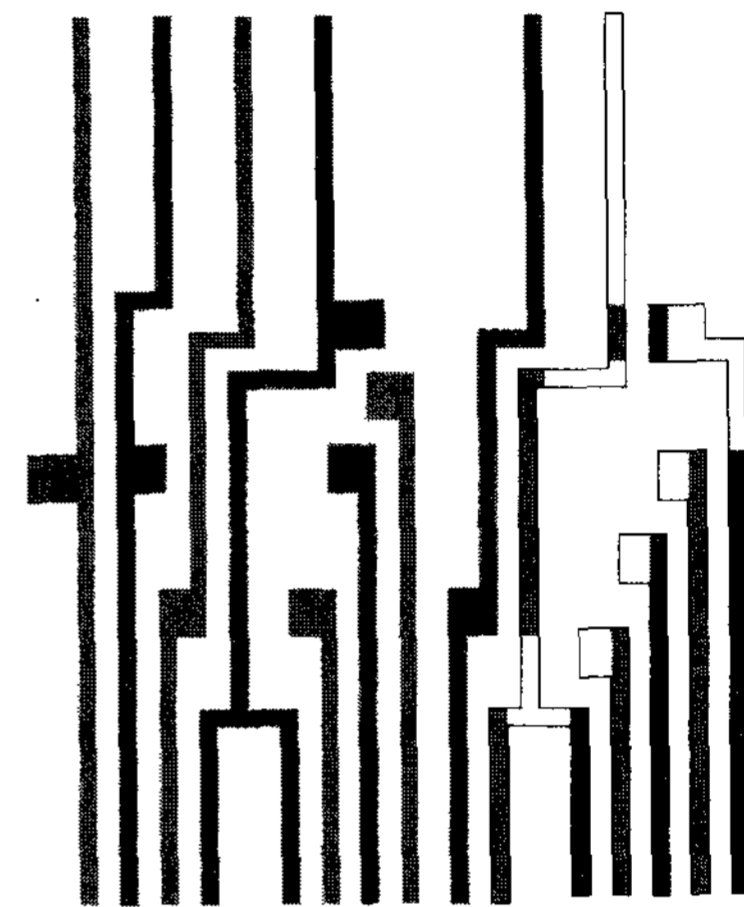


그림 13. Stitching으로 분리 수행한 예제
Fig. 13. Decomposed layout with stitching.

임을 할 수 있다.

그림 12는 홀수 사이클이 없는 예제를 소프트웨어로 분리한 경우이다. 그러나 일반적으로 대부분의 설계는 수정 없이 완벽하게 두 마스크로 나누어지지 않는다. 대부분의 복잡한 레이아웃들은 면적 감소를 위해 폴리곤들이 주변 폴리곤과 가까이 배치되어 수많은 사이클을 가진 conflict 그래프로 표현되며, 이때 사이클들 중에 홀수 사이클이 하나라도 있으면 stitching이나 spacing 과정 없이 분리가 완벽히 안되기 때문이다.

제조 과정에서의 불량률을 낮추기 위해서는 stitching에서의 겹치는 부분을 여유 있게 할 필요가 있다. 그림 13은 stitching으로 레이아웃을 분리한 결과 레이아웃의 부분을 확대한 것이다. 밝고 어두운 색, 그리고 흰색 부분으로 나누어져 있다. 밝고 어두운 색은 두 개의 마스크에 각각 배치될 부분이다. 테두리 선만 있고 안쪽이 흰색인 부분은 두 마스크 중에 어디로든 배치될 수 있는 부분이다. 이 부분을 양쪽 마스크 모두에 배치하면 stitching 부분의 겹치는 면적이 늘어나 공정에서 stitching 때문에 생길 수 있는 불량률을 낮출 수 있다. 본 논문의 stitching 방법은 이러한 don't care 부분을 최대한으로 확보할 수 있도록 하였다.

VII. 결 론

IC의 CMOS 소자가 점점 더 작아짐에 따라 리소그래피는 더 높은 해상도를 필요로 하게 되었다. 그러나 더 짧은 파장의 광원 장비를 사용하거나, 더 높은 NA 렌즈 시스템을 사용하기에, 물리적 한계에 도달했다. 따라서 레이아웃 설계의 pitch를 늘려 해상도를 개선하는 DPT가 제안되었다. 본 연구는 DPT를 위한 새로운 레이아웃 분리 기술을 개발하였다. 실제 상용 회로의 레이아웃 설계를 대상으로 실험한 결과는 제안된 기술이 효과적임을 보여준다.

참 고 문 헌

- [1] A. Sezginer B. Yenikaya, "Double Patterning Technology: Process-Window Analysis in a Many-Dimensional Space", Proc of SPIE Vol.6521, 652113, 21 March 2007.
- [2] ITRS 2007 Roadmap, <http://www.itrs.net>
- [3] P. Berman; A. Kahng; D. Vidhani H. Wang; A. Zelikovsky, "Optimal Phase Conflict Removal for Layout of Dark Field Alternating Phase Shifting Masks", Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, Volume 19, Issue 2, pp. 175 - 187, Feb. 2000.
- [4] C. Chiang; A. Kahng Sinha, S.; Xu, X.; Zelikovsky, A. Z., "Fast and Efficient Bright-Field AAPSM Conflict Detection and Correction", Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, Volume 26, Issue 1, pp. 115 - 126, Jan. 2007.

저 자 소 개



문 동 선(학생회원)

2004년 한양대학교 전자컴퓨터공학부 학사 졸업.

2006년 한양대학교 전자전기제어계측공학과 석사 졸업.

2006년~현재 한양대학교 전자전기제어계측공학과 박사과정

<주관심분야 : CAD&VLSI, 저전력 설계, Design for Manufacturability(DFM)>



신 현 철(평생회원)

1978년 서울대학교 전자공학과 학사 졸업.

1980년 한국과학기술원 전기 및 전자공학과 석사 졸업.

1983년~1987년 U.C. Berkely 박사 졸업.

1983년~1987년 Fulbright scholarship

1987년~1989년 MTS, AT&T Bell Lab's, Murray Hill N. J., USA

1989년~현재 한양대학교 전자컴퓨터공학부 교수

1997년~현재 IDEC 한양대학교 지역센터 센터장
<주관심분야 : CAD&VLSI, 통신용 반도체 설계, 저전력 설계>



신 재 필(정회원)

1994년 숭실대학교 전자공학과 학사 졸업.

2005년 성균관대학교 전기전자공학과 석사 졸업.

<주관심분야: CAD&VLSI, 퍼지 시스템, 컴퓨터비전>