

논문 2008-45SD-4-18

0.18- μm CMOS공정을 이용한 Ka 대역 근거리 무선통신용 전력증폭기 설계

(Ka-band Power Amplifiers for Short-range Wireless Communication
in 0.18- μm CMOS Process)

허 상 무*, 이 중 욱**

(Sang-Moo He and Jong-Wook Lee)

요 약

0.18- μm CMOS공정을 이용하여 근거리 무선통신(22-29 GHz)에서 응용할 수 있는 전력증폭기를 설계하였다. 전도성 기판에 의한 손실을 줄이기 위해서 기판 차폐된 두 가지 형태의 전송선로를 설계하고, 40 GHz 까지 측정 및 모델링하였다. 기판 차폐 microstrip line (MSL) 전송선로의 경우 27 GHz에서 약 0.5 dB/mm의 삽입손실을 나타내었다. 기판 차폐 MSL 구조를 이용한 전력증폭기는 0.83 mm²의 비교적 작은 면적을 차지하면서도 27 GHz에서 14.7 dB의 소신호 이득과 14.5 dBm의 출력을 나타내었다. 기판 차폐 coplanar waveguide (CPW) 전송선로의 경우 27 GHz에서 약 1.0 dB/mm의 삽입손실을 나타내었으며, 이를 이용한 전력증폭기는 26.5 GHz에서 12 dB의 소신호 이득과 12.5 dBm의 출력을 나타내었다. 본 논문의 결과는 0.18- μm CMOS공정을 이용한 저가격의 근거리 무선통신 시스템을 구현할 수 있는 가능성을 제시한다.

Abstract

Two Ka-band 3-stage power amplifiers were designed and fabricated using 0.18- μm CMOS technology. For low loss matching networks for the amplifiers, two substrate-shielded transmission line structures, having good modeling accuracy up to 40 GHz were used. The measured insertion loss of substrate-shielded microstrip-line (MSL) was 0.5 dB/mm at 27 GHz. A 3-stage CMOS amplifier using substrate-shielded MSL achieved a 14.7-dB small-signal gain and a 14.5-dBm output power at 27 GHz in a compact chip area of 0.83 mm². The measured insertion loss of substrate-shielded coplanar waveguide (CPW) was 1.0 dB/mm at 27 GHz. A 3-stage amplifier using substrate-shielded CPW achieved a 12-dB small-signal gain and a 12.5-dBm output power at 26.5 GHz. This results shows a potential of CMOS technology for low cost short-range wireless communication components and system.

Keywords : CMOS, millimeter-wave, power amplifier, substrate-shielded transmission-line.

I. 서 론

최근 국내외적으로 정보의 광대역화 및 초고속화에 대한 요구의 지속적인 증가로 인해 20 GHz 대역 (22~29 GHz) 주파수에 대한 관심이 고조되고 있다. 과거 위

성통신, 군용 통신 등에서 성숙된 기술을 바탕으로 20~40 GHz 대역은 고정 및 이동용으로 확장되고 있으며, 60 GHz 대역(55~65 GHz)은 광대역 전송이 가능하며 산소에 의한 전파의 흡수 감쇠가 크기 때문에 근거리 무선 통신(WLAN 및 WPAN)으로 연구 개발되고 있다^[1]. 특히 Ka대역은 근거리 자동차 레이더 시스템용으로 미국과 호주를 중심으로 이 주파수 대역에 대한 활발한 활용을 추진하고 있다^[2]. 그러나 이러한 시장의 요구 조건에 비해 높은 주파수에 의한 기술의 제약과 저주파에서 제공하는 서비스에 대해 상대적으로 높은 가격은 20 GHz 이상의 광대역 통신 기술의 발달 및 활

* 학생회원, ** 정회원, 경희대학교 전자정보대학
(School of Electronics and Information, Kyung Hee University)

※ 본 논문은 ETRI SoC 산업진흥센터 IT-SoC 설계
실습프로젝트 지원에 의하여 연구되었으며, 설계 틀
은 반도체설계교육센터(IDECS)의 지원을 받았습니다.
접수일자: 2008년2월27일, 수정완료일: 2008년3월27일

성화에 걸림돌이 되고 있다.

CMOS 공정은 III-V 화합물을 이용한 MMIC 회로에 비하여 전도성 실리콘 기판에 의한 손실이 발생하며, 상대적으로 수동소자가 낮은 Q값을 갖는다. 또한, 낮은 동작전압에 의해 출력 전력이 제한된다는 문제점을 가지고 있다. 하지만 CMOS 디지털 소자의 속도는 10년에 10배씩 증가할 정도로 경이적으로 이루어져 왔으며, 최근 32 nm 게이트 전극 길이의 소자를 이용한 메모리 특성이 발표되었다^[3]. 이러한 게이트 전극 폭의 감소는 우수한 주파수 특성을 가져옴으로서 앞서 언급된 문제점을 해결할 수 있는 기회를 제공하고 있다. 또한 CMOS 공정을 이용한 소자는 III-V 화합물에 비해 소비 전력이 낮고 대량생산 설비가 갖추어져 낮은 가격으로 공급된다는 장점과 디지털 회로와 집적된 RF/아날로그 단일 칩을 구성하는데 이점을 갖는다.

본 논문에서는 0.18- μm 의 CMOS 공정을 이용하여 실리콘 기판에 의한 손실을 감소시킨 microstrip-line (MSL) 및 coplanar waveguide (CPW) 전송선로를 구현하고, 이들 구조를 이용하여 Ka 대역 근거리 무선통신에 사용 가능한 3 단 전력증폭기를 설계 및 제작하였다.

II. 전송 선로 구조 및 설계

0.18- μm CMOS 공정에서 제공하는 금속 층은 총 6 개이며, 실리콘 기판과 금속간의 다층 oxide 절연층을 가지고 있다. 전도성 실리콘 기판에 의해 전송선로에서 발생하는 손실을 감소시키기 위해 그림 1에 나타낸 두 가지 기판 차폐 전송 선로(substrate-shielded transmission line)를 설계하였다. 그림 1(a)은 기판 차폐 MSL 구조를, 그림 1(b)은 기판 차폐 CPW 구조를 나타낸다.

기판 차폐 MSL 구조는 전도성 실리콘 기판에 의한 손실을 줄이기 위하여 metal-1 을 ground로 하고, metal-6 을 신호선으로 사용하였다. Metal-1 층은 실리콘 기판으로 유입되는 전기장을 차단하는 역할을 한다. 0.18- μm 이하의 CMOS 공정에서는 다층 금속 배선의 평탄도를 유지하기 위해 dummy metal filling이 요구된다. 또한 ground 역할을 하는 폭이 넓은 metal-1의 경우(>30 μm) 슬롯(slot)이 사용된다. Metal-1의 슬롯을 통해 전도성 기판으로 전기장이 유출되는 것을 차단하기 위하여 poly-silicon을 슬롯 아래에 배치하였다. Poly-silicon은 via를 통해 metal-1로 연결된다.

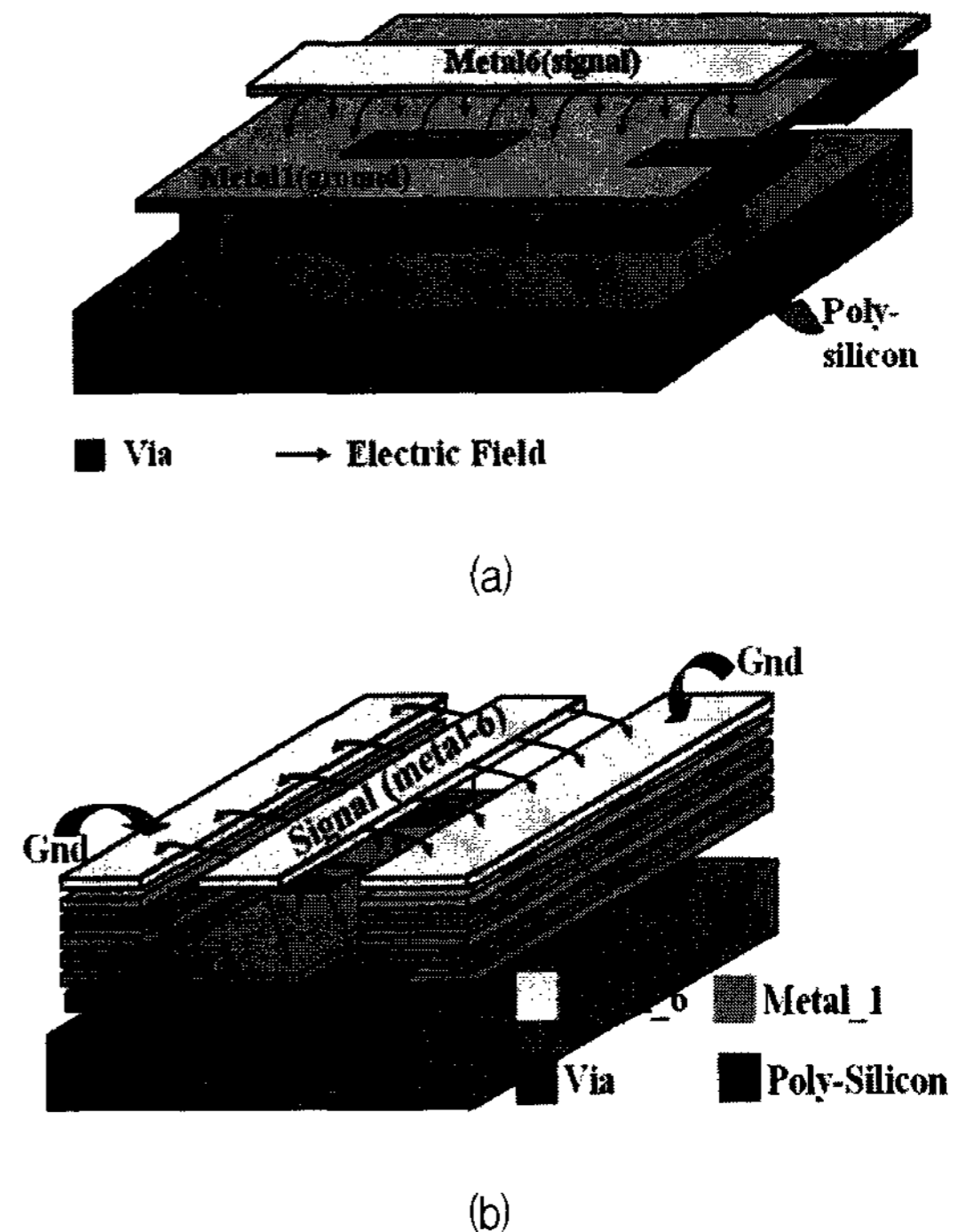


그림 1. (a) 기판 차폐 MSL 구조
(b) 기판 차폐 CPW 구조

Fig. 1. (a) Substrate-shielded microstrip-line structure
(b) Substrate-shielded coplanar waveguide structure.

CPW 구조의 경우 metal-1에서 metal-6까지 via를 통해 연결된 ground를 양 측면에 쌓아 올려 사용하였다. Metal-1과 metal-6 사이 절연체의 두께는 약 6 μm 로 CPW 구조의 신호선과 ground 사이의 간격에 비해 무시할 수 없으므로 모델링은 GCPW (grounded coplanar waveguide) 구조를 사용하였다. 이 구조의 경우 metal-5 이하의 선로에도 전계가 발생하므로 단위 면적당 커패시턴스가 증가하여, 특성 임피던스가 감소하고 유효 선간 간격은 실제 간격보다 작게 된다.

측정용 패드의 특성을 short 및 open으로 따로 제작된 dummy 테스트 패턴을 이용하여 de-embedding 수행한 후 전송선로만의 특성을 추출하였다^[4]. 이들 전송선로의 모델링은 Agilent ADS에서 제공하는 'MLIN' 및 'CPWG' 전송선로를 사용하여, 특성 임피던스, 유효 절연상수, 감쇠상수 등을 결정하였다.

그림 2에 기판 차폐 CPW 구조의 측정 및 모델된 S-파라미터 특성을 비교하였다. 측정에 사용된 CPW 구조는 40 GHz까지 모델링 결과와 비교적 잘 일치하는 것을 알 수 있다. 너비 $W=16 \mu\text{m}$ 를 가지는 기판 차폐 MSL의 경우 특성 임피던스는 42 Ω 이었고, 너비 16 μm , 간격 10 μm 를 가지는 기판 차폐 CPW 구조의 경우

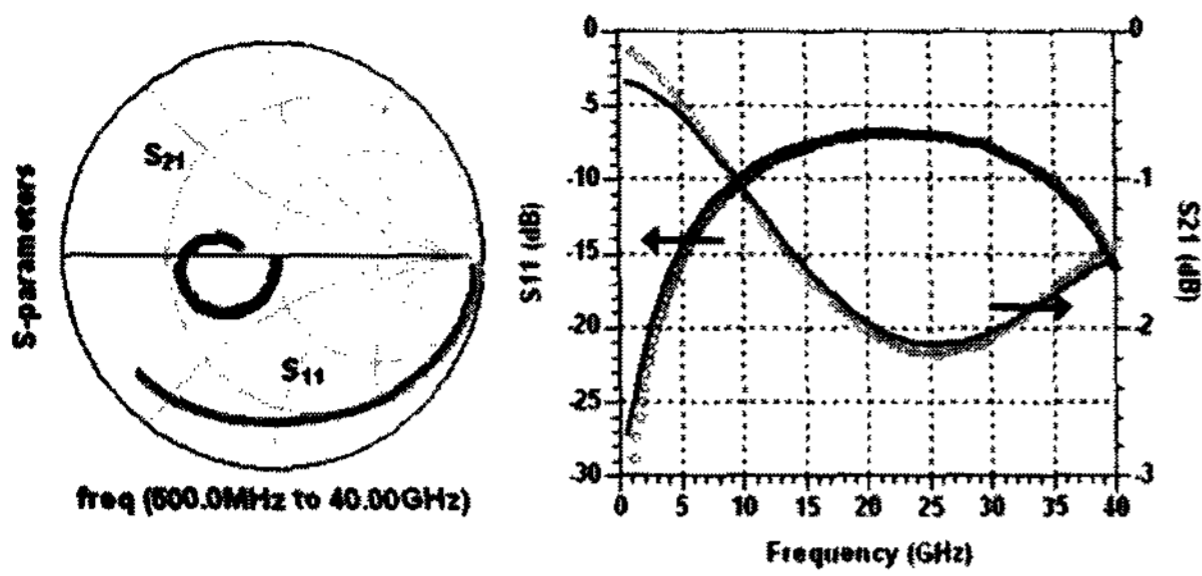


그림 2. 너비 16 μm , 간격 10 μm , 길이 950 μm 을 가지는 기판 차폐 CPW 구조의 측정 및 모델된 S-파라미터 특성

Fig. 2. Measured and modeled S-parameters of substrate-shielded CPW having width = 16 μm , spacing = 10 μm , and length = 950 μm .

특성 임피던스는 31 Ω 이었다. 각 전송선로는 27 GHz에서 CPW의 경우 약 2dB (1 dB/mm), MSL의 경우 약 1 dB(0.5 dB/mm)의 삽입손실을 나타내었다.

III. 전력증폭기 설계

파운더리에서 제공되는 소자 모델의 정확도는 밀리미터파 대역에서는 아직 완벽한 검증이 되지 않고 있고, 또한 사용 주파수가 높아질수록 레이아웃 의존성이 증가한다. 증폭기에 사용된 개별 MOSFET의 특성을 측정하기 위한 소자 테스트 패턴과 측정용 패드 테스트 패턴을 삽입하여 측정하고 모델링하였다.

측정된 S-parameter를 이용하여 BSIM3 모델에 기생성분을 추가하여 40 GHz까지 트랜지스터 특성을 모델링하여 증폭기 설계에 사용하였다. 그림 3에 측정 및 모델된 0.18 μm 트랜지스터의 주파수에 따른 전력 이득

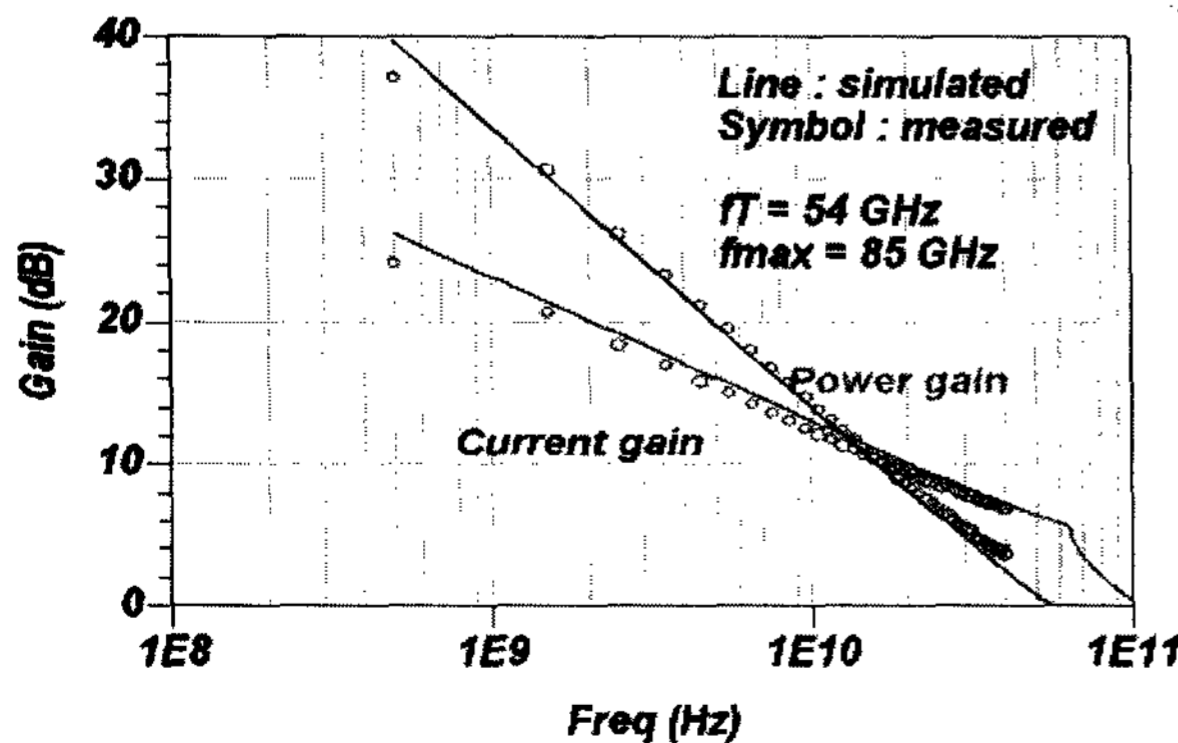


그림 3. 측정 및 모델된 40 μm 크기의 0.18 μm 트랜지스터의 전력 이득 및 전류 이득 특성.

Fig. 3. Measured and modeled power and current gain characteristics of 0.18- μm transistor having 40 μm width. $V_{DS}=1.8\text{ V}$, $I_{DS}=13\text{ mA}$.

과 전류 이득을 나타내었다. 소자 크기(width)가 40 μm 인 트랜지스터는 27 GHz에서 전력 이득과 전류 이득을 각각 8.5dB와 4.5dB를 나타내었다. 이 결과는 측정용 패드의 특성을 de-embedding한 소자 자체만의 주파수 특성이다. 트랜지스터의 크기가 커지면 출력 전력을 증가시킬 수 있는 반면 다수의 배선에 의한 커패시턴스와 기판의 손실에 의해 상대적으로 낮은 소신호 이득을 가진다. 전력용 트랜지스터임을 고려하여 단위 게이트의 폭을 3 μm 로 결정하고 finger수의 변화시키면서 3-단 증폭기에서 15 dB 이상의 이득을 얻을 수 있는 범위 내에서 최대 소자로 150 μm 크기를 선택하였다. 증폭기에 사용된 150 μm 크기 소자의 경우에도 제작된 소자 테스트 패턴의 S-parameter를 측정하여, 이를 바탕으로 파운더리에서 제공되는 모델에 기생성분을 추가하였다.

밀리미터파 대역 증폭기에는 상대적으로 높은 이득을 나타내는 캐스코드(cascode) 트랜지스터가 주로 사용되어 왔으나^[5~8], 이들 증폭기는 캐스코드 특성상 높은 전압을 사용한다. 전력증폭기에서 효율도 중요한 요소이기 때문에 본 논문에서는 캐스코드보다 낮은 전압에서 동작하여 효율을 높일 수 있는 common-source 트랜지스터를 사용하였다.

기판 차폐 MSL과 CPW의 두 종류의 전송선로를 사용한 두 개의 전력증폭기는 그림 4에 나타난 정합회로로 구성된 증폭기 구조를 사용하였다. 단간 정합회로는 직렬 L-C 구조의 대역통과 형태를 사용하고, 입출력 정합회로는 병렬 커패시터와 전송선로로 구현된 비교적 간단한 구조로 손실을 줄이고자 하였다.

입력단과 출력 단에서는 앞서 모델링을 통해 결정된 트랜지스터에 Agilent ADS를 이용해 S-parameter 특성 및 각 단의 Γ_{in} , Γ_{out} 을 계산하여 정합회로를 설계하였다. 증폭기 입력단과 출력단의 정합회로 설계에는

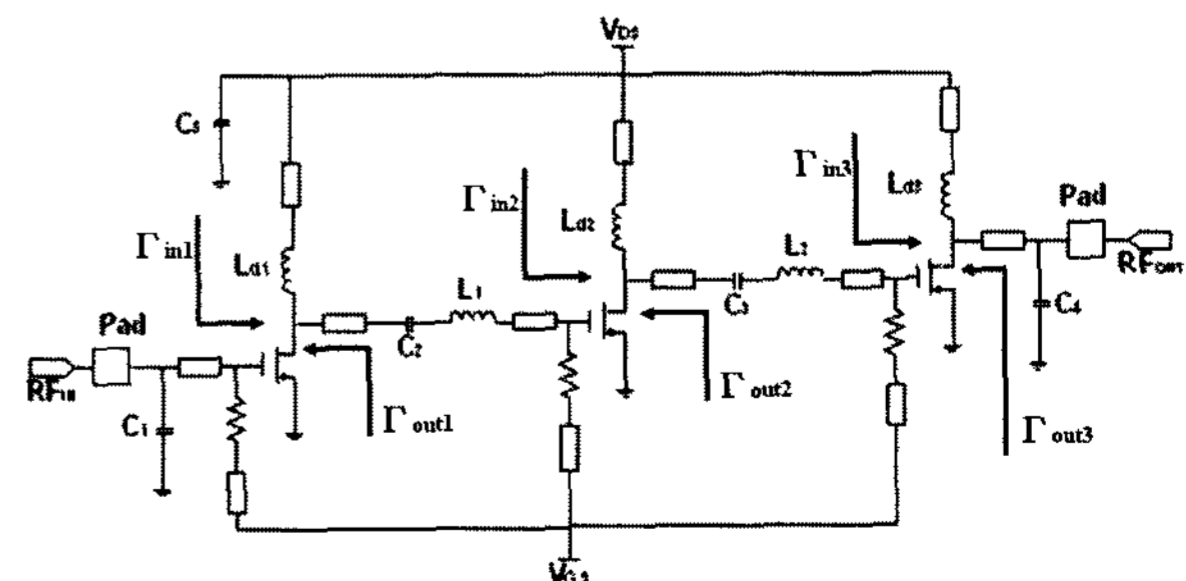
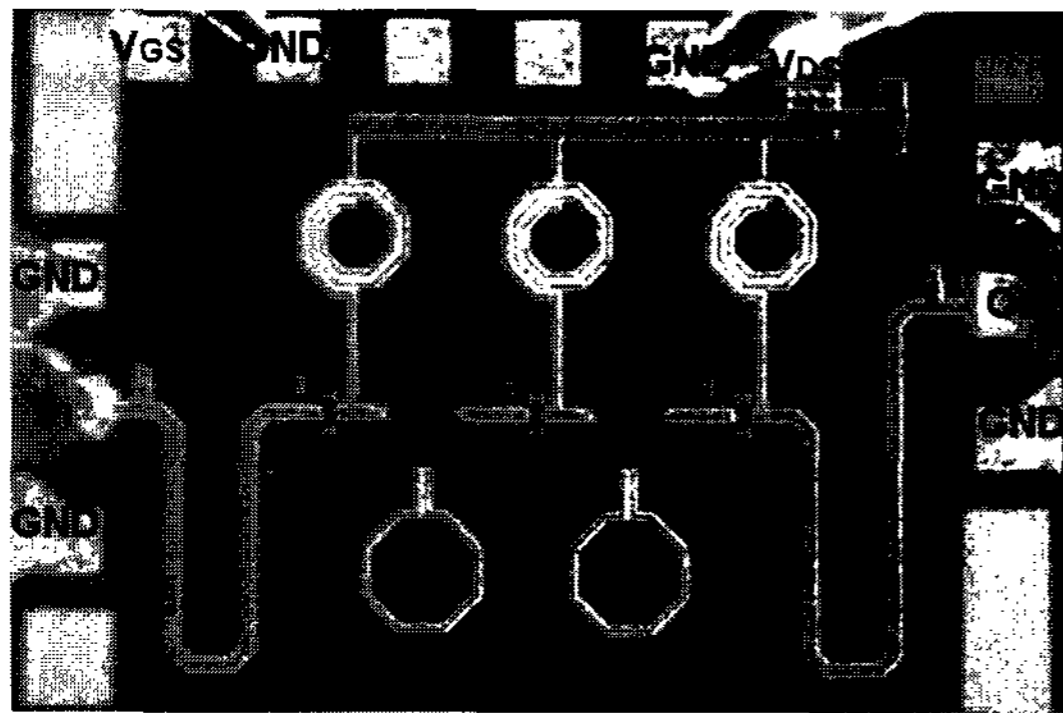
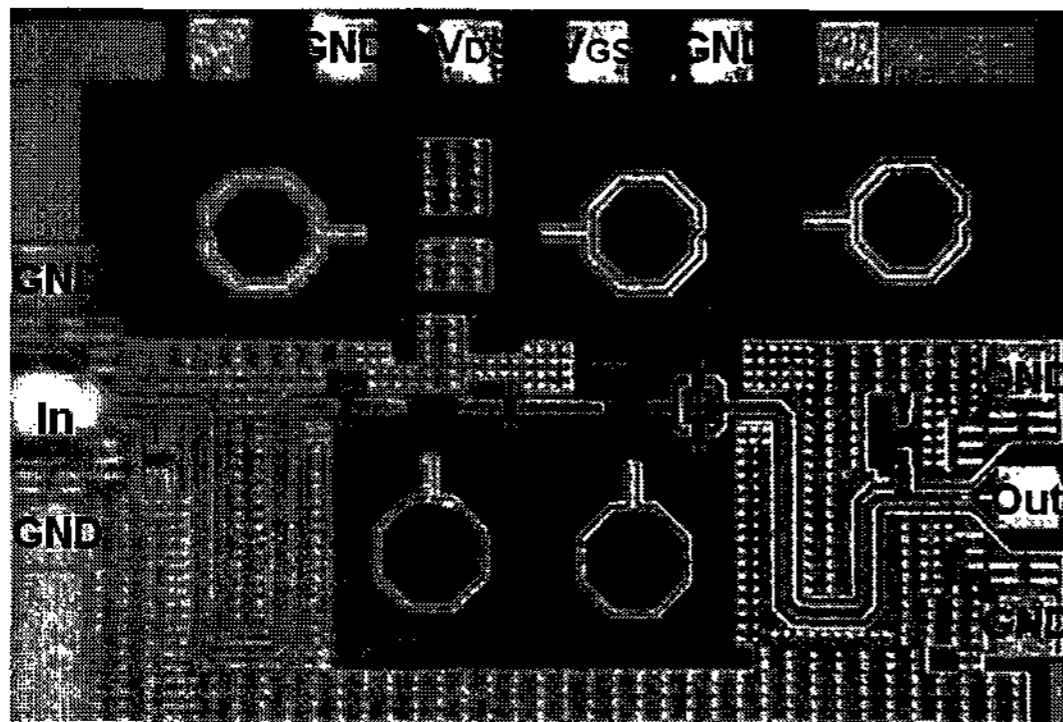


그림 4. 단간 정합 회로를 대역통과 구조로 사용한 3-단 전력증폭기의 회로도

Fig. 4. Schematic of 3-stage power amplifier using band-pass inter-stage matching.



(a)



(b)

그림 5. 제작된 3단 전력증폭기의 사진 (a) 기판 차폐 MSL을 사용하여 제작된 전력증폭기 (b) 기판 차폐 CPW를 사용하여 제작된 전력증폭기. 두 증폭기의 크기는 $1.1 \times 0.75 \text{ mm}^2$ 임

Fig. 5. Fabricated 3-stage power amplifier using (a) substrate-shielded MSL (b) substrate-shielded CPW structure. size = $1.1 \times 0.75 \text{ mm}^2$.

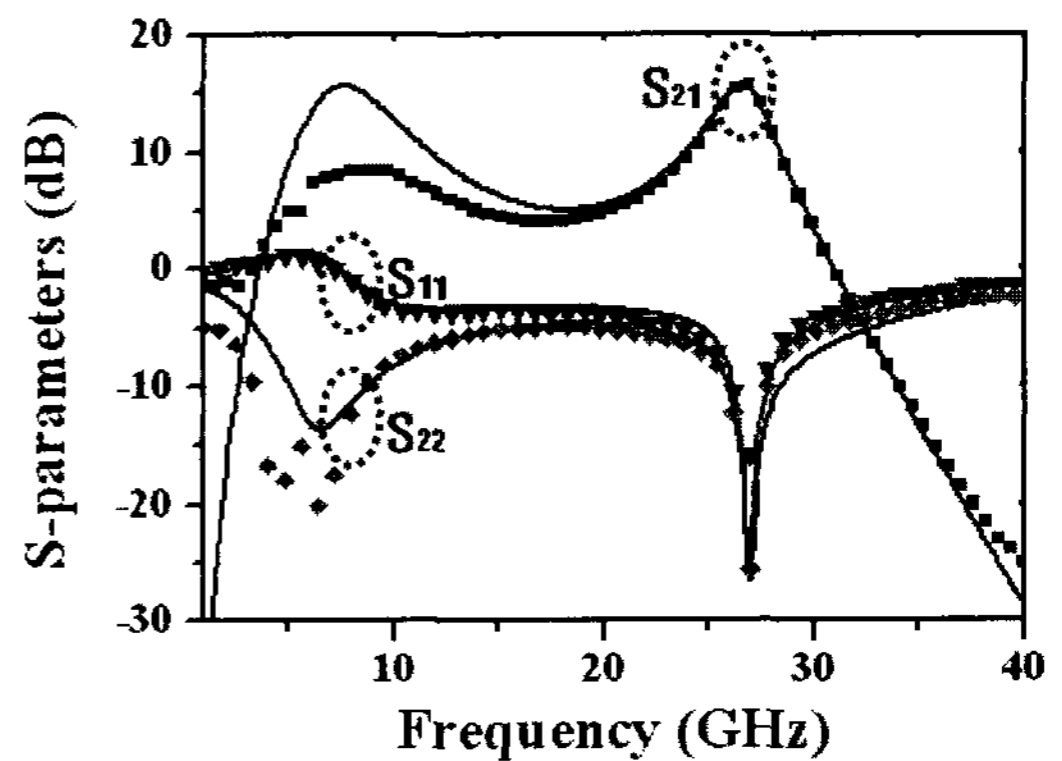
비교적 높은 중심 주파수 27 GHz에서 측정용 패드에 의한 손실 및 부정합 요소를 제거하기 위해 이를 고려한 정합회로를 설계하였다. 단단 정합회로의 경우 회로의 크기를 소형화시키고 구조를 간단히 하기 위해 대역 통과 형태의 직렬 L-C회로로 구현하였다. 이때 각각의 소자를 연결하는 전송선로가 갖는 영향을 고려한 뒤 C와 L값을 결정하여 정합회로를 설계하였다. 그림 5에 제작된 전력증폭기의 사진을 나타내었다. 크기는 두 증폭기 모두 약 $1.1 \times 0.75 \text{ mm}^2$ 이다.

게이트 바이어스를 인가하는 전송선로는 너비를 작게 하여 큰 특성임피던스를 갖도록 하고 추가적으로 높은 저항을 연결하여 저주파 대역의 발진을 억제하였다. 드레인 바이어스 부분은 30 GHz 이상의 자체 공진 주파수(self-resonant frequency)를 갖는 인덕터를 사용하여 회로의 크기를 소형화 하였다. 특히 인덕터는 높은 주파수에서 기생 커패시터의 영향이 증가하여 용량성 커패시터로 작동할 수 있기 때문에 인덕터의 Q-factor

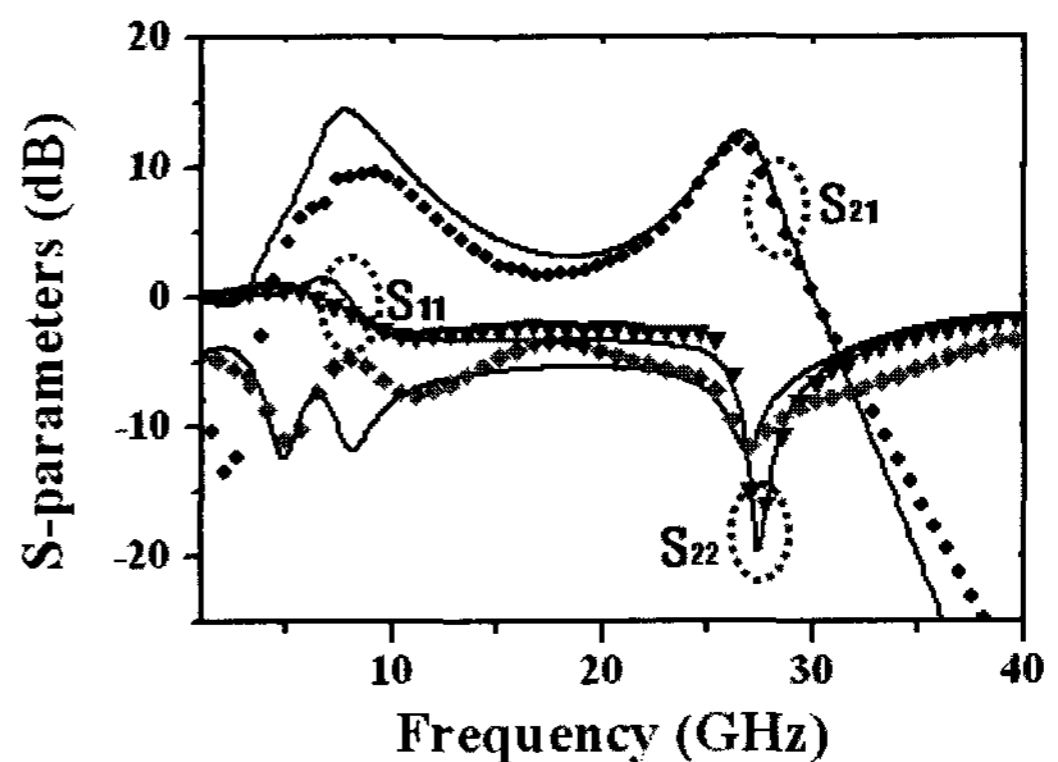
와 자체 공진 주파수를 시뮬레이션을 통해 확인하였다. 또한 Ka-대역에서 각 소자를 연결하는 짧은 전송선로가 가지는 정합회로에의 영향을 무시할 수 없기 때문에 정합회로 설계 시에 이를 고려하였다.

IV. 전력증폭기 측정 결과

소신호 이득 측정은 Cascade Microtech사의 WinCal 소프트웨어와 GSG (ground-signal-ground) Infinity probe를 이용하여 LRM (Line-Reflect-Match) calibration을 수행한 후, HP 8510C vector network analyzer를 이용하여 on-wafer상태로 측정하였다. 그림 6에 두 전력증폭기의 측정된 S-parameter특성을 나타내었다. MSL을 사용한 전력증폭기의 경우 중심주파수 27 GHz에서 가장 높은 이득을 나타내며 40 GHz까지



(a)



(b)

그림 6. 전력증폭기의 측정된 S-parameter 특성 (a) 기판 차폐 MSL을 사용한 전력증폭기의 소신호 특성 (b) 기판 차폐 CPW를 이용한 전력증폭기의 소신호 특성 ($V_{DS}=1.8 \text{ V}$, $V_{GS}=0.9 \text{ V}$)

Fig. 6. Measured S-parameters of the amplifier using (a) substrate-shielded MSL (b) substrate-shielded CPW ($V_{DS}=1.8 \text{ V}$, $V_{GS}=0.9 \text{ V}$).

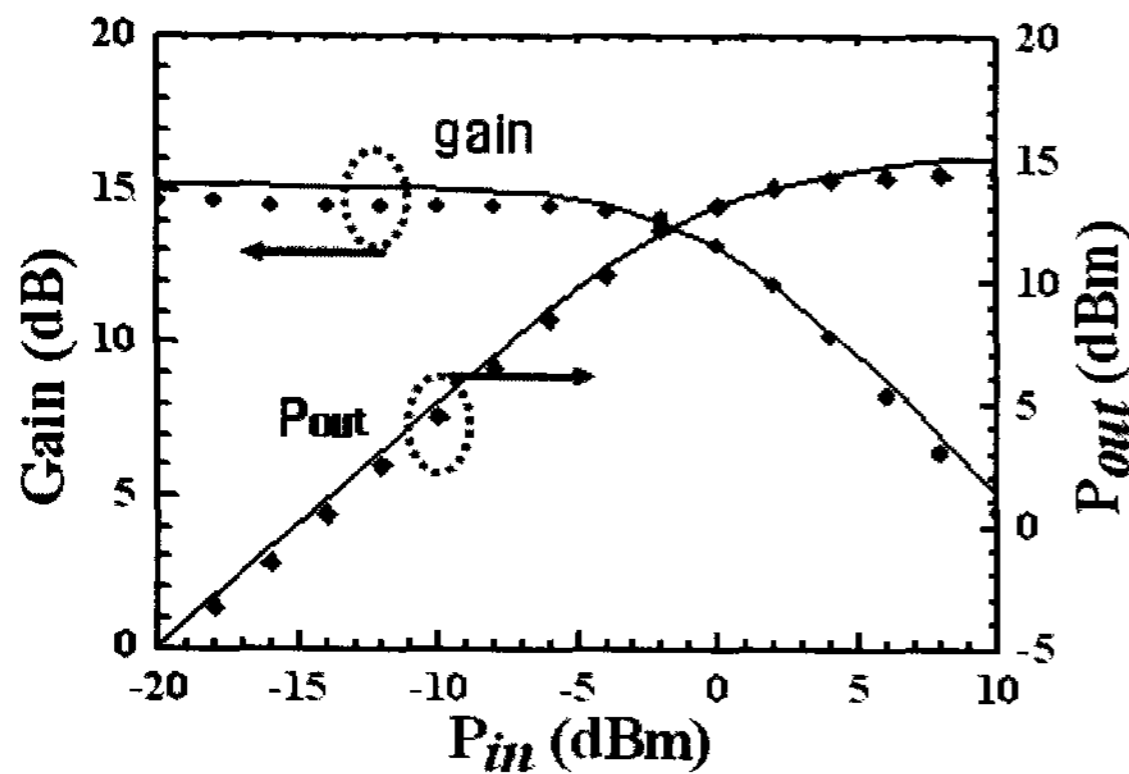


그림 7. 기판 차폐 MSL 을 사용한 전력증폭기의 대신호 전력 특성

Fig. 7. Measured large-signal characteristic of the amplifier using substrate-shielded MSL ($V_{DS}=1.8$ V, $V_{GS}=1$ V).

표 1. 20-30 GHz 대역에서 발표된 CMOS 전력증폭기의 특성 비교

Table 1. Comparison of monolithic CMOS power amplifiers in K- and Ka- bands (20-30 GHz).

Ref	주파수 (GHz)	효율 (%)	이득 (dB)	출력 (dBm)	CMOS 공정 / 출력단 소자 크기
[5]	20	13.5	8.1	12.5	90 nm CMOS cascode distributed amp./ $4 \times 64 \mu\text{m}$
[6]	25.7	13.2	8.4	13	0.13 μm CMOS cascode push-pull amp. / $2 \times 250 \mu\text{m}$
[7]	27	6.7	17	14	0.18 μm CMOS cascode 3-stage tuned amp./ n.a.
[8]	24	6.5	7	14.5	0.18 μm CMOS cascode 2-stage tuned amp./ $400 \mu\text{m}$
본 논문 MSL구조	27	11	14.7	14.5	0.18 μm CMOS common source tuned amp./ $150 \mu\text{m}$
본 논문 CPW구조	26.5	7	12	12.5	0.18 μm CMOS common source tuned amp./ $150 \mu\text{m}$

측정 및 모델된 특성이 잘 일치함을 알 수 있다. CPW를 사용한 증폭기의 경우 26.5 GHz에서 가장 높은 이득을 나타내었는데, 이것은 CPW 전송선로의 모델링 오차에 기인하는 것으로 사료된다. 기판 차폐 MSL 전송선로를 사용하여 제작된 전력증폭기의 경우 바이어스 조건 $V_{GS} = 0.9$ V, $V_{DS} = 1.8$ V에서 소신호 이득은 27 GHz에서 14.7 dB를 나타내었다. 이 때 입·출력 반사 손실은 모두 -20 dB 이하로 나타났다. 기판 차폐 CPW 전송선로를 이용한 전력증폭기는 바이어스 조건 $V_{GS} = 0.9$ V, $V_{DS} = 1.8$ V에서 소신호 이득이 26.5 GHz에서 12 dB로 나타났다. 반사 손실은 입력 단이 약 -8 dB이고 출력 단이 약 -12 dB를 나타내었다. 두 증폭기 모두

3-dB대역폭은 약 3 GHz를 나타내었다.

그림 7에 기판 차폐 MSL을 사용한 3-단 전력증폭기의 대신호 전력특성을 나타내었다. 시뮬레이션과 측정결과와 잘 일치하는 것을 알 수 있고, 27 GHz에서 약 14.5 dBm의 출력을 나타내었다. 효율 (power-added-efficiency)은 약 11% 을 나타내었다. CPW를 이용한 전력증폭기는 27 GHz 에서 출력 12.5 dBm과 7 %의 효율을 나타내었다.

표 1에 20-30 GHz 대역에서 발표된 CMOS 전력증폭기의 특성 비교하였다. 현재 발표된 대부분의 전력증폭기는 캐스코드(cascode)구조를 사용하였으나 본 논문에서는 common-source 단일 소자를 사용하였으며, 캐스코드 구조를 사용한 증폭기와 비교하여 우수한 소신호 이득 특성을 나타냄을 알 수 있다. 또한 common-source 단일 소자를 사용한 본 논문의 증폭기의 경우 낮은 전압을 사용하기 때문에 비교적 우수한 효율을 얻을 수 있음을 알 수 있다.

V. 결 론

본 논문에서는 Ka-대역 근거리 광대역 통신시스템에 적용할 수 있는 전력증폭기를 0.18- μm CMOS 공정으로 제작하고 특성을 측정하였다. 기판 차폐된 MSL 전송 선로의 경우 27 GHz에서 0.5 dB/mm, CPW의 경우 약 1 dB/mm의 삽입손실을 나타내었다. 제작된 전력증폭기는 40 GHz 까지 모델링 결과와 잘 일치하였으며, 출력 전력은 27 GHz에서 두 증폭기의 경우 각각 14.5 dBm과 12.5 dBm의 특성을 나타내었다. 이 출력 전력은 III-V 화합물을 이용한 증폭기 보다는 다소 낮으므로 향후 출력 전력을 증가시킬 수 있는 전력 결합 구조 등에 대한 연구가 필요하다.

감사의 글

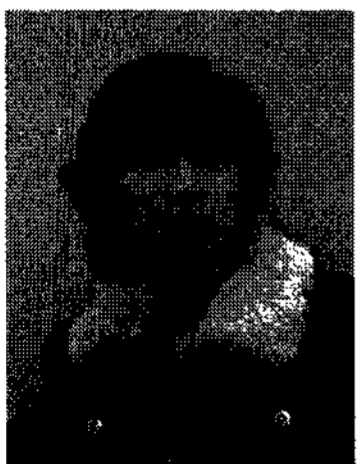
27 GHz 전력 측정은 한국전자통신연구원(ETRI) 공용측정실 윤석원, 지홍구 연구원의 도움을 받았으며 감사드립니다.

참 고 문 헌

[1] P. Smulders, "Exploiting the 60 GHz band for local wireless multimedia access: prospects and

- future directions," IEEE Communication Magazine, Jan. 2002, pp. 140-147.
- [2] Federal Communications Commission FCC 02-04, Section 15.515.
- [3] S.-Y. Wu, "A 32nm CMOS Low Power SoC Platform Technology for Foundry Applications with Functional High Density SRAM," Int. Electron Dev. Meeting (IEDM), pp. 263-266, 2007.
- [4] M. C. A. M. Koolen, J. A. M. Geelen, and M. P. J. G. Versleijen, "An improved de-embedding technique for on-wafer high-frequency characterization," Proc. IEEE Bipolar/BiCMOS Circuits and Technology Meeting, Sep. 1991, pp. 188191.
- [5] F. Ellinger, "60-GHz SOI CMOS traveling-wave amplifier with NF below 3.8-dB from 0.1 to 40 GHz" IEEE J. Solid-State Circuits, vol. 40, no. 2, 2005, pp. 553-558.
- [6] A. Vasylyev, P. Weger, and W. Simburger, "Ultra-broadband 20.5-31 GHz monolithically integrated CMOS power amplifier" Electron. Lett., vol. 41, no. 23, 2005, pp. 1281-1282.
- [7] H. Shigematsu, T. Hirose, F. Brewer, and M. Rodwell, "Millimeter-Wave CMOS Circuit Design" IEEE Tran. Microwave Theory Tech., vol. 53, no. 2, Feb. 2005.
- [8] A. Komijani, A. Natarajan, and A. Hajimiri, "A 24-GHz, +14.5-dBm Fully Integrated Power Amplifier in 0.18- μm CMOS" IEEE J. Solid-State Circuits, vol. 40, no. 9, Sept. 2005.

 저 자 소 개



허 상 무(학생회원)
 2006년 3월~현재 경희대학교
 전자정보대학 석사과정
 <주관심분야 : CMOS RFIC 설
 계, 전력증폭기 설계>



이 종 욱(정회원)
 1997년 서울대학원 전기공학과
 공학석사
 2003년 Purdue University at
 West Lafayette 공학박사
 2004년 3월~2006년 2월
 경희대학교 전자정보대학
 전임강사
 2006년 3월~현재 경희대학교 전자정보대학
 조교수
 <주관심분야 : RFID태그, RFIC설계, RF모델링>