

Design of a Frequency Synthesizer for UHF RFID Reader Application

金 庚 煥* · 吳 根 昌** · 朴 鍾 泰*** · 劉 宗 根†
 (Kyung-Hwan Kim · Kun-Chang Oh · Jong-Tae Park · Chong-Gun Yu)

Abstract - In this paper a Fractional-N frequency synthesizer is designed for UHF RFID readers. It satisfies the ISO/IEC frequency band(860~960MHz) and is also applicable to mobile RFID readers. A VCO is designed to operate at 1.8GHz band such that the LO pulling effect is minimized. The 900MHz differential I/Q LO signals are obtained by dividing the differential signal from an integrated 1.8GHz VCO. It is designed using a 0.18 μ m RF CMOS process. The measured results show that the designed circuit has a phase noise of -103dBc/Hz at 100KHz offset and consumes 9mA from a 1.8V supply. The channel switching time of 10 μ s over 5MHz transition have been achieved, and the chip size including PADS is 1.8 \times 0.99mm².

Key Words : RFID, Reader, UHF, Fractional-N Frequency Synthesizer, PLL

1. 서 론

최근 UHF 대역에서 동작하는 RFID 시스템이 활발히 연구되고 있으며, 유통물류 분야를 시작으로 다양한 분야에서 활용되고 있다. 현재 UHF RFID 시스템은 리더(reader)가 고정되어 있는 고정형 응용뿐만 아니라 휴대형 형태의 응용 분야에서도 활용이 점점 증가하고 있다. 따라서 현재 모든 휴대형 정보통신 기기들에서 이슈화가 되고 있는 시스템의 소형화가 RFID 리더 시스템도 적용되고 있다. 특히, 국내에서는 휴대폰과 UHF RFID를 결합한 모바일 RFID 시스템에 대해 많은 연구 개발이 진행 중에 있다. 그러므로 궁극적으로 RFID 리더 시스템도 모바일에 연결하여 사용할 수 있을 정도의 크기로 줄여야 한다. 그러기 위해서는 RFID 리더기의 아날로그와 디지털 회로들을 SoC(System on Chip) 기술을 이용하여 하나의 칩에 집적화 하여야 한다. RFID 리더 IC의 아날로그 회로 중에 주파수합성기는 전체 리더시스템의 성능을 좌우하는 중요한 블록이다. 일반적으로 주파수합성기는 무선통신시스템에서 채널 선택을 위한 안정적인 LO(Local Oscillator) 신호들을 합성해 내는 회로로써 시스템의 송수신 성능을 좌우한다[1].

ISO/IEC에서 규정하는 UHF 대역 RFID 리더의 동작 주파수는 UHF(860~960MHz) 대역 내에서 각 나라의 주파수 환경을 고려한 지역 표준을 따르도록 하고 있다. 따라서 표

1에서처럼 나라마다 다른 주파수 대역과 채널 간격을 RFID 리더용으로 할당하고 있다. 기존의 RFID 리더용 주파수합성기[2,3,4]는 낮은 위상잡음 성능을 위한 설계를 하였지만, 전력소모가 많았으며, 대부분의 주파수합성기[3-5]는 UHF 대역 전 대역을 만족하지 못하였다. 또한 전 대역을 만족하는 주파수합성기[2]는 Dual-loop 구조로 인한 많은 비용 문제를 갖고 있었다.

표 1 UHF RFID 리더 주파수 분배 현황
 Table 1 Frequency distribution of UHF RFID Reader

	ISO/IEC	미국	유럽	한국
주파수 (MHz)	860~960 지역표준	902~928	865~868	908.5~914
채널간격 (KHz)	지역표준	500	200	200

본 논문에서는 기존 주파수합성기의 낮은 위상잡음 특성을 만족하면서도 저비용, 저전력 특성과 UHF 대역 전 대역을 만족하도록 설계를 하였다. 설계된 주파수합성기는 작은 면적과 저전력 실현을 위해서 3차 MASH 유형의 시그마-델타 변조기에서 덧셈기와 미분기를 분주비 매핑회로로 대체하였으며, dual-modulus 프리스케일러에서 전력소모가 적은 TSPC(True Single Phase Clocked) 형태의 CCD (complementary clocking dynamic) 플립플롭을 설계하였다 [6,7]. VCO는 직접 변환 수신기에서의 LO pulling 효과를 최소화하기 위해 1.8GHz 대역에서 발진하도록 설계하였고, dual-modulus 프리스케일러 전단에 고속의 주파수 분주기를 사용하여 900MHz 대역으로 변환되도록 하였다[8,9]. 또한, UHF 대역 RFID 리더의 표준 채널간격인 200KHz/500Hz를 모두 만족하도록 19.53KHz의 주파수해상도를 갖는 Fractional-N 주파수 합성기를 설계하였다[10].

* 學生會員 : 仁川大 電子工學科 碩士課程
 ** 非 會 員 : 仁川大 電子工學科 碩士課程
 *** 非 會 員 : 仁川大 電子工學科 正教授
 † 교신저자, 正會員 : 仁川大 電子工學科 正教授
 E-mail : chong@incheon.ac.kr
 接受日字 : 2007年 12月 17日
 最終完了 : 2008年 1月 29日

2. 회로 설계

2.1 주파수 합성기 구조

그림 1은 본 논문에서 설계한 UHF 대역 RFID 리더용 Fractional-N 주파수합성기의 전체 블록도를 나타낸다. 설계된 회로는 크게 두 개의 블록 (Dblock, PLL)으로 구성된다.

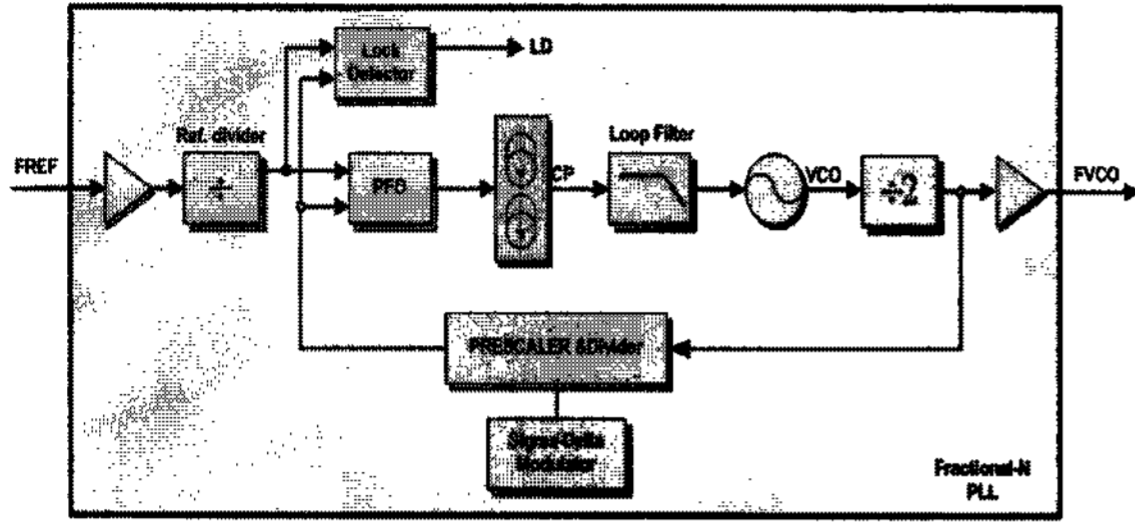


그림 1 설계된 주파수합성기의 블록도
Fig. 1 Block diagram of the designed frequency synthesizer

Dblock은 주파수를 프로그램하기 위한 주파수 분주기로서 fractional spur를 줄이기 위해서 사용되는 시그마-델타 변조기와 multi-modulus 분주를 위한 Prescaler&Divider 블록으로 구성되어 있다. PLL 블록은 Dblock에서 설정된 값에 맞는 주파수를 발생시키고 안정화 시키는 역할을 하며 Bias회로, VCO(Voltage Controlled oscillator, CP(Charge Pump), PFD(Phase Frequency Detector), LF(Loop Filter), LD(Lock Detector), Divide-by-2 회로 등으로 구성된다.

2.2 VCO

그림 2는 설계한 VCO의 회로도도를 나타낸다. 설계한 VCO는 NP-core 형태로써 N-core only 유형이나 P-core only 유형에 비해 같은 바이어스 전류 조건하에서 출력 진폭이 2배 크기 때문에 전력소모 면에서 유리하므로 모바일 RFID 리더에 적합하다. 또한 출력 신호 파형의 대칭성이 우수한 장점이 있다. 넓은 주파수 tuning range와 낮은 VCO 이득을 얻기 위해 4bit 제어 신호로 동작하는 캐패시터 bank를 구성하였고, 플리커(1/f) 잡음이 작은 PMOS 바이어스 단을 사용하였다

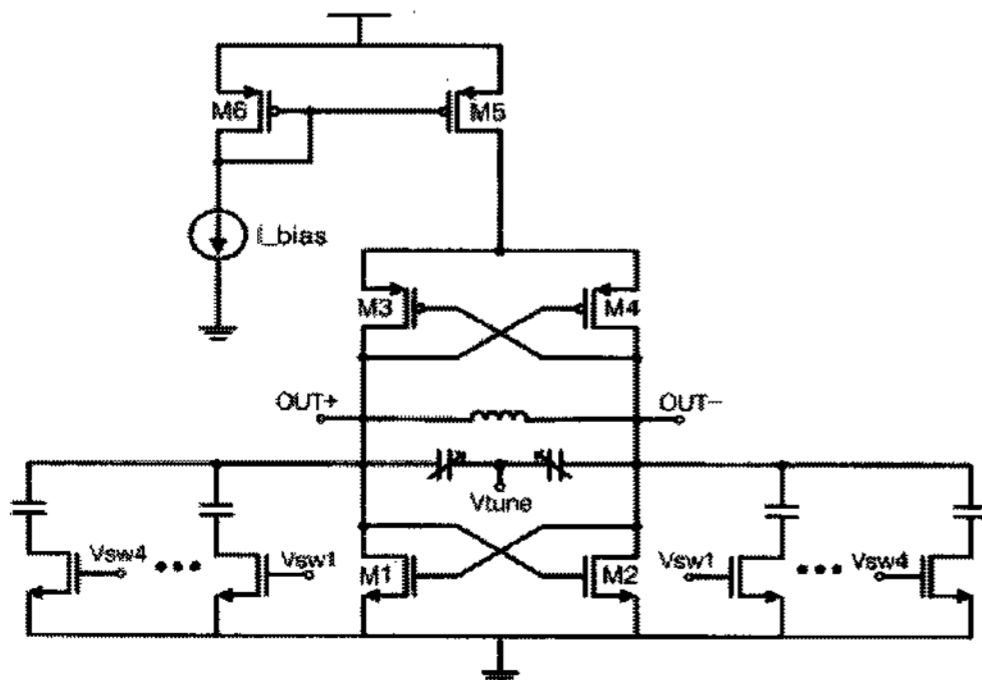


그림 2 설계된 NP-core 구조의 LC VCO 회로도
Fig. 2 Schematic of the designed NP-core type LC VCO

직접 변환방식을 하는 UHF 대역 RFID 리더 주파수합성기는 중간주파수가 없이 한 번에 낮은 기저 대역의 주파수대로 변조되고, 채널 대역폭이 200KHz/500Hz 밖에 안 되기 때문에 1MHz 이상의 위상 잡음 보다 200KHz/500Hz 이내의 위상잡음 특성이 중요하다.

그림 3은 VCO의 1.8GHz 출력신호와 주파수 분주기에 의해서 2분주 된 900MHz 신호의 위상잡음 특성 모의실험 결과이다. 모의실험 결과 1.8GHz 발진 신호와 2분주 된 900MHz 신호는 100KHz offset에서 각각 -98.8dBc/Hz, -104.9dBc/Hz의 위상잡음 특성을 나타낸다. 따라서 주파수 분주기에 의해 6dBc/Hz의 위상 잡음이 개선 되는 것을 알 수 있다. 설계된 VCO core의 전류 소모는 약 1mA이다.

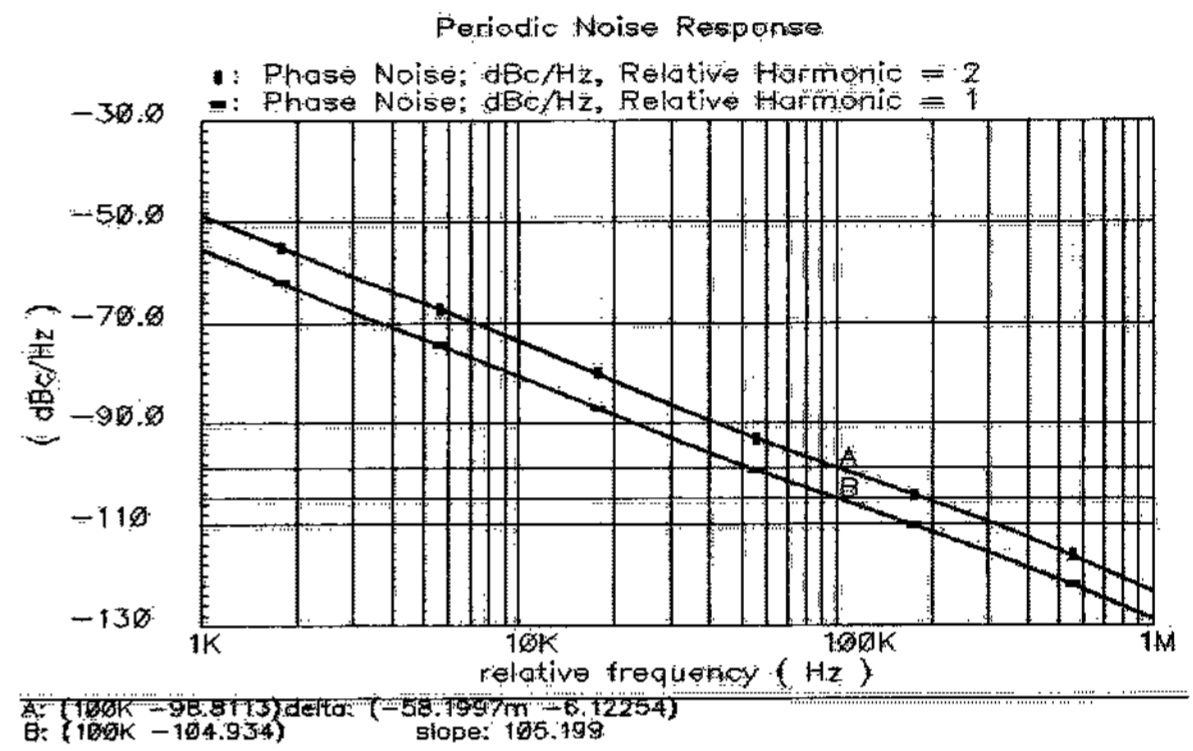


그림 3 VCO 위상잡음
Fig. 3 Phase noise of VCO

2.3 주파수 분주기

1.8GHz의 VCO 출력은 CML(Current Mode Logic) 유형의 주파수 분주기에 의해 900MHz의 I/Q신호로 2분주된다. 그림 4는 두 개의 D-래치를 마스터와 슬레이브 형태로 연결하여 구성된 주파수 분주기이다. 두개의 D-래치는 두 가지 모드가 주기적으로 스위칭이 된다. VCO 신호가 'high'일 때 왼쪽의 D-래치는 센스 모드인 반면에 오른쪽 D-래치는 래치 모드로 동작한다. 설계된 분주기회로는 1.8V의 공급전압에 750 μ A의 전류를 소비한다.

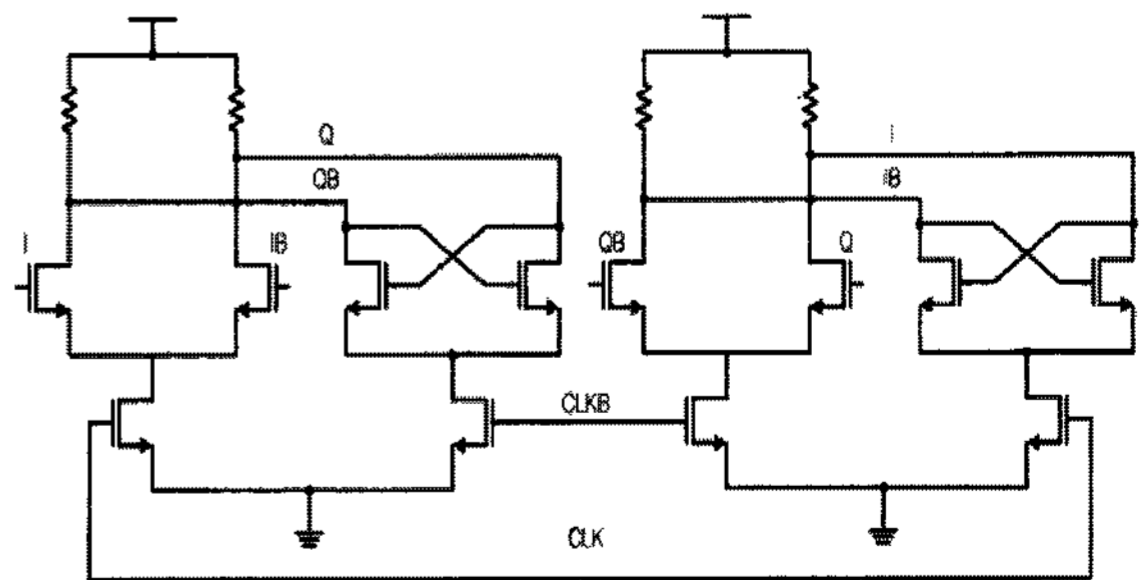


그림 4 주파수 분주기 회로
Fig. 4 Schematic of frequency divider

그림 5는 설계한 주파수 분주기의 시간에 따른 출력 전압 변화를 모의 실험한 결과이다. 1.8GHz의 입력신호에 대해 출력은 900MHz의 I/Q 신호이다.

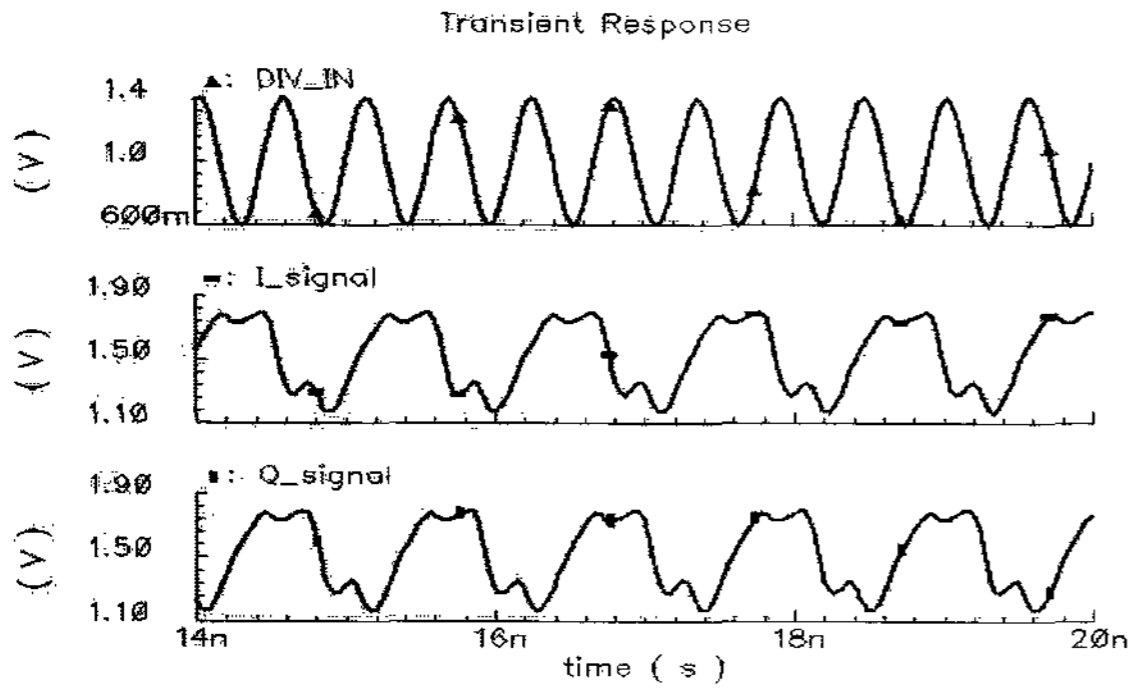


그림 5 2분주 회로의 모의실험 결과
Fig. 5 Simulation result of Divide-by-2

2.4 PFD/CP

그림 6은 PFD의 블록 다이어그램을 나타낸다. PFD는 기준신호 'FR'과 VCO의 출력을 분주한 신호인 'FN'을 비교하여 두 신호의 위상차에 해당하는 신호를 출력하는 회로로써, 두 개의 D 플립플롭과 NOR 게이트, 그리고 Dead zone 문제 해결을 위한 지연셀로 구성하였다.

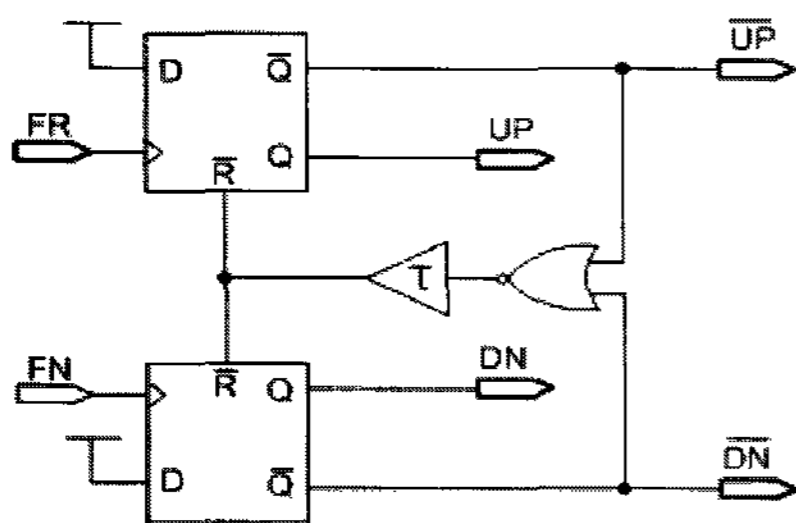


그림 6 PFD 블록도
Fig. 6 Block diagram of the PFD

그림 7는 본 논문에서 설계한 전하 펌프 회로이다. 차동 캐스코드 구조를 사용하였기 때문에, 채널길이 변조 효과가 감소하여 큰 출력 저항을 얻을 수 있으며, 전원 전압 잡음에 강한 특성을 갖고, 누설전류에 덜 민감한 특징을 가지고 있다. 설계한 전하 펌프 회로의 전류 부정합 모의실험 결과를 그림 8에 보였다. 100 μ A의 전류를 흐르게 하였을 때 PMOS 전류원과 NMOS 전류원의 전류부정합은 동작전압범위(0.4V~1.4V) 내에서 약 0.67 μ A이다.

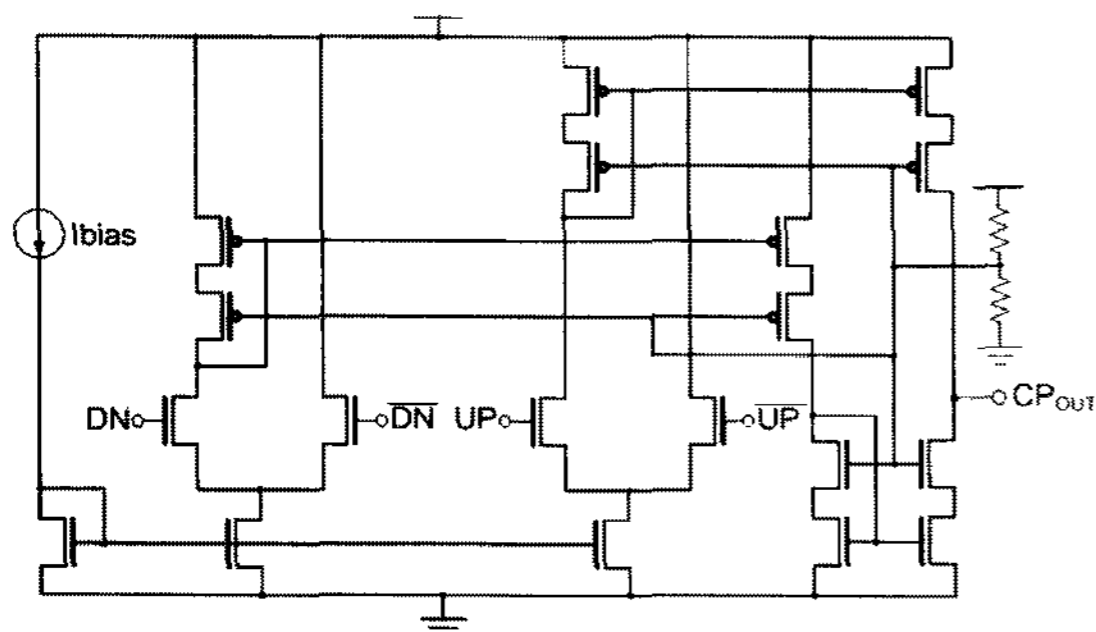


그림 7 전하 펌프 회로도
Fig. 7 Schematic of the charge pump

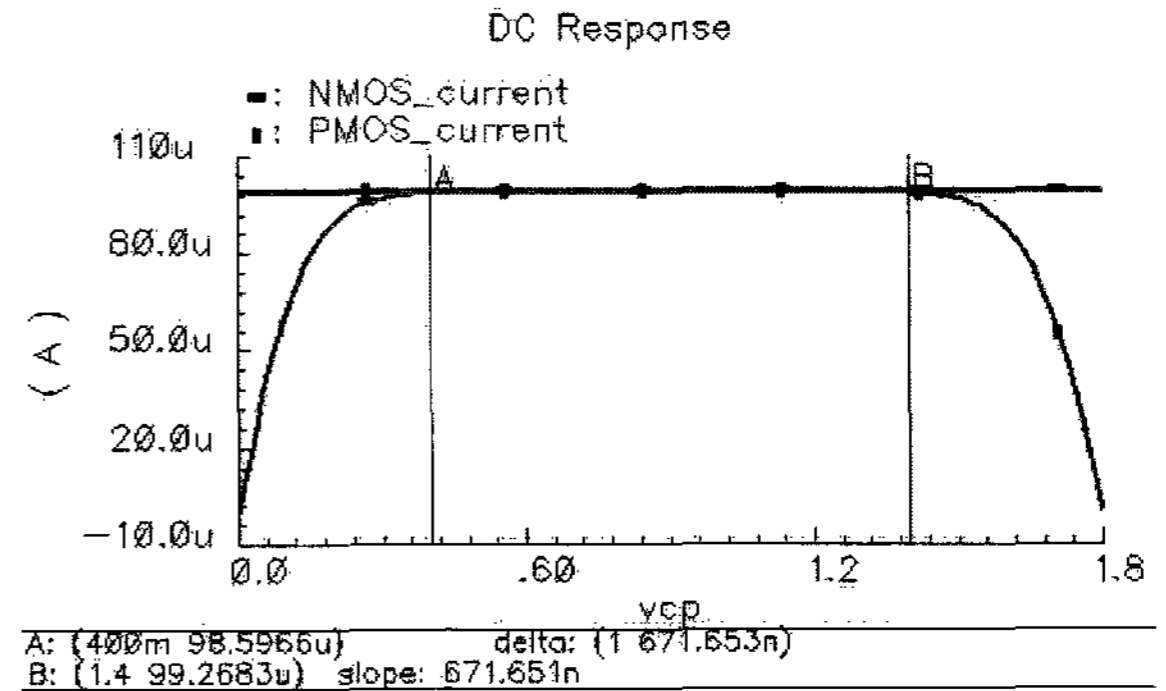


그림 8 전하펌프의 전류 정합 특성
Fig. 8 The current matching characteristic of CP

2.5 루프 필터

루프 필터는 그림 9에서와 같이 3차 수동형 필터를 사용하였다. 루프 필터는 저역 통과 특성을 가지기 때문에 PFD에 의해 발생하는 reference spur, fractional-N 분주기에 의해 발생하는 fractional spur와 같은 원하지 않는 신호를 억제시키는 역할을 한다. 이 루프 필터는 PLL의 성능을 향상시키도록 여러 번의 실험을 통해 최적화 되었다. 그림 10은 PLL에 사용된 3차 수동형 루프 필터의 보드 선도를 보여준다. 설계된 PLL의 대역폭은 30KHz, 위상여유는 65° 임을 그림에서 볼 수 있다.

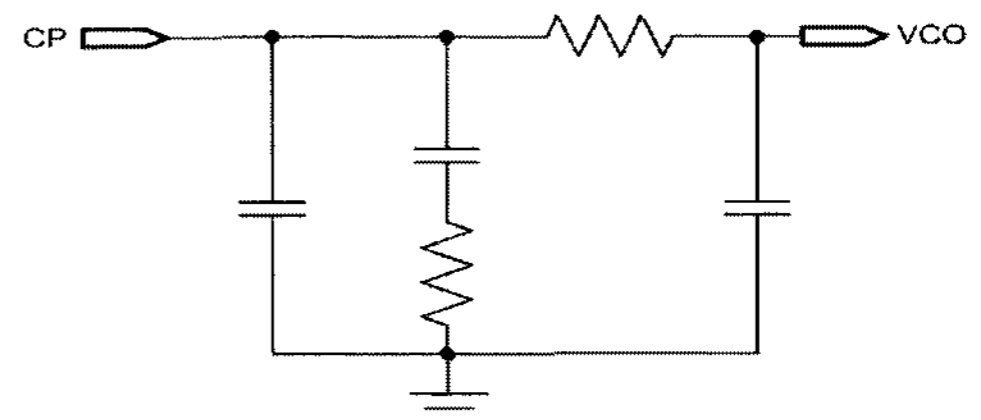


그림 9 3차 수동형 루프 필터
Fig. 9 3rd-order passive loop filter

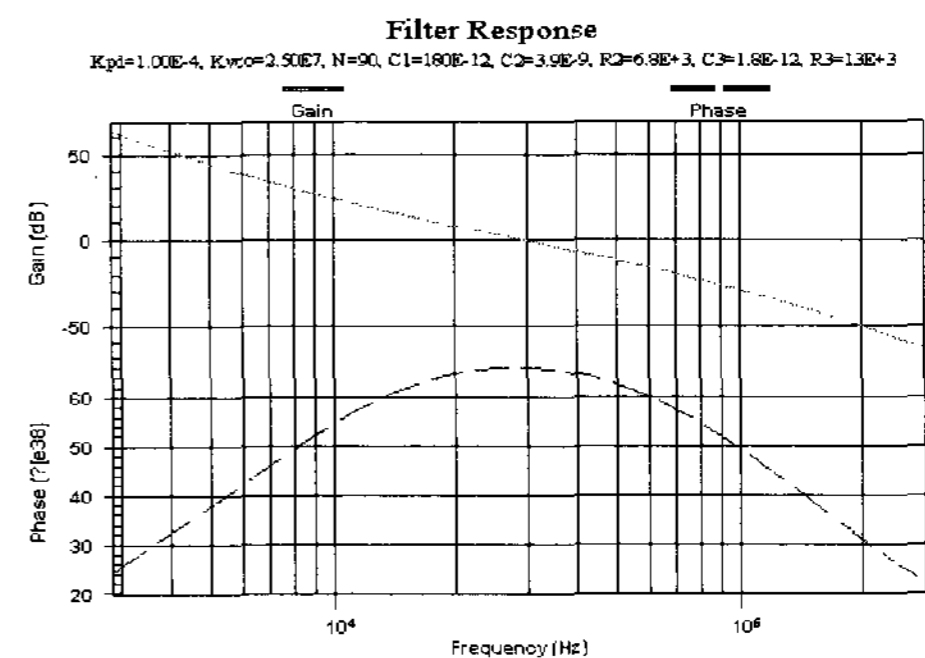


그림 10 루프 필터의 보드 선도
Fig. 10 Bode plot of Loop Filter

2.6 Dblock

본 논문에서 설계한 Dblock의 블록 다이어그램을 그림 11에 보였다. Dblock은 fractional spur를 줄이기 위해서 사용되는 시그마-델타 변조기 블록과, multi-modulus 분주 가능한 분주기 블록으로 구성되어 있으며, LO 주파수를 프

로그래밍 하는 역할을 수행한다. Multi-modulus 분주기 블록은 dual-modulus 4/5 프리스케일러, 4-bit M-카운터, 2-bit A- 카운터 등으로 구성되며 최소 40분주에서 최대 52분주 모드까지 동작할 수 있도록 설계하였다.

Dblock은 20MHz의 기준 주파수에서 UHF RFID 리더 동작에 필요한 800~1040MHz의 주파수를 발생할 수 있도록 하였으며, 200KHz/500KHz의 주파수 간격을 만족시키기 위해 19.53KHz의 주파수 해상도를 갖도록 설계하였다.

설계한 Dblock에 의해서 결정되는 주파수 합성기의 출력 주파수는 다음 식으로 결정된다.

$$f_{vco} = f_{ref} \left(integer + \frac{K}{2^m} \right) = f_{ref} \left((4 \times M + A) + \frac{K}{2^m} \right)$$

여기서 *integer*는 분주비의 정수부분이며, *K*는 frequency word, *m*은 시그마-델타 변조기의 bit 수를 의미한다. 그리고 *M*은 M-카운터의 분주비, *A*는 A-카운터의 분주비를 나타낸다. 10-bit 시그마-델타 변조기의 3-bit 출력과 6-bit 정수 분주비 값을 더한 최종 6bit 신호가 multi-modulus 분주기의 분주비를 제어하여 PLL의 전체 평균 분주비를 결정하게 된다.

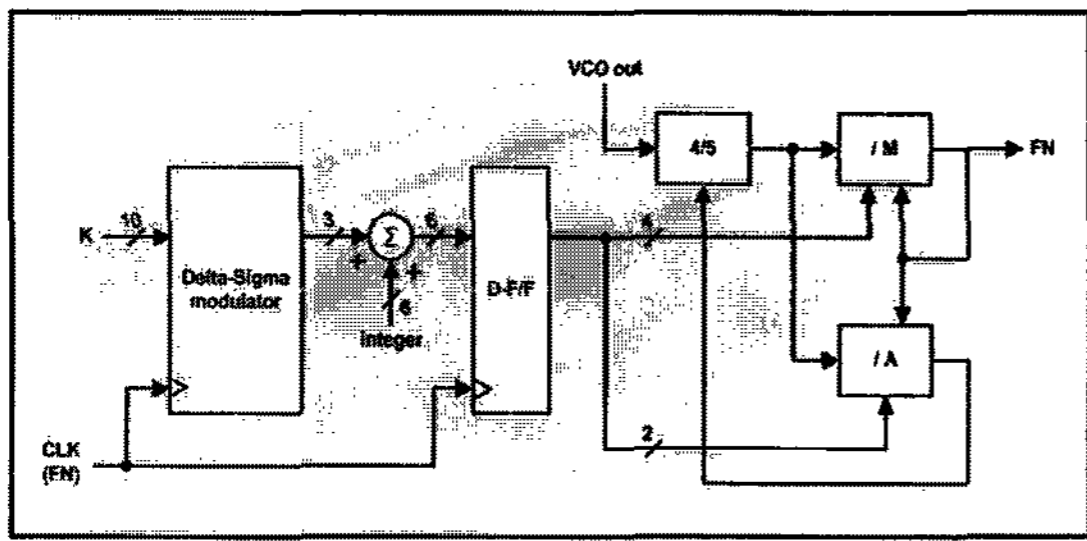


그림 11 D-Block 다이어그램
Fig. 11 Block diagram of the D-Block

2.7 시그마-델타 변조기(Sigma-delta Modulator)

Fractional spur를 억제하기 위해 설계된 3차 MASH 유형의 시그마-델타 변조기를 그림 12에 나타내었다. 일반적인 다단 MASH 구조의 변조기는 단 수가 많아 질 수록 더 많은 미분기와 덧셈기 구현에 대한 부담이 커진다. 따라서 본 논문에서는 미분기와 덧셈기를 분주비 매핑회로로 대체하여, 칩 면적과 전력 소모를 줄였다. 분주비 매핑회로는 각각의 누산기의 carry 신호인 C1,C2,C3에 따라 발생하는 분주비의 제어 값을 정의하여 설계하였다.

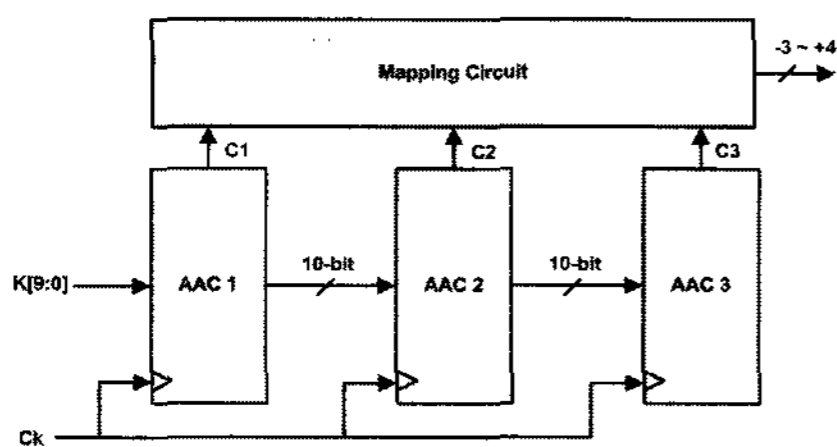


그림 12 3차 MASH 시그마-델타 변조기
Fig. 12 3rd-order MASH Σ-Δ modulator

2.8 Dual-modulus 프리스케일러

그림 13은 2분주 된 VCO출력 신호를 분주하는 Dual-modulus 프리스케일러 설계 회로를 나타낸다. 설계 된 회로는 'Mod'신호가 '0'이면 4분주, '1'이면 5분주 동작을 한다. 고주파의 신호를 분주해야하기 때문에 프리스케일러는 무엇보다도 고속 동작이 보장되어야 한다. 따라서 프리스케일러의 핵심 블록인 D-플립플롭 설계가 중요하다. 본 논문에서는 정적인 전류소모를 하며 고속 동작에 적합한 TSPC 형태의 CCD-플립플롭을 설계하여 저 전력으로도 고속 동작을 할 수 있게 설계하였다.

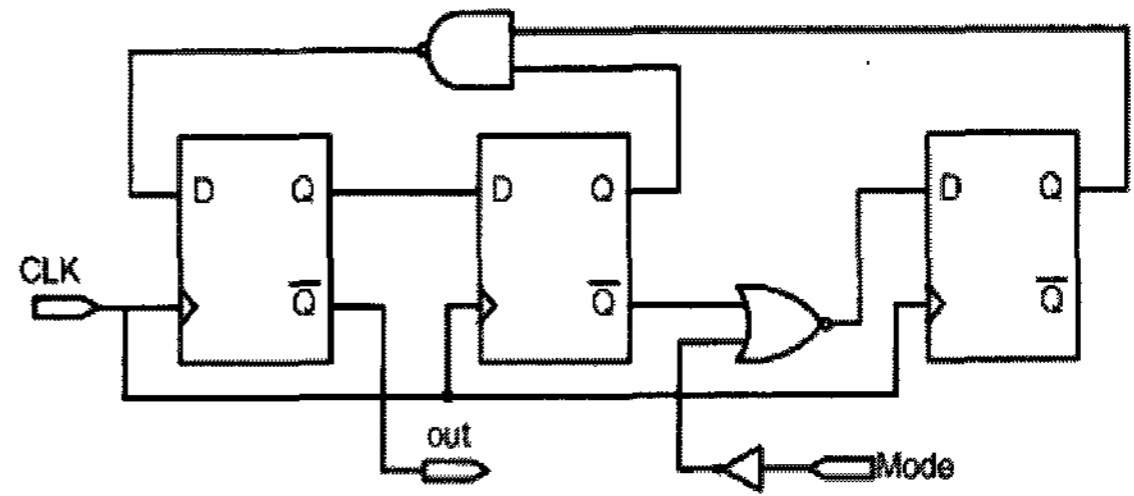


그림 13 Dual-modulus 프리스케일러 회로
Fig. 13 Schematic of dual-modulus prescaler

3. 측정결과

설계된 주파수합성기는 TSMC 0.18μm MM/RF 1-poly 6-metal CMOS 공정을 사용하여 칩 제작을 하였다. 루프필터를 제외한 전체 주파수 합성기의 제작된 칩 사진을 그림 14에 나타내었다. 제작된 칩 크기는 PAD를 포함하여 1800 μm×990 μm이다.

VCO core의 크기는 674μm×548μm이다. VCO는 그림에서 볼 수 있듯이 대칭구조로 설계하여 부정합을 최대한 감소시켰다. 그리고 VCO회로 내부의 신호라인을 최대한 두껍게 설계하여 라인의 기생 저항 값을 줄였으며 공진부의 품질계수(quality factor) 값이 줄어드는 현상을 감소시켰다.

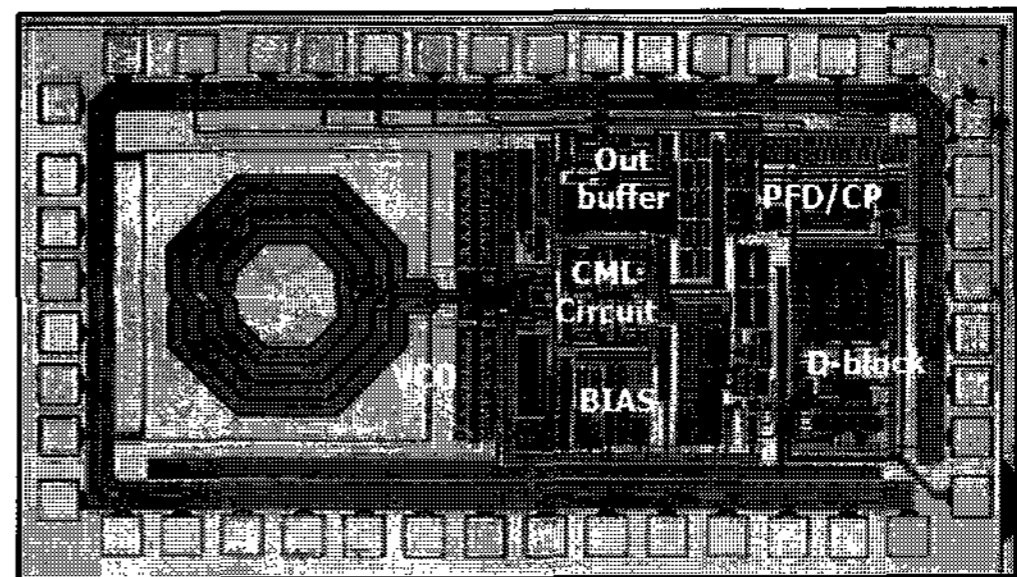


그림 14 칩 사진
Fig. 14 Die photograph

그림 15는 COB(Chip On Board) 측정을 위해 제작한 주파수합성기 bare 칩을 FR4 기판위에 실장 한 것을 나타낸다. 기준신호 인가는 크리스탈 발진기를 사용하는 방법과 signal generator의 신호를 사용하는 두 가지 방법을 선택할 수 있도록 구성하였고, 스위치를 이용하여 Dblock의 분주비를 외부에서 제어 할 수 있도록 하였다.

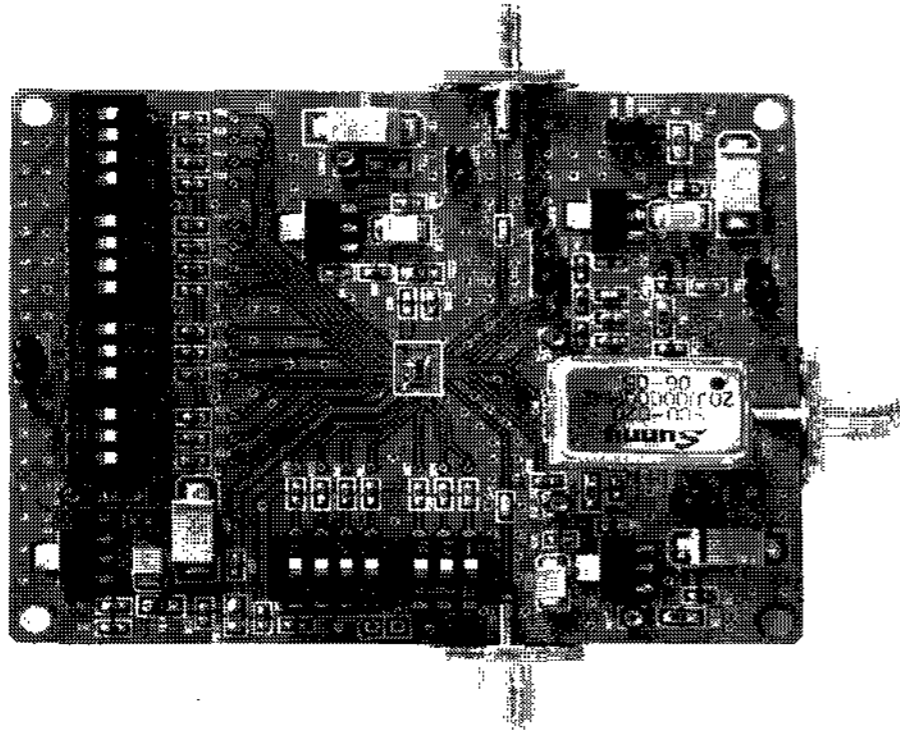


그림 15 측정 보드
Fig. 15 Test board

그림 16는 설계한 주파수 합성기의 측정 환경을 나타낸다. 측정에 사용된 장비로는 Signal generator(Agilent E4432B), Power supply(Tektronix PS2521G), Spectrum analyser(Nex1 NS-265), Oscilloscope(HP infinium 54825A)를 사용하였다.



그림 16 측정 환경
Fig. 16 Testing bench setup

설계한 주파수합성기의 VCO 이득 측정값을 그림 17에 나타내었다. VCO의 캐패시터 bank 코드 값을 '1111'에서 '0000'까지 제어 해줌으로써 전체 주파수 튜닝 범위는 780~965MHz까지 갖는다. VCO의 이득이 커지면 제어전압에 대한 민감도가 커져 위상잡음이 나빠지게 된다. 그러나 설계한 주파수합성기는 24~36MHz/V의 작은 VCO 이득으로도 UHF RFID 리더의 전 대역을 만족하도록 설계하였다.

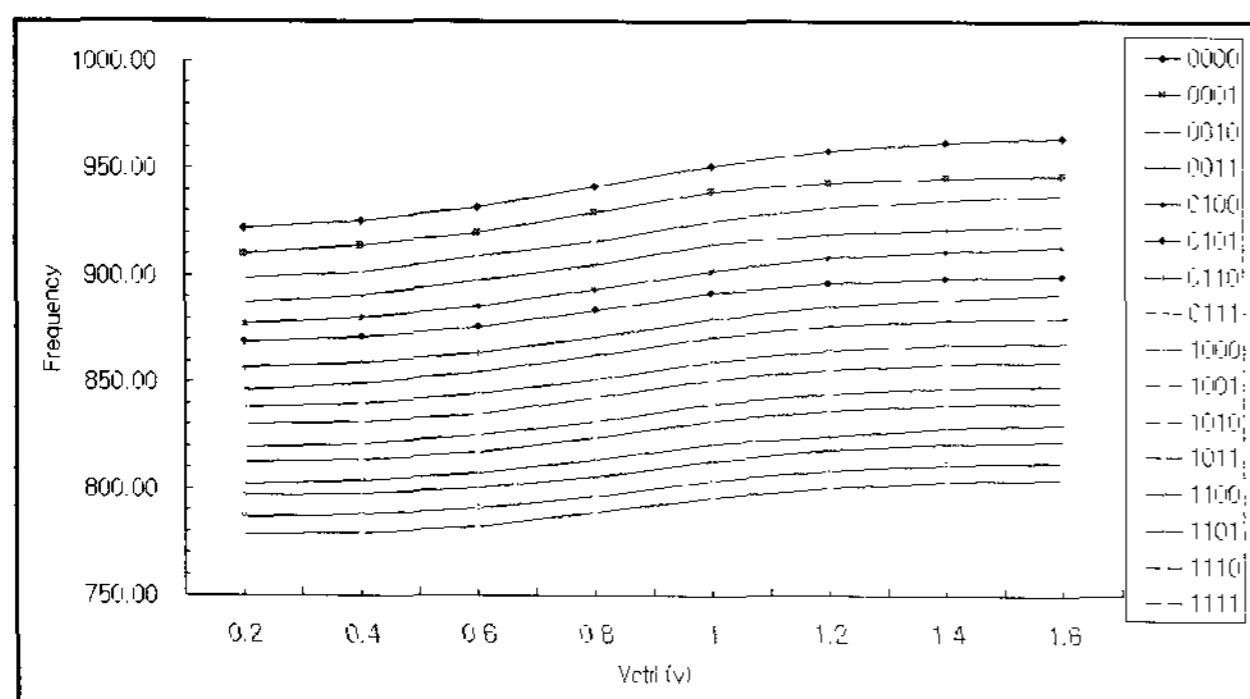


그림 17 제어신호 및 제어전압에 따른 VCO 발진주파수
Fig. 17 VCO frequencies versus control signals and voltages

그림 18는 제작된 주파수합성기의 위상잡음 특성 측정 결과이다. 위상잡음은 100KHz/200KHz offset에서 각각 -103dBc/Hz, -109dBc/Hz로 모의실험 결과와 유사한 특성을 보인다.

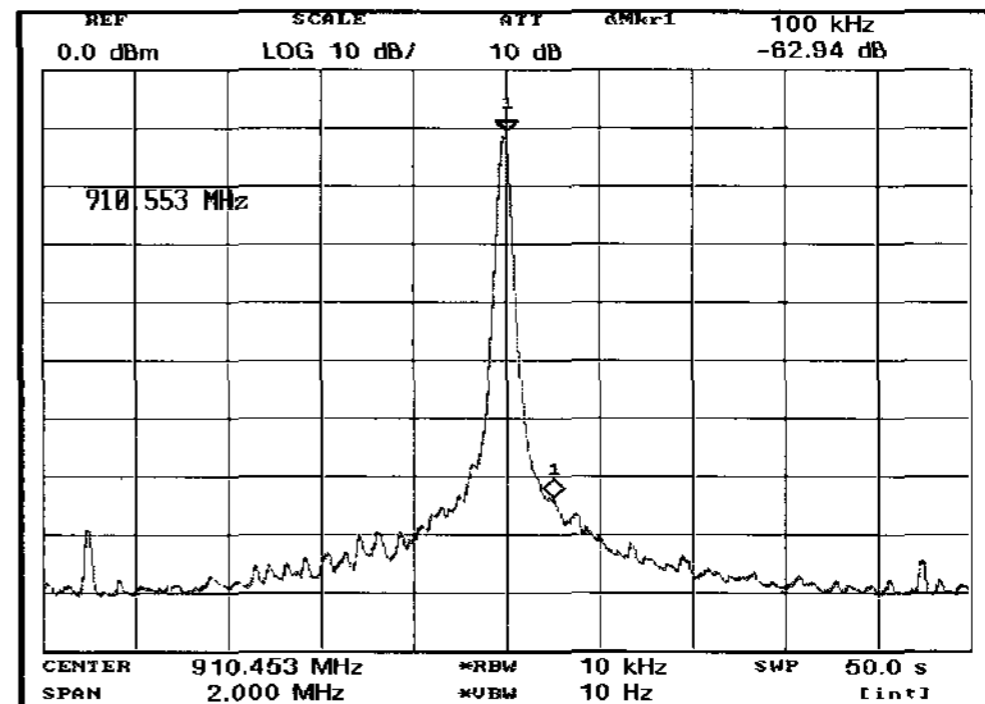


그림 18 주파수 합성기 출력 스펙트럼
Fig. 18 Output spectrum at 910.45MHz(@100kHz)

그림 19는 UHF대역 RFID의 리더의 국내 주파수 표준에 따른 1번 채널 주파수 908.65MHz에서 26번 채널 주파수 913.65MHz로 분주비를 45.43에서 45.68로 변화시켰을 때 VCO 입력 제어전압의 변화를 관찰한 결과이다. 분주비 변화에 따른 새로운 주파수로의 위상고정시간(locking time)은 약 10 μ s이다. 그림 20는 반대로 분주비를 45.68에서 45.43으로 변화시켰을 때의 결과이다.

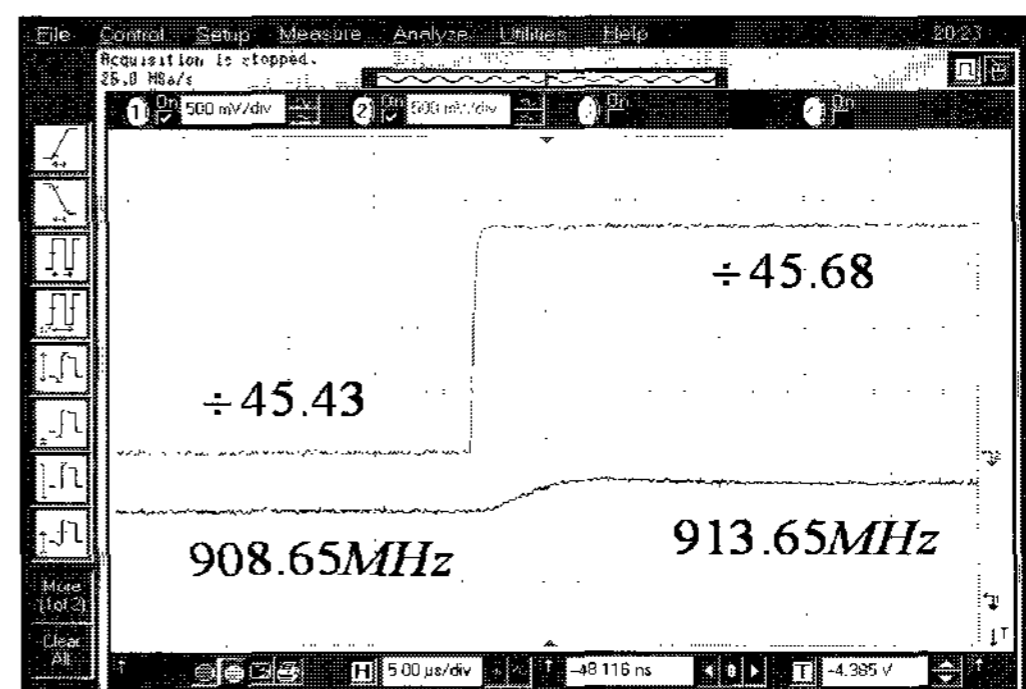


그림 19 분주비 변화에 따른 VCO 입력제어전압의 파형
Fig. 19 Measured settling time (908.65MHz→913.65MHz)

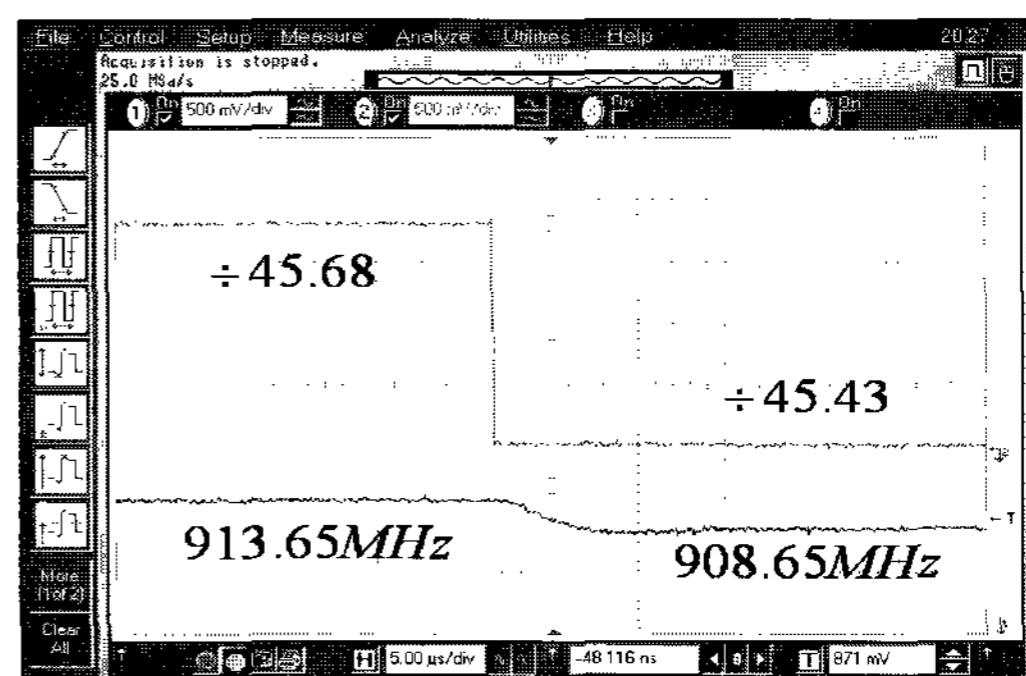


그림 20 분주비 변화에 따른 VCO 입력제어전압의 파형
Fig. 20 Measured settling time (913.65MHz→908.65MHz)

표 2 성능 비교

Table 2 Performance Comparison

	[2]	[3]	[4]	[5]	측정결과
공정	0.18 μ m CMOS	0.18 μ m CMOS	0.18 μ m CMOS	0.18 μ m CMOS	0.18 μ m CMOS
전원전압	1.8V	1.8V	1.8V	1.8V	1.8V
기준 주파수	20MHz, 800KHz	-	6.4MHz	-	20MHz
동작 주파수(MHz)	860~960	888~921	-	888~1040	780~965
채널 간격	500KHz (미국)	200/500KHz (한국/미국)	-	200KHz (한국)	200/500KHz (한국/미국)
주파수 해상도	50KHz	-	-	73Hz	19.53KHz
위상잡음 (dBc/Hz)	-92@50KHz -101@100KHz	-106@100KHz -126@1MHz	-87@100KHz -120@1MHz	-75@10KHz -81.5@100KHz	-103@100KHz -109@200KHz
위상고정 시간	-	-	-	-	10 μ s
전류 소모	-	21.6mA	26mA	8~11mA	9mA
칩 면적	-	-	-	-	1.78mm ² (PAD 포함)

표 2에 다른 논문의 주파수합성기와 비교 분석하였다. 설계된 주파수합성기는 [2]번 논문의 주파수합성기처럼 UHF 대역 전 대역을 만족 할 뿐만 아니라 19.53KHz의 작은 주파수 해상도에 의해서 한국과 미국의 표준채널 간격인 200KHz/500KHz를 모두 만족한다. 또한 [2,3,4]번 논문의 낮은 위상잡음을 만족하면서도 더 적은 전류를 소모하며 [5]번 논문과 비슷한 전류소모로도 더 낮은 위상잡음 특성을 갖는다.

4. 결 론

본 논문에서는 UHF 대역 RFID 리더용 Fractional-N 주파수합성기를 설계하였고, 칩 제작을 하였다. 측정 결과 설계된 주파수는 해당 응용분야를 지원하는 UHF 전 대역의 주파수를 만족하며, 100KHz offset에서 -103dBc/Hz의 위상잡음 특성을 갖는다. 주파수 해상도는 19.53KHz로써 UHF RFID 리더 표준 채널 간격 200KHz/500Hz를 만족한다. 전류소모는 1.8V 전원전압에서 약 9mA이며 칩 면적은 PAD 포함하여 1.8x0.99mm²로써 무선통신 단말기에 적합한 작은 크기와 적은 전력소모 특성을 갖는다. 따라서 본 논문에서 설계한 주파수합성기는 기존의 주파수합성기보다 더 나은 특성을 낼 수 있다.

감사의 글

본 연구는 2007년도 정보통신부 출연금으로 ETRI, SoC산업진흥센터에서 수행한 IT-SoC 핵심설계양성사업의 연구결과이며, IDEC 지원에 의해서도 일부 수행되었음.

참 고 문 헌

[1] B. Razavi, "A study of Phase Noise in CMOS Oscillator", *IEEE J. Solid-state circuit*, vol. 31, pp. 331-343, Mar. 1996.

[2] Khannur P. B., Xuesong Chen, Dan Lei Yan, Dan Shen, Bin Zhao, Kumarasamy Raja, M., Ye Wu, Ajjikuttira A.B., Wooi Gan Yeoh, Singh R., "An 860 to 960MHz RFID Reader IC in CMOS," *Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 269-272, June 2007.

[3] Sang-Yoon Jeon, Hee-Mun Bang, Sung-Jae Jung, Dong-Hyun Lee, Heung-Bae Lee "Frequency Generation for Mobile RFID Reader", *European Microwave Integrated Circuits Conference*, pp. 324-327, Sep. 2006.

[4] Ickjin Kwon, Heemun Bang, Kyudon Choi, Sangyoon Jeon, Sungjae Jung, Donghyun Lee, Yunseong Eo, Heungbae Lee, Bongyoung Chung, "A Single-Chip CMOS Transceiver for UHF Mobile RFID Reader", *IEEE. Solid-State Circuits*, pp. 216-598, Feb. 2007.

[5] K. H. Park, T. Y. Kang, Y. H. Choi, B. G. Choi, S. B. Hyun, S. S. Park, S. H. Cho, J. H. Ko, "900 MHz Passive RFID Reader Transceiver IC", *Microwave Conference*, pp. 1675-1678, Sep. 2006.

[6] Moriaki Mizuno, "A 3mW 1.0-GHz silicon-ECL dual-modulus prescaler IC," *IEEE J. solid-state circuit*, vol. 27, pp.1794-1798, Dec. 1992.

[7] Seon-Ho Han, Yong-Sik Youn, Cheon-Soo Kim, Hy un-KuYu, Mun-Yang Park, "Prescaler using complementary clocking dynamic flip-flop", *Electronics Letters*, vol. 39, pp. 709-710, May. 2003.

[8] Heydari P., Mohanavelu R., "Design of ultrahigh-speed low-voltage CMOS CML buffers and latches", *Very Large Scale Integration (VLSI) Systems, Transactions on IEEE*, vol. 12, pp. 1081-1093, 2004.

[9] M. Sumathi, Y. C. Kartheek, "Performance and analysis of CML Logic gates and latches" *Microwave and Wireless Components Letters*, vol. 16, pp. 564-566, Oct. 2006

[10] B. H. Park, "Design of fractional-N synthesizer

with a 1-bit high-order interpolative Modulator for 3G mobile phone application," *Journal of Semiconductor Technology and Science*, vol. 2, pp. 41-48, 2002.

저 자 소 개



김 경 환 (金 庚 煥)

1982년 12월 1일생. 2001년 인천대 전자공학학과 졸업. 2001년~현재 동 대학원 전자공학학과 석사과정
Tel : +82-32-770-8450
Fax : +82-32-734-2371
E-mail : icdlkkh@inchoen.ac.kr



오 근 창 (吳 根 昌)

1980년 11월 28일생. 2001년 인천대 전자공학학과 졸업. 2001년~현재 동 대학원 전자공학학과 석사과정
Tel : +82-32-770-8450
Fax : +82-32-734-2371
E-mail : 0990888@incheon.ac.kr



박 종 태 (朴 鍾 泰)

1981년 2월 경북대 전자공학학과 졸업. 1983년 8월 연세대 대학원 전자공학과 (공학석사). 1987년 2월 동 대학원 전자공학과 (공학박사). 1983년 8월~1985년 8월 금성반도체(주) 연구원 1991년 1월~1991년 12월 MIT Post Doc. 2000년 7월~2001년 8월 UC Davis 방문교수. 1987년 3월~인천대학교 전자공학과 교수
Tel : +82-32-770-8445
Fax : +82-32-734-2371
E-mail : jtpark@incheon.ac.kr



유 종 근 (劉 宗 根)

1963년 02월 20일생. 1985년 2월 연세대학교 전자공학과 졸업. 1987년 2월 연세대학교 대학원 전자공학과 (공학석사). 1993년 12월 Iowa State University 전기 및 컴퓨터공학과 Ph.D. 1989년 9월~1991년 8월 Texas A&M University 전기공학과 연구조교. 1994년 3월~인천대학교 전자공학과 교수
Tel : +82-32-770-8450
Fax : +82-32-734-2371
E-mail : chong@incheon.ac.kr