

논문 2008-45SD-5-4

# 오프셋이 제거된 승자 독점 회로

( A Winner-Take-All Circuit with Offset Cancellation )

김 동 수\*, 이 인 희\*, 한 건 희\*\*

( Dongsoo Kim, Inhee Lee, and Gunhee Han )

## 요 약

아날로그 WTA 회로의 성능은 코너 오차와 오프셋 오차에 영향을 받는다. 코너 오차는 큰 트랜스컨덕턴스를 가진 트랜지스터가 그 해결방안으로 제시되고 있지만, 소자 부정합에 의한 오프셋 오차 제거 방법에 대한 연구는 아직 미진한 상태이다. 본 논문은 WTA에서의 오프셋 오차를 분석하고, 오프셋을 줄이는 설계 가이드라인과 발생한 오프셋의 영향을 제거하는 회로를 제안한다. 실험 결과는 이론적 분석의 타당함과 오프셋 오차가 현저하게 개선되었음을 보여준다.

## Abstract

The performance of an analog winner-take-all (WTA) circuit is affected by the corner error and the offset error. Despite the fact that the corner error can be reduced with large transconductance of the transistor, the offset error caused by device mismatch has not been completely studied. This paper presents the complete offset error analysis, and proposes low offset design guidelines and an offset cancellation scheme. The experimental results show good agreement with the theoretical analysis and the drastic improvement of the offset error.

**Keywords :** Winner-Take-ALL(WTA), offset error, offset cancellation, threshold variation, device mismatch

## I. 서 론

Winner-take-all (WTA) 회로는 다수의 입력들 중에 가장 큰 입력을 식별하고 그것을 출력으로 복사하는 비선형 기능 블록이다<sup>[1~4]</sup>. 아날로그 WTA 회로는 퍼지 논리 회로, 인공 신경 시스템<sup>[1~3]</sup>, 그리고 스마트 센서<sup>[6~7]</sup>와 같은 다양한 전산 아날로그 시스템에서 사용되지만, WTA 회로의 정확성은 트랜지스터의 유한한 트랜스컨덕턴스(transconductance)와 소자 부정합(device mismatch)에 의해 저하된다. 작은 트랜스컨덕턴스로 인해 발생하는 문제를 해결하기 위해 다양한 WTA 회로<sup>[3~5]</sup>가 제안된 반면, 소자 부정합의 효과를 막기 위한 연구는 미진한 상태이다. [8]은 소자 부정합에 대한 방안으로 보정 기법에 기반을 둔 디지털 메모리를 제안하고

있으나, 아날로그 오프셋(offset) 정보를 디지털 메모리에 저장하기 위해서 추가적인 아날로그/디지털 변환기와 디지털/아날로그 변환기를 요구한다.

본 논문은 오프셋 제거 기법을 사용한 높은 정확도의 WTA 회로를 제안한다. II장에서는 WTA 회로의 기본 동작을 설명하고 코너(corner) 오차를 분석한다. III장에서는 오프셋 오차를 분석하고 설계 가이드라인을 제시하고, IV장에서는 오프셋이 제거된 WTA 회로를 제안한다. V장에서는 실험 결과를 보여주고, 마지막으로 VI장에 결론을 제시한다.

## II. WTA 회로의 기본 동작과 코너 오차

많은 전압형 WTA 회로가 그림 1과 같은 공통 소스 구조에서 발전되었다<sup>[1~4]</sup>. 전류 복사가 이상적으로 이루어지면 두 경로에서는  $I_B/2$ 의 같은 전류가 흐른다. 입력 트랜지스터의 트랜스컨덕턴스가 입력 트랜지스터를 이 상적인 스위치로 동작시킬 정도로 충분히 크다고 가정

\* 학생회원, \*\* 정회원, 연세대학교 전기전자공학과  
(Department of Electrical and Electronic  
Engineering, Yonsei University)  
접수일자: 2007년9월28일, 수정완료일: 2008년3월28일

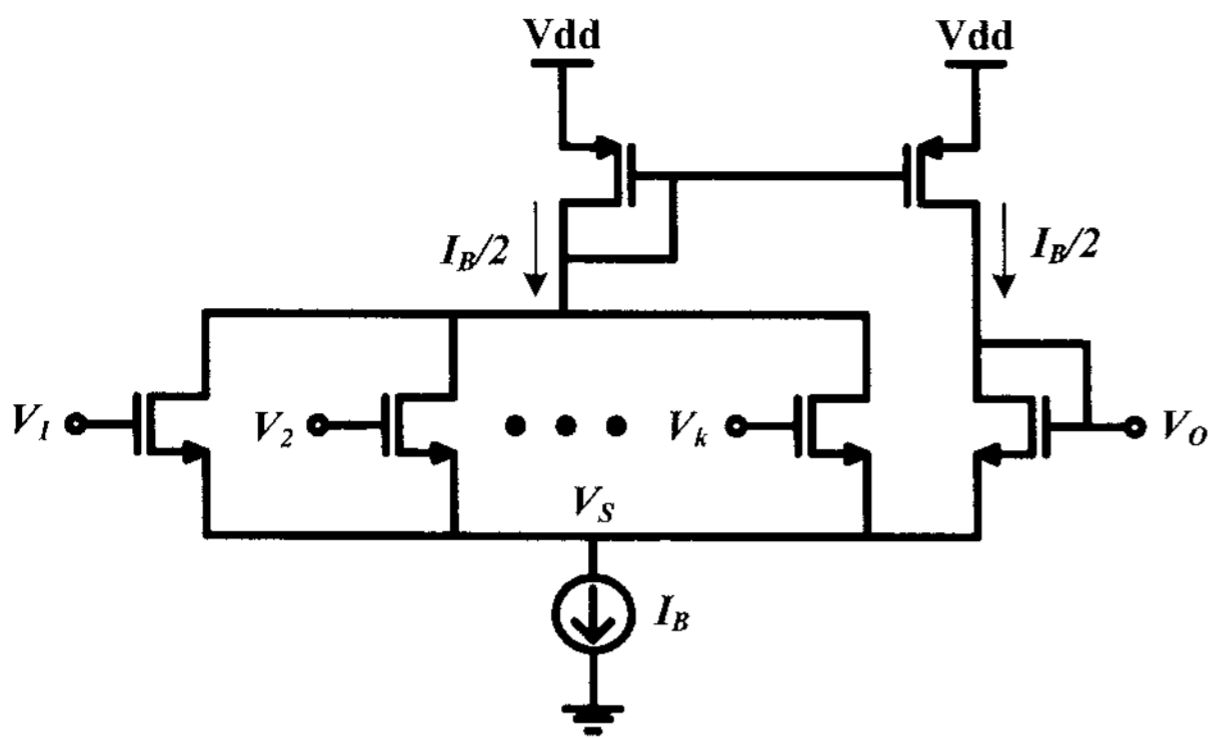


그림 1. 공통 소스 구조의 WTA 회로  
Fig. 1. WTA circuit based on the common-source configuration.

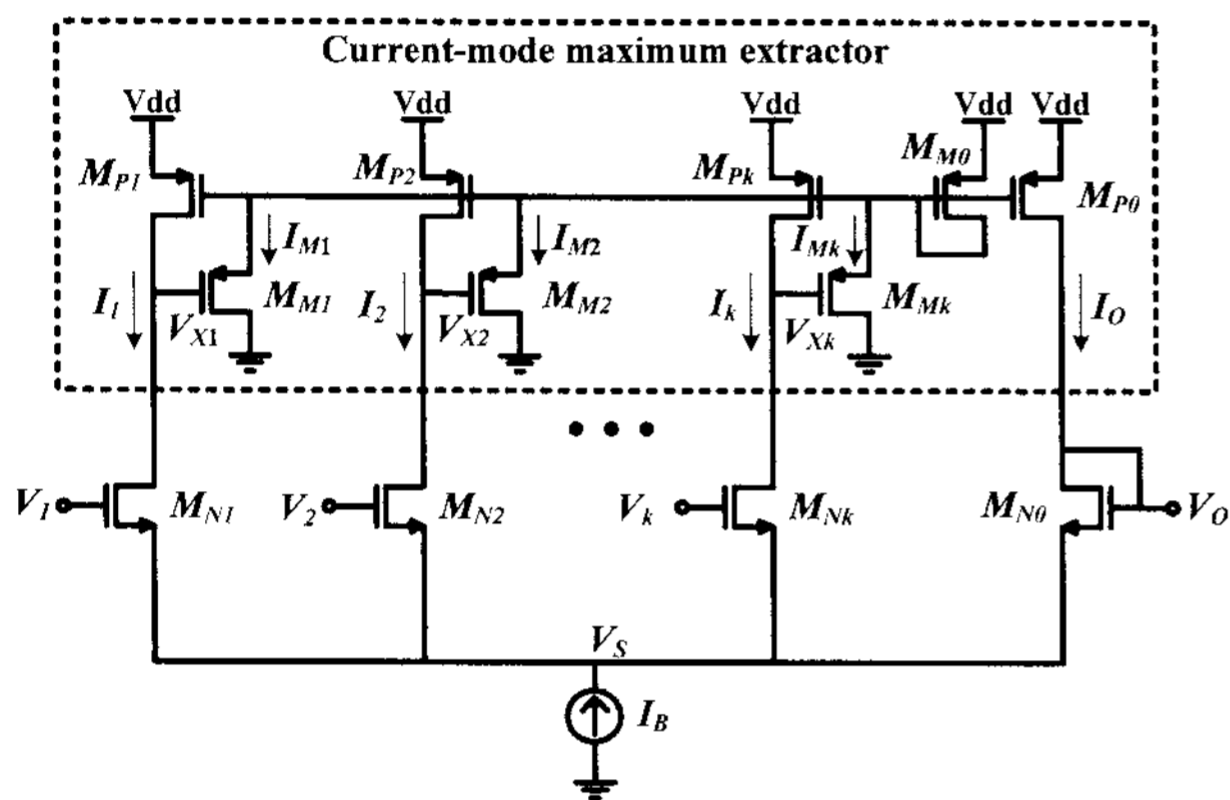


그림 2. 전류형 최대값 추출기를 이용한 공통 소스 모드 WTA 회로  
Fig. 2. Common-source WTA circuit combined with current-mode maximum extractor<sup>[3]</sup>.

하면, 모든 입·출력 트랜지스터들은 소스( $V_S$ )를 공유하고 같은 양의 전류가 입·출력 경로로 흐르기 때문에 가장 높은 게이트 전압을 가진 승자(winner) 스위치만이 켜져야 한다. 양쪽 경로에 같은 양의 전류가 흐르므로 출력 트랜지스터의 게이트-소스 전압은 승자 트랜지스터의 것과 동일하다.

실제로는 유한한 트랜지스터의 트랜스컨덕턴스 때문에 바이어스 전류는 몇몇의 입력 경로로 나뉘어 흐른다. 최악의 경우로써 모든 입력 전압이 같다면,  $I_B/2$ 의 전류는  $k$  개의 모든 입력 경로로 동일하게 흩어지게 되고 출력 전압은 이상적인 경우와 차이를 갖게 된다. 이 오차를 코너 오차라 하며 다음과 같이 구할 수 있다<sup>[3]</sup>.

$$\Delta V_{OUT} = \sqrt{\frac{I_B}{\beta} \left(1 - \frac{1}{\sqrt{k}}\right)}, \quad \beta = \frac{KW}{2L} \quad (1)$$

여기서,  $K$ 는 트랜스컨덕턴스 파라미터이고,  $W/L$ 은 입력 트랜지스터의 너비 대 길이의 비율이다. 코너 오차는 그림 2처럼 전류형 최대값 추출기를 공통 소스

WTA 회로에 추가하면 개선된다. 이 구조에서 코너 오차는 다음과 같다<sup>[3]</sup>.

$$\Delta V_{OUT} = \frac{(\lambda_n + \lambda_p) I_B}{2\sqrt{\beta_n \beta_p}} \quad (2)$$

여기서,  $\lambda_n$ 와  $\lambda_p$ 는 각각 NMOS와 PMOS의 채널 길이 변조 상수이다.

승자 경로를 제외한 모든 경로가 차단되었기 때문에, 승자 경로를 제외한 모든  $V_{Xi}$ 는  $V_{dd}$ 로 유지된다. 그러므로  $V_{Xi}$ 를 승자 입력을 알려주는 논리 출력으로 생각할 수 있다.

### III. WTA 회로의 오프셋 오차

실제 WTA 회로 구현에 있어서 주요한 오차에는 코너 오차와 더불어, 문턱 전압과 기하학적 소자 부정합이 일으키는 오프셋 오차가 있다. 적은 수의 입력에 대해서는 신중한 레이아웃으로 부정합 효과들을 완화시킬 수 있지만, 많은 수의 입력에 대한 해결책은 될 수 없다.

그림 3은 오프셋 오차를 분석하기 위한 2개 입력의 WTA 회로를 보여준다. 등가 입력 오프셋은 두 내부 전압  $V_{X1}$ 과  $V_{X2}$ 를 동일하게 만드는 두 입력 전압의 차로 정의할 수 있다. 부정합의 영향으로 인해  $V_{XD} = V_{X1} - V_{X2} = 0$  일 때,  $I_1$ 과  $I_2$  사이에는  $\Delta I$ 만큼의 불일치가 일어난다. 따라서 트랜지스터가 포화영역에서 동작하고  $\lambda$ -효과가 무시 가능하다고 가정하면, MOSFET의 전류 모델링 식으로부터  $V_{XD} = 0$ 가 되도록  $I_1$ 과  $I_2$ 를 발생시키는 등가 입력 오프셋 전압  $V_{OS}$ 를 다음과 같이 구할 수 있다.

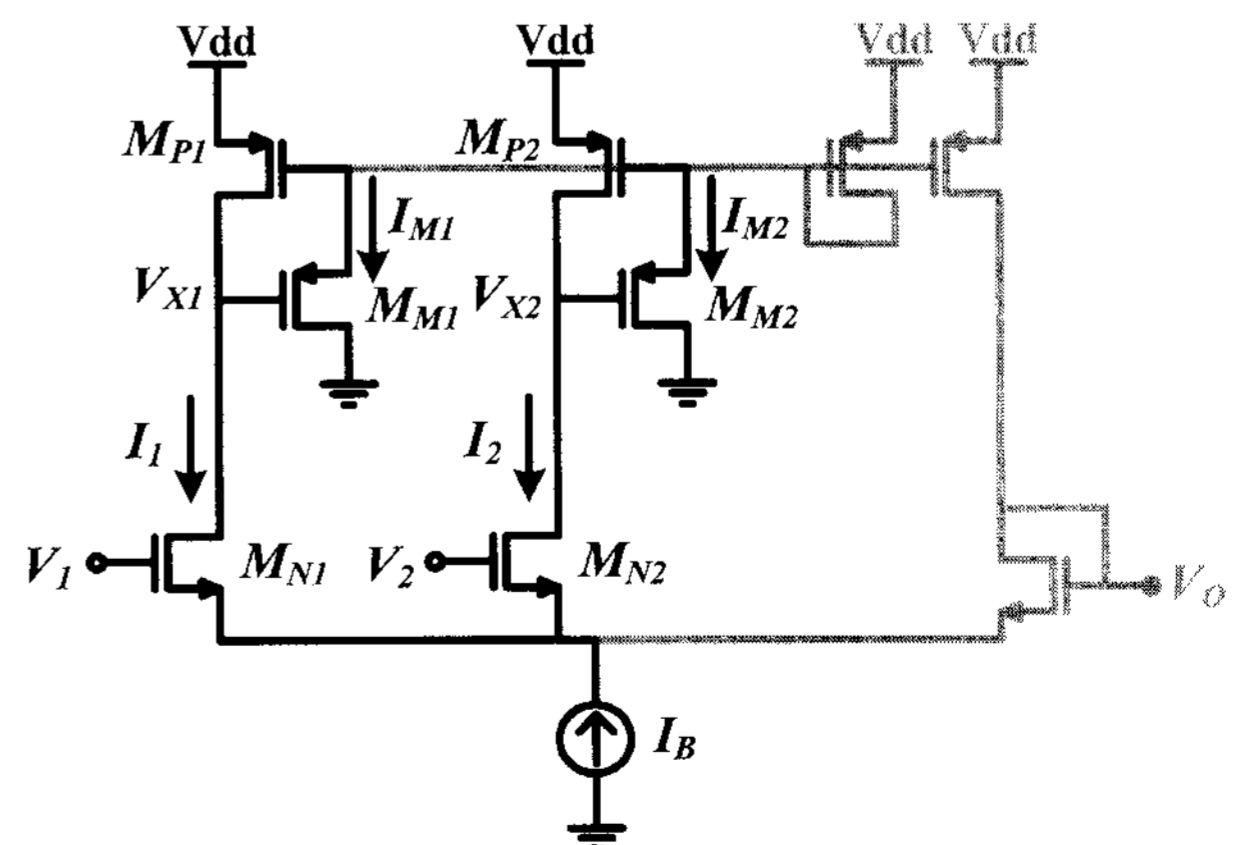


그림 3. 오프셋 해석을 위한 2개 입력의 WTA 회로  
Fig. 3. Schematic of 2 inputs WTA circuit for offset analysis.

$$\begin{aligned}
V_{OS} &= V_{GSM1} - V_{GSM2} \\
&= V_{TM1} + \sqrt{\frac{I_1}{\beta_{N1}}} - V_{T2} - \sqrt{\frac{I_2}{\beta_{N2}}} \\
&= (V_{TM1} - V_{TM2}) + \left( \sqrt{\frac{I_1}{\beta_{N1}}} - \sqrt{\frac{I_2}{\beta_{N2}}} \right).
\end{aligned} \quad (3)$$

여기서, 게이트-소스 전압  $V_{GSM1}$ ,  $V_{GSM2}$ 와 문턱전압  $V_{TM1}$ ,  $V_{TM2}$ 는 각각  $M_{N1}$ 과  $M_{N2}$ 의 것이다. (3)의 두 번째 항은 다음과 같이 2차 항을 무시하고 근사화 시켜 간략하게 만들 수 있다.

$$\begin{aligned}
\left( \sqrt{\frac{I_1}{\beta_{N1}}} - \sqrt{\frac{I_2}{\beta_{N2}}} \right)^2 &= \left( \sqrt{\frac{I+\Delta I}{\beta_N + \Delta\beta_N}} - \sqrt{\frac{I-\Delta I}{\beta_N - \Delta\beta_N}} \right)^2 \\
&= \frac{2I}{\beta_N} \left[ \frac{1 - \frac{\Delta I \Delta\beta_N}{I \beta_N}}{1 - \left( \frac{\Delta\beta_N}{\beta_N} \right)^2} \right] - \sqrt{\frac{1 - \left( \frac{\Delta I}{I} \right)^2}{1 - \left( \frac{\Delta\beta_N}{\beta_N} \right)^2}} \\
&\approx \frac{2}{\beta_N^2} \Delta I \Delta\beta_N
\end{aligned} \quad (4)$$

여기서,

$$\left( \begin{aligned} \Delta\beta_N &= \frac{\beta_{N1} - \beta_{N2}}{2}, \beta_N = \frac{\beta_{N1} + \beta_{N2}}{2} \\ \Delta I &= \frac{I_1 - I_2}{2}, I = \frac{I_1 + I_2}{2} \\ \left( \frac{\Delta I}{I} \right)^2 &\approx 0, \left( \frac{\Delta\beta_N}{\beta_N} \right)^2 \approx 0 \end{aligned} \right) \quad (5)$$

(3)과 (4)로부터, 오프셋 전압을

$$V_{OS} = \Delta V_{TN} + \frac{\sqrt{2}}{\beta_N} \sqrt{\Delta I \Delta\beta_N}, \Delta V_{TN} = V_{TM1} - V_{TM2} \quad (6)$$

와 같이 표현 할 수 있다.

반면, 내부 노드 전압  $V_{X1}$ 과  $V_{X2}$ 의 차는 PMOS 쪽으로부터 다음과 같이 구할 수 있다.

$$\begin{aligned}
V_{X1} - V_{X2} &= V_{SDP1} - V_{SDP2} \\
&= (V_{SGP1} + V_{SGM1}) - (V_{SGP2} + V_{SGM2}) \\
&= (V_{SGP1} - V_{SGP2}) + (V_{SGM1} - V_{SGM2}).
\end{aligned} \quad (7)$$

$\lambda$ -효과를 무시하면, (3)에서와 유사한 방식으로  $V_{SG}$ 를 문턱 전압과 오버드라이브(overdrive) 전압으로 표현할 수 있다. 그러면 (7)은 이와 같이 간략화 된다.

$$\begin{aligned}
V_{X1} - V_{X2} &= (V_{TP1} - V_{TP2}) + \left( \sqrt{\frac{I_1}{\beta_{P1}}} - \sqrt{\frac{I_2}{\beta_{P2}}} \right) \\
&+ (V_{TM1} - V_{TM2}) + \left( \sqrt{\frac{I_{M1}}{\beta_{M1}}} - \sqrt{\frac{I_{M2}}{\beta_{M2}}} \right) \\
&\approx \Delta V_{TP} + \frac{\sqrt{2}}{\beta_P} \sqrt{\Delta I \Delta\beta_P} + \Delta V_{TM} + \frac{\sqrt{2}}{\beta_M} \sqrt{\Delta I_M \Delta\beta_M}.
\end{aligned} \quad (8)$$

$V_{TP}$ 와  $V_{TM}$ 은 PMOS 트랜지스터 문턱 전압의 절대값들이고,  $\beta_P$ 와  $\beta_M$ 은 해당 트랜지스터들의 트랜스컨덕턴스

파라미터이다. 그리고

$$\left( \begin{aligned} \Delta V_{TP} &= V_{TP1} - V_{TP2} \\ \Delta\beta_P &= \frac{\beta_{P1} - \beta_{P2}}{2}, \beta_P = \frac{\beta_{P1} + \beta_{P2}}{2} \\ \Delta I_M &= \frac{I_{M1} - I_{M2}}{2}, I = \frac{I_{M1} + I_{M2}}{2} \\ \Delta V_{TM} &= V_{TM1} - V_{TM2} \\ \Delta\beta_M &= \frac{\beta_{M1} - \beta_{M2}}{2}, \beta_M = \frac{\beta_{M1} + \beta_{M2}}{2} \end{aligned} \right) \quad (9)$$

그러면, 내부 노드 전압 차를 0으로 만드는  $\Delta I$ 는 (8)에서  $V_{X1} - V_{X2} = 0$ 으로 두면 다음과 같이 얻어진다.

$$\sqrt{\Delta I} = -\frac{\beta_P}{\sqrt{\Delta\beta_P}} \left( \frac{\Delta V_{TP}}{\sqrt{2}} + \frac{\Delta V_{TM}}{\sqrt{2}} + \frac{1}{\beta_M} \sqrt{\Delta I_M \Delta\beta_M} \right). \quad (10)$$

(10)과 같이 PMOS 쪽에서 구한 전류 차  $\Delta I$ 는 (6)에 포함된 NMOS 쪽에서 얻은  $\Delta I$ 와 동일해야한다. 그러므로 (6)에서의  $\Delta I$ 를 (10)의 것으로 치환하면 입력 등가 오프셋을 다음과 같이 표현할 수 있다.

$$\begin{aligned}
V_{OS} &= \Delta V_{TN} \\
&- \frac{\beta_P}{\beta_N} \sqrt{\frac{\Delta\beta_N}{\Delta\beta_P}} \left( \Delta V_{TP} + \Delta V_{TM} + \frac{\sqrt{2}}{\beta_M} \sqrt{\Delta I_M \Delta\beta_M} \right)
\end{aligned} \quad (11)$$

(11)에서  $\Delta V_{TN}$ 을 제외한 모든 다른 항들은  $\beta_P/\beta_N$ 을 감소시켜 최소화 시킬 수 있다. 바이어스 트랜지스터의 부정합 효과인  $\sqrt{\Delta I_M \Delta\beta_M}$ 는 큰  $\beta_M$ 으로 설계하여 더 줄일 수 있다. PMOS 트랜지스터들의 문턱 전압 변동의 효과는  $\Delta V_{TP}$ 과  $\Delta V_{TM}$ 이 확률적으로 연관이 없기 때문에 두 배가 되지만, 작은  $\beta_P/\beta_N$  비율로 회로를 설계하면 줄일 수 있기 때문에 NMOS 트랜지스터의 문턱 전압 변동보다는 중요도가 낮다.

#### IV. 오프셋이 제거된 WTA 회로

NMOS 문턱 전압 변동이 오프셋 오차의 가장 주요한 요인이고 회로 설계 파라미터에 의해 최소화될 수 없는 것이기 때문에, NMOS 트랜지스터들을 위한 오프셋 제거 회로가 그림 4처럼 삽입되었다. PMOS 트랜지스터들의 트랜스컨덕턴스가 NMOS 트랜지스터들의 것보다 충분히 작을 때 PMOS 트랜지스터들의 부정합 효과를 무시할 수 있기 때문에, 모든 PMOS 트랜지스터들은 완전히 정합한다고 가정할 수 있다.

$S_2$ 가 꺼져있는 동안  $S_1$ 이 켜지면, 모든 입력 트랜지스터들은 켜지고 포화영역에서 동작한다. 추가된 바이어스 전류  $I_B \cdot (k-1)/2$ 가 오프셋 샘플링 동안 더해지면, PMOS 트랜지스터들이 모드 정합하기 때문에 모든  $k$

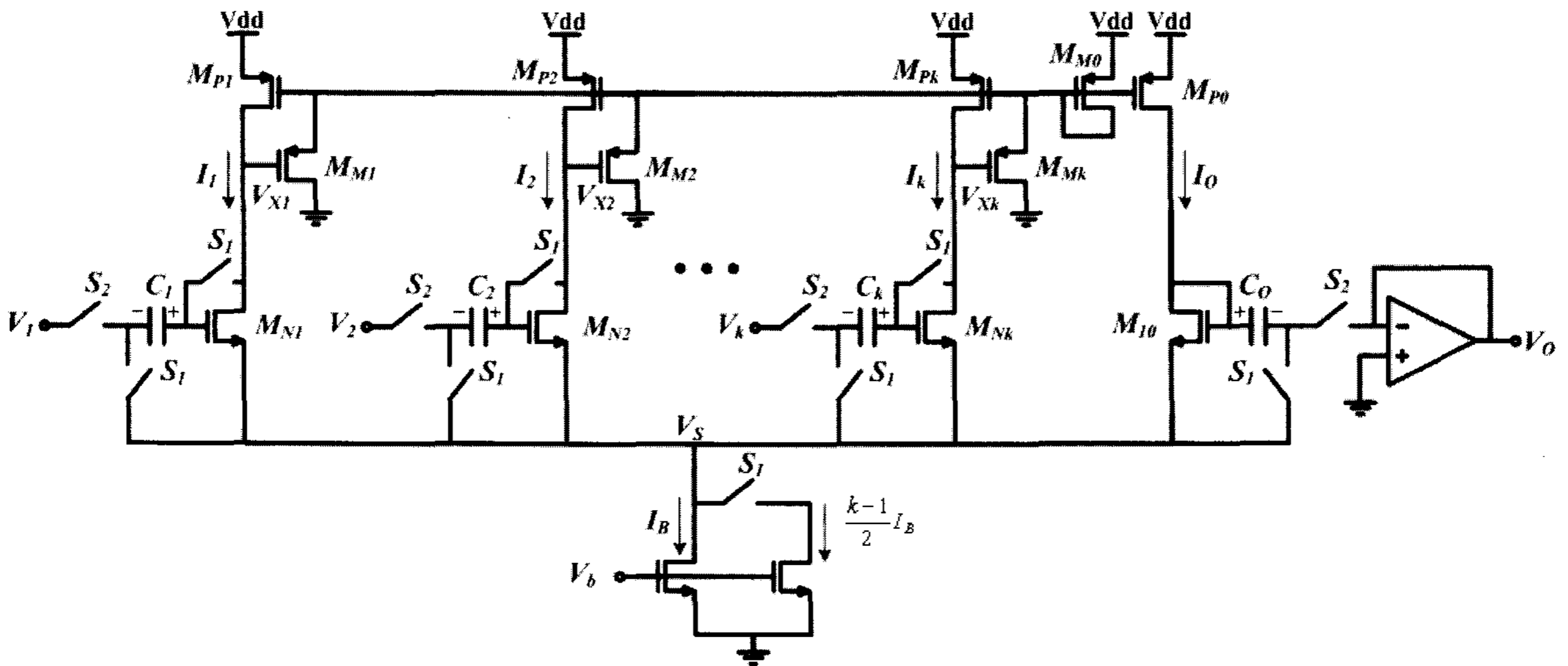


그림 4. 제안된 오프셋 오차가 제거된 WTA 회로  
 Fig. 4. Schematic diagram of the proposed offset cancelled WTA circuit.

개의 입력 경로들과 출력 경로는 같은 바이어스 전류  $I_B/2$ 를 갖는다. 각 오프셋 샘플링 커패시터는 다음과 같은 입력 트랜지스터의 게이트-소스 전압을 유지한다.

$$V_{Ci} = V_{GSVi} = V_{TNi} + \sqrt{\frac{I_B}{\beta_{Ni}}} \quad (12)$$

오프셋들이 커패시터들에 샘플링 되면,  $S_2$ 가 켜지고  $S_1$ 이 꺼지면서 입력 전압들이 오프셋 샘플링 커패시터의 한 쪽 면에 인가된다. 각 입력 트랜지스터의 게이트 전압은 다음과 같이 구할 수 있다.

$$V_{Gi} = V_i + V_{Ci} = V_i + V_{TNi} + \sqrt{\frac{I_B}{\beta_{Ni}}} \quad (13)$$

$V_i$ 는  $i$ 번째 입력 전압이다.

$S_2$ 가 켜질 때 두 경로의 전류들은 다음과 같다.

$$I_1 = \frac{\beta_{N1}}{2} (V_{G1} - V_S - V_{TNI})^2 = \frac{\beta_{N1}}{2} \left( V_1 + V_{TNI} + \sqrt{\frac{I_B}{\beta_{N1}}} - V_S - V_{TNI} \right)^2 \quad (14)$$

$$I_1 = \frac{\beta_{N1}}{2} (V_{G1} - V_S - V_{TNI})^2 = \frac{\beta_{N1}}{2} \left( V_1 + V_{TNI} + \sqrt{\frac{I_B}{\beta_{N1}}} - V_S - V_{TNI} \right)^2 \quad (15)$$

모든 PMOS 트랜지스터들이 완벽히 정합이고,  $\lambda$ -효과를 무시할 수 있다고 가정하면, 등가 입력 오프셋 전압은 두 경로 전류들을 같게 만드는 두 입력 전압  $V_1$ 과  $V_2$ 의 차로 재정의 할 수 있다. 오프셋 제거 뒤 잔여 오프셋

전압은 (14)와 (15)에  $x \approx 0$ 일 때  $\sqrt{1/(1+x)} \approx (1-x/2)$ 의 근사식을 적용시켜 다음과 같이 구할 수 있다.

$$V_{OS} = V_1 - V_2 = -2 \left( \sqrt{\frac{I_B}{\beta_{N1}}} - \sqrt{\frac{I_B}{\beta_{N2}}} \right) = -2I_B \left( \frac{1}{\sqrt{\beta_N}} \left( \sqrt{\frac{1}{1+\Delta\beta_N/\beta_N}} - \sqrt{\frac{1}{1-\Delta\beta_N/\beta_N}} \right) \right) \approx -2I_B \frac{\Delta\beta_N}{\beta_N^{3/2}} \quad (16)$$

제안된 WTA 회로는 문턱 전압 변동 효과를 완벽히 제거하지만, 어느 정도의 트랜스컨덕턴스 부정합 효과는 여전히 존재한다. 이 잔여 오프셋은 (16)에서처럼 최소화된  $\beta_P/\beta_N$ 을 가지고 회로를 설계함으로써 최소화시킬 수 있다.

## V. 실험 결과

다양한 회로 파라미터의 부정합 효과들은 0.35- $\mu\text{m}$  CMOS 공정 파라미터를 사용하여 포괄적인 Monte-Carlo 시뮬레이션을 통해 검증되었다. 각 트랜지스터의 문턱 전압과 채널 너비는 가우시안(Gaussian) 확률 분포에 의해 생성되었다. 트랜지스터 너비의 확률 분포에 대해서는  $3\sigma$ 의 상대 편차를 사용한 반면, 문턱 전압의 확률 분포에 대해서는  $3\sigma$ 의 절대 편차를 사용하였다<sup>[9]</sup>.

출력 전압에 대한  $\lambda$ -효과의 영향은  $W/L$  비율을 일정하게 유지시키면서 채널 길이를 다양하게 변화시켜서 평가하였다. 그림 5는 앞의 분석에서 사용한 가정과는 반대로 PMOS의  $\lambda$ -효과를 무시할 수 없음을 보여준다.

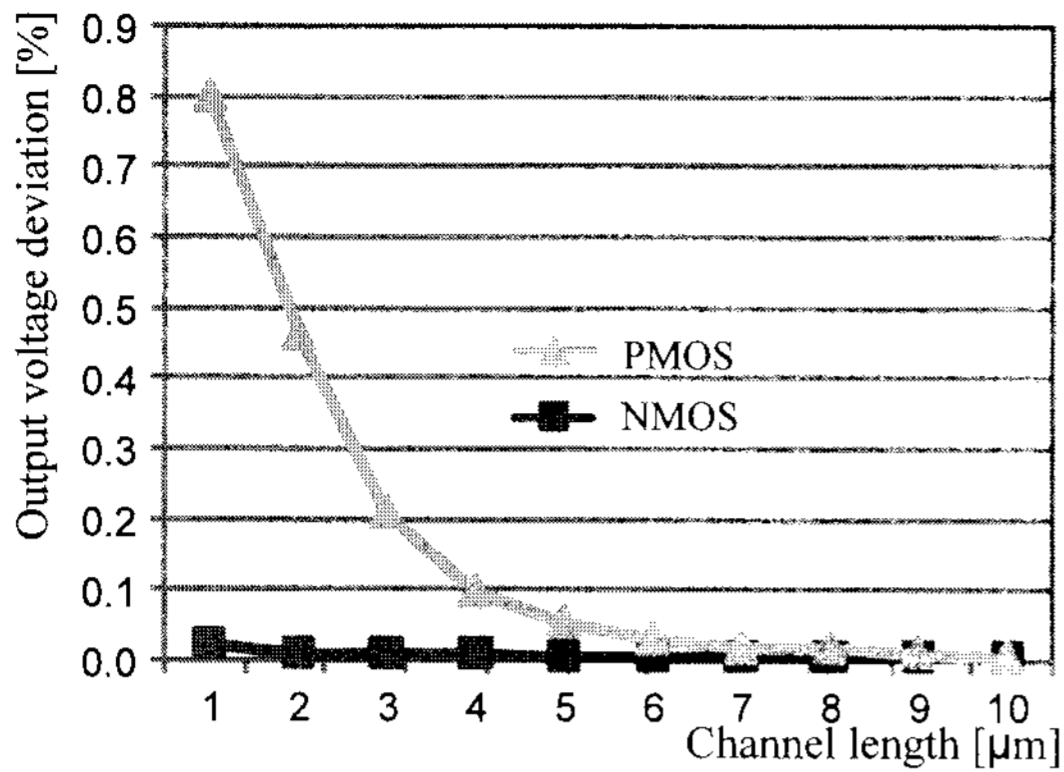


그림 5. 다양한 채널길이에 따른 출력 전압의 변화  
Fig. 5. Output voltage variation for various channel length.

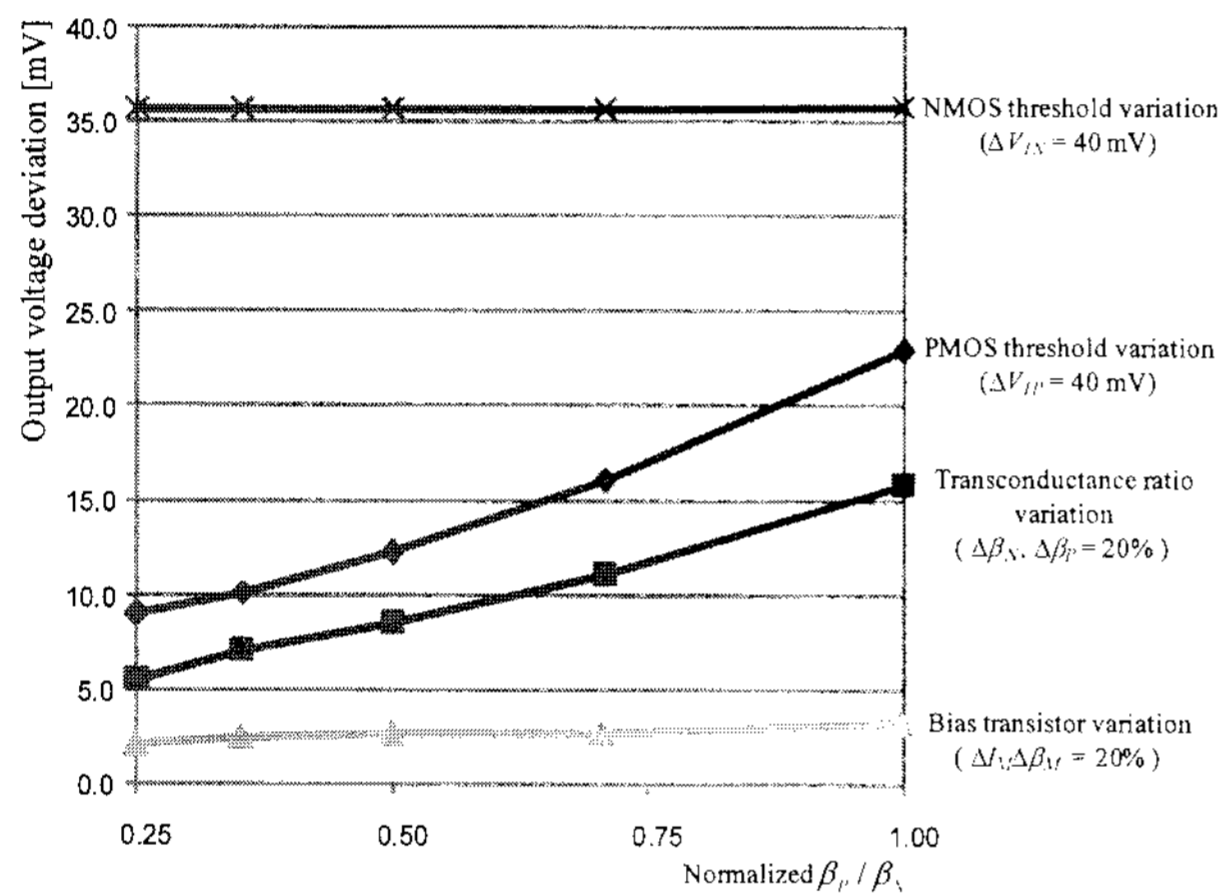


그림 6. 다양한  $\beta_p/\beta_n$  값에 따른 부정합 소스들의 영향  
Fig. 6. Influence of each mismatch sources for various  $\beta_p/\beta_n$ .

PMOS 트랜지스터의 채널 길이는 III장과 IV장에서 분석을 유효하게 할 정도로 커야한다. 따라서 다음의 시뮬레이션들은 채널 길이를 5- $\mu\text{m}$ 하여 이루어진다.

그림 6은 다양한  $\beta_p/\beta_n$ 을 가지고 Monte-Carlo 시뮬레이션을 했을 때의 출력 전압의 변동을 보여준다. 문턱 전압 변동, 트랜스컨덕턴스 비율의 변동 그리고 바이어스 트랜지스터 변동의 효과가 각각 시뮬레이션 된다.  $\beta_p/\beta_n$ 가 감소되면서, PMOS 트랜지스터의 문턱 전압 변동, 소자 크기 부정합, 그리고 바이어스 트랜지스터들의 부정합에 의한 출력 전압 변동이 (11)에서 예측한 것처럼 감소한다. 그러나 NMOS 트랜지스터들의 문턱 전압 변동에 의한 출력 전압 편차는 감소되지 않는다.

그림 7은 20mV 절대 편차의 문턱 전압과 10% 상대 편차의 트랜지스터 너비를 가진 3-입력 WTA 회로를

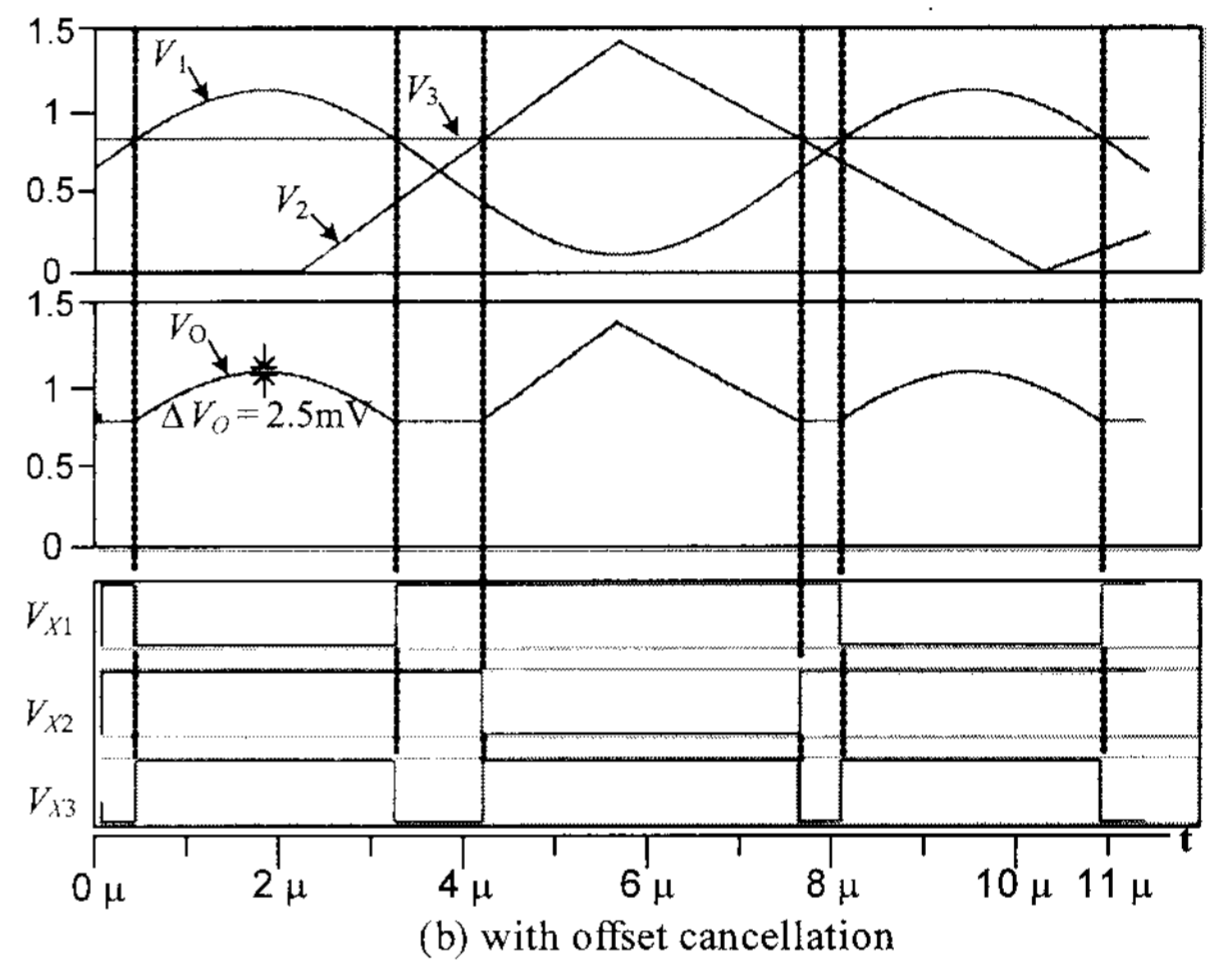
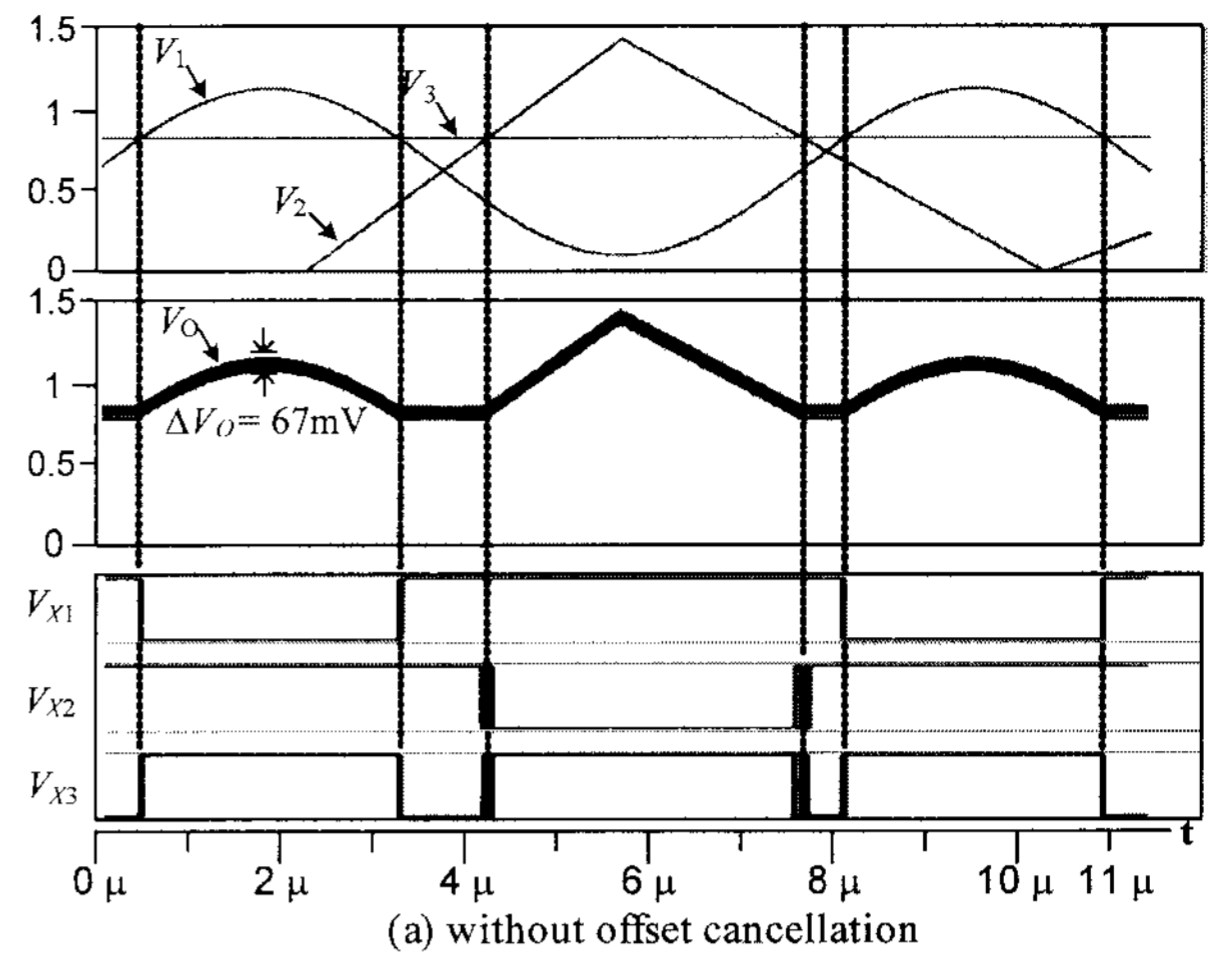


그림 7. WTA 회로의 시뮬레이션 비교 파형  
Fig. 7. Simulated transient responses of WTA circuits.

가지고 Monte-Carlo 시뮬레이션 하여 얻은 파형을 보여준다. 그림 7 (a)는 오프셋 제거를 하지 않은 WTA 회로의 시뮬레이션 파형이다. 측정된 출력 전압 편차  $\Delta V_O$ 는 약 67mV이다. 논리 출력  $V_X$ 는 입력 전압들의 전압차가 오프셋 변동보다 작을 때 지터(jitter)같은 불확실한 판정(decision) 출력을 보인다. 그림 7 (b)는 제안된 오프셋 제거 기법을 가진 WTA 회로를 시뮬레이션 하여 얻은 파형이다. 출력 전압 편차는 2.5mV로 감소하고, 판정 출력의 불확실성은 현저하게 감소된다.

그림 8은 다양한 양의 문턱 전압 부정합에 대한 제안된 오프셋 제거 기법의 효능을 나타낸다. 문턱 전압 변동이 0mV에서 40mV로 변할 때 오프셋을 제거하지 않으면, 출력 전압 편차는 선형적으로 증가한다. 그러나 오프셋 제거 기법을 사용하면 출력 전압 편차가 1.1mV보다 작게 유지된다. 유사하게 그림 9는 기하학적 소자 크기 부정합에 의한 출력 전압 편차를 보여 준다. 기하학적 소자 크기 부정합이 0%에서 20%까지 변할 때, 측정된



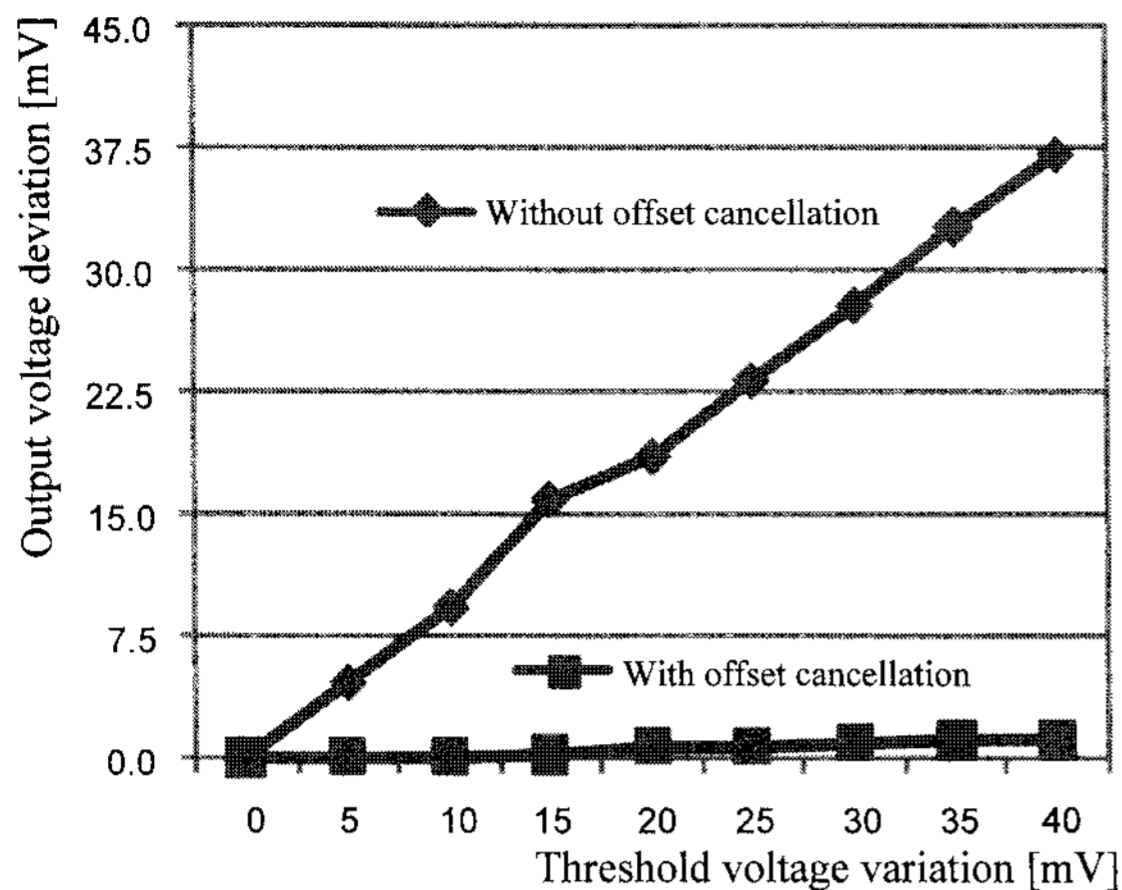


그림 8. Monte-Carlo 해석을 통한 문턱전압 변화에 따른 출력 전압의 변화

Fig. 8. Output voltage deviation by threshold voltage variation with Monte-Carlo analysis.

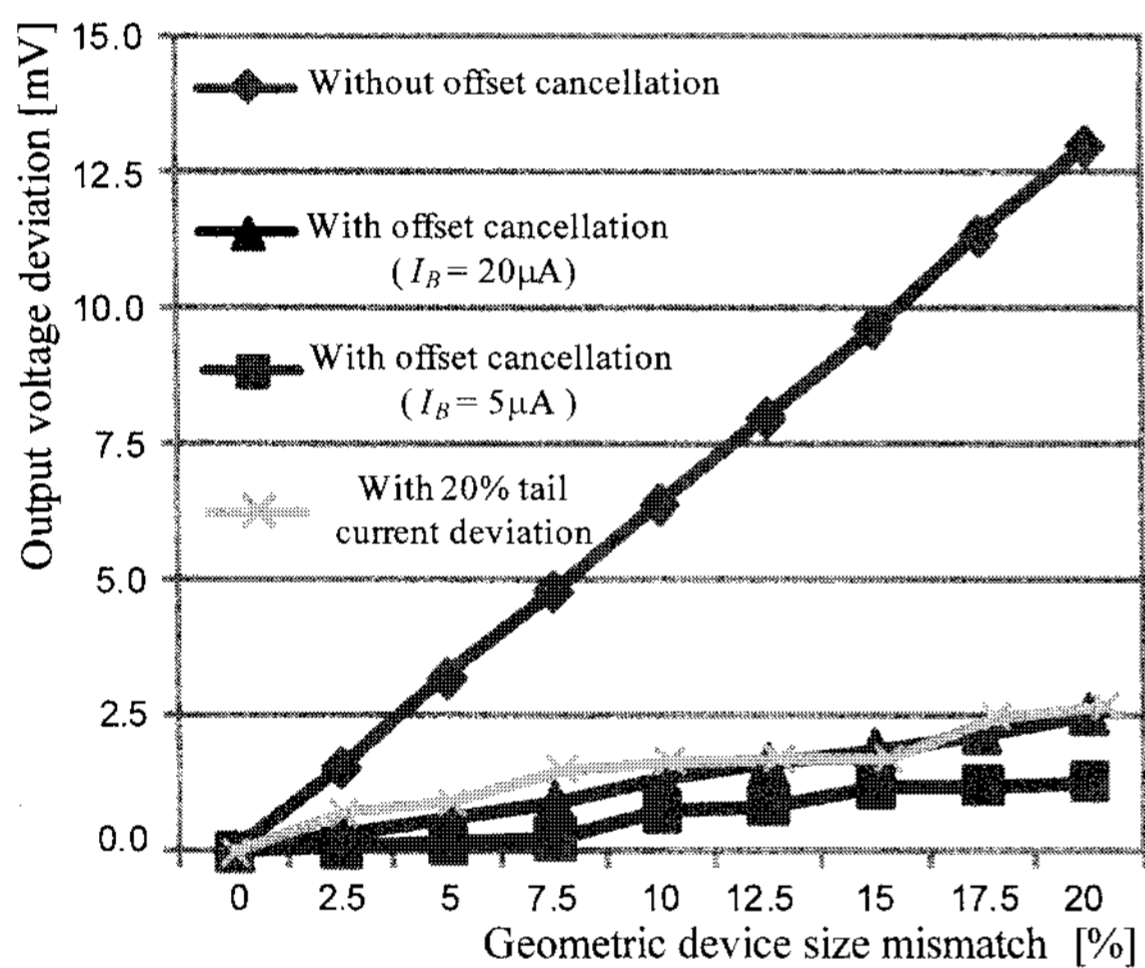


그림 9. Monte-Carlo 해석을 통한 기하학적 소자 크기 부정합에 따른 출력 전압의 변화

Fig. 9. Output voltage deviation by geometric device size mismatch with Monte-Carlo analysis.

출력 전압 편차는 옵셋 제거를 하지 않으면 선형적으로 증가하지만, 옵셋을 제거하면 감소한다. 그러나 기하학적 부정합에 대한 옵셋 제거는 문턱 전압 변동에서 만큼 효과적이지 않다. (16)에서 기대했던 것처럼 낮은 바이어스 전류가 사용될 때 잔여 옵셋은 줄어든다. 그림 9는 또한 꼬리(tail) 전류의 불확실성의 효과를 보여준다. 비록 꼬리 전류가 옵셋 샘플링 위상 동안  $(k-1)/2$ 배 증가해야 하지만, 이 비율은 사실 정확할 수 없다. 20% 편차를 가한 WTA 회로의 시뮬레이션 결과는 이 편차가 옵셋 제거 성능을 크게 저하시키지 않는다는 것을 보여준다.

## VI. 결 론

본 논문은 WTA 회로의 옵셋에 대한 포괄적인 분석을 제시했다. 그 분석 결과는 충분히 긴 채널의 PMOS 트랜지스터, PMOS 트랜지스터와 NMOS 트랜지스터 사이의 작은 트랜스컨덕턴스 비율, 그리고 적은 바이어스 전류를 사용하는 WTA 회로 설계를 제안한다. 이 설계 가이드라인들은 입력 트랜지스터의 문턱 부정합을 개선시키지 못하기 때문에 옵셋 제거 회로 또한 제시한다. 시뮬레이션을 통한 실험 결과는 분석 내용과 일치한다.

## 참 고 문 헌

- [1] J. Choi and B. J. Sheu, "A high-precision VLSI winner-take-all circuit for self-organizing neural networks," *IEEE J. Solid-State Circuits*, vol. 28, pp. 576 - 583, 1993.
- [2] J. A. Starzyk and Y.-W. Jan, "A voltage based winner takes all circuit for analog neural networks," in *Proc. of Midwest Symp. on Circuits and Systems*, Ames, IA, 1996, pp. 501 - 504.
- [3] I. Opris, "Analog rank extractors," *IEEE Trans. Circuits Syst. I*, vol. 44, pp. 1114 - 1121, Dec. 1997.
- [4] J. Ramírez-Angulo, G. Ducoudray-Acevedo, R. G. Carvajal and A. López-Martín, "Low Voltage High Performance Voltage Mode and Current mode WTA Circuits Based On Flipped Voltage Follower," *IEEE Trans. Circuits Sys. II*, vol. 52, No. 5, July 2005.
- [5] G. A. Andreou, K. A. Boahen, P. O. Pouliquen, A. Papisovic, R. E. Jenkins, and K. Strohhenn, "Current-mode subthreshold MOS circuits for analog VLSI neural systems," *IEEE Trans. Neural Networks*, vol. 2, pp. 205 - 213, 1991.
- [6] D. Kim, S. Lim and G. Han, "Single-Chip Eye Tracker Using Smart CMOS Image Sensor Pixels," *Analog Integrated Circuits and Signal Processing*, vol. 45, pp.131-141, Nov. 2005.
- [7] K. Choe and G. Han, "A Pixel Array PSD with Divide-by-M Winner-Take-All Architecture," *IEICE Electronics Express*, vol. 4, no. 3, pp. 82-87, Feb. 2007.
- [8] H. Miwa, K. Yang, P. Pouliquen, N. Kumar, and A. Andreou, "Storage enhancement techniques for digital memory based, analog computational engines," in *IEEE Int. Symp. Circuits Systems*,

vol. 5, 1994, pp.45 - 49.

- [9] HSPICE Simulation and Analysis User Guide,  
Synopsys Inc., 2005.

---

저 자 소 개

---



김 동 수(학생회원)  
2001년 연세대학교 전자공학과  
학사졸업.  
2004년 연세대학교 전자공학과  
석사 졸업.  
2008년 현재 연세대학교  
전자공학과 박사 과정.  
<주관심분야 : 아날로그 회로, CMOS image  
sensor, 스마트 센서, Eye tracker>



이 인 희(학생회원)  
2006년 연세대학교 전자공학과  
학사 졸업.  
2008년 현재 연세대학교  
전자공학과 석사 과정  
<주관심분야 : 아날로그 회로,  $\Sigma\Delta$   
모듈레이터>



한 건 희(정회원)  
1990년 연세대학교 전자공학과  
학사  
1997년 Texas A&M 박사.  
1998년 연세대학교 조교수.  
2008년 현재 연세대학교 부교수

<주관심분야 : 아날로그 회로, CMOS Image  
Sensor, 고속직렬통신,  $\Sigma\Delta$  모듈레이터 >