

논문 2008-45SD-5-6

Mobile-DTV 응용을 위한 광대역 주파수 합성기의 설계

(A Design of Wideband Frequency Synthesizer for Mobile-DTV Applications)

문 제 철*, 문 용**

(Jecheol Moon and Yong Moon)

요 약

Mobile-DTV 응용을 위한 분수형 주파수 합성기를 1.8V 0.18 μ m CMOS 공정으로 설계하였다. VCO는 PMOS를 사용하여 위상잡음을 감소시켰고, 인덕터와 캐패시터, 버랙터(varactor)를 선택적으로 스위칭하는 기법을 적용하여 측정 결과 800MHz-1.67GHz 대역에서 동작이 가능한 것을 확인하였다. VCO 이득 곡선의 선형 특성을 개선하기 위해서 버랙터 바이어스 기법을 사용하였고, 개수를 2개로 최소화 하였다. 추가적으로 버랙터 스위칭 기법을 사용해서 VCO 이득 저하 특성을 개선하였다. 또한, VCO 주파수 교정 블록을 사용해서 VCO 이득 저하를 개선하면서, VCO 이득의 간격을 일정하게 유지하도록 설계하였다. 분수형 주파수 분주비를 위한 시그마-델타 변조기의 설계 시 통합 모의실험 기법(co-simulation method)을 적용해서 설계의 정확성과 효율성을 향상시켰다. VCO와 PFD, CP, LF는 Cadence Spectre를 이용하여 검증하였고, 분주기는 Spectre와 Matlab Simulink, ModelSim, HSPICE를 이용하여 검증하였다. 주파수 합성기의 전체 소모 전력은 1.8V 전원 전압에서 18mW이고, VCO의 주파수 영역은 최대 주파수의 약 52.1%가 되는 것을 확인하였다. 또한 VCO의 위상 잡음은 1GHz, 1.5GHz, 2GHz 출력 주파수에서 1MHz 오프셋에서 -100dBc/Hz 이하의 잡음 특성을 확인하였다.

Abstract

A Frequency synthesizer for mobile-DTV applications is implemented using 0.18 μ m CMOS process with 1.8V supply. PMOS transistors are chosen for VCO core to reduce phase noise. The measurement result of VCO frequency range is 800MHz-1.67GHz using switchable inductors, capacitors and varactors. We use varactor bias technique for the improvement of VCO gain linearity, and the number of varactor biasing are minimized as two. VCO gain deterioration is also improved by using the varactor switching technique. The VCO gain and interval of VCO gain are maintained as low and improved using the VCO frequency calibration block. The sigma-delta modulator for fractional divider is designed by the co-simulation method for accuracy and efficiency improvement. The VCO, PFD, CP and LF are verified by Cadence Spectre, and the sigma-delta modulator is simulated using Matlab Simulink, ModelSim and HSPICE. The power consumption of the frequency synthesizer is 18mW, and the VCO has 52.1% tuning range according to the VCO maximum output frequency. The VCO phase noise is lower than -100dBc/Hz at 1MHz offset for 1GHz, 1.5GHz, and 2GHz output frequencies.

Keywords : mobile-DTV, multi-band and wideband, low VCO gain variation, MOS varactor

I. 서 론

최근 정보통신과 반도체 집적기술의 발전이 빠른 속

도로 이루어지고 있다. 이런 기술의 발전으로 다양한 통신 방식이 하나의 시스템에 통합되고 있고, 반도체 기술의 발전에 따른 시스템 집적화는 단일 칩에 여러 기능을 통합적으로 사용할 수 있는 환경을 제공해서, 보다 작은 크기의 시스템 개발이 쉽게 이루어지고 있다. 특히 언제 어디서나 사용할 수 있는 휴대용 멀티미디어(multimedia) 시스템은 빠른 속도로 발전하고 있고, 이 중에서 mobile-DTV(Digital Television)는 최근 전 세계적으로 다양한 방식으로 서비스되고 있다.

* 정회원, (주)에프씨아이
(Future Communications IC Inc.)

** 정회원, 숭실대학교 전자공학과
(Department of Electronic Engineering, Soongsil University)

※ 본 연구는 숭실대학교 교내 연구비 지원으로 이루어졌습니다.

접수일자: 2008년1월10일, 수정완료일: 2008년4월22일

현재 서비스되고 있는 mobile-DTV 방송 방식은 크게 한국에서 서비스 하고 있는 T-DMB와 일본의 ISDB-T, 그리고 유럽의 DVB-H 방식이 있다^[1]. 이 세 가지 방송 방식은 현재 서로 다른 지역에서 서비스 되고 있지만, 최근 개발되는 휴대용 멀티미디어 시스템은 소비자가 다른 지역에서도 방송 서비스가 가능하도록 여러 가지 방송 방식을 지원하도록 제작되는 추세이다. 따라서 위와 같은 다양한 방송 서비스를 동시에 지원하고 휴대용 멀티미디어 시스템의 다른 통신 서비스를 위한 다중밴드 광대역 주파수 합성기의 설계는 최근 휴대용 멀티미디어 시스템 설계의 중요한 이슈가 되고 있다 [2~3].

최근 국내에서 T-DMB와 DVB-H를 동시에 지원하는 시스템이 개발되었고, 앞으로 여러 방송 방식을 동시에 지원하는 시스템이 계속 출시될 것으로 예상되고 있다. 따라서 표 1과 같이 정리된 방송 방식들을 현재 시장의 요구에 따라 하나의 시스템에서 모두 지원을 하고, 저비용으로 실현할 필요성이 커지고 있다.

이와 같은 상황에서 서로 다른 방송 방식을 모두 지원하기 위해 다중밴드 광대역 주파수 합성기의 제작은 필수적이며, 특히 표 1과 같은 주파수 범위를 주파수 합성기가 안정적으로 지원하기 위해서는 주파수 합성기의 핵심 블록인 VCO(Voltage Controlled Oscillator)와 분주기(divider)가 다중밴드 광대역 주파수를 지원해야 한다. 물론 세 가지 방송 방식을 지원하기 위한 주파수 합성기를 각각 따로 설계하는 것도 가능하지만, 가격 대 성능 비를 최적화하기 위해서는 하나의 주파수 합성기를 사용하면서 원하는 주파수를 지원하도록 설계하는 것이 바람직하다.

본 논문에서는 제안하는 벡터 스위치 뱅크와 VCO 주파수 교정 블록을 포함한 분수형 주파수 합성기를 0.18 μ m CMOS 공정에서 설계하였다. 핵심 블록인 VCO는 저잡음 특성을 얻기 위하여 VCO 코어를 PMOS만으로 구성하였으며, MOS 벡터(varactor)에 다중 바이어스를 적용하고 최적화하여 캐패시턴스의 선형 특성

표 1. 지상파 방송 방식에 따른 출력 주파수 대역
Table 1. Output frequency according to terrestrial broadcasting system.

방송 방식	출력 주파수 대역
T-DMB	1450-1492MHz (L-Band), 174-216MHz (VHF)
ISDB-T	470-770MHz (UHF), 90-222MHz (VHF)
DVB-H	1452-1675MHz (L-Band), 470-890MHz (UHF)

을 개선함으로써 VCO의 이득을 선형화하고 PLL (Phase Locked Loop)의 안정도를 크게 개선시키도록 설계하였다. 설계한 분수형 주파수 합성기는 800MHz-1.67 GHz의 주파수 범위에서 동작하고, 최대 주파수의 약 52.1% 주파수 동작 영역을 가진다. 광대역 및 다중 밴드 주파수 합성기의 기존 단점을 개선하고자, 벡터 스위치 뱅크와 VCO 주파수 교정 블록을 사용해서 일반적인 VCO 이득에 비해서 20%의 VCO 이득 변화 감소 효과를 확인하였다. 추가적으로 분수형 주파수 합성기를 위해서 시그마-델타 변조기 (Sigma-Delta Modulator)를 설계하였고, 설계시에 통합 모의실험 기법을 사용해서 설계 효율성과 정확도를 개선하였다.

II. 분수형 주파수 합성기의 설계

1. 분수형 주파수 합성기의 구조

주파수 합성기는 기본적으로 VCO, divider, PFD (Phase Frequency Detector), CP (Charge Pump), LF (Loop Filter)로 구성되어 있다. 그림 1은 제안한 분수형 주파수 합성기의 블록도를 보여준다.

최근 통신시스템에서 신호를 처리하기 위해서 사용하는 LO(Local Oscillator) 주파수는 수백MHz에서 수GHz까지 사용한다. 이 때 사용하는 주파수는 낮은 위상잡음과 온도, 잡음 간섭에 영향을 적게 받을수록 시스템의 성능을 보장하게 된다. VCO를 그대로 사용해서 LO 주파수를 생성할 수 있지만, VCO의 위상잡음이 좋지 않고 온도변화와 공급 전압 잡음 등과 같은 외부 변화에 출력 주파수가 민감하게 반응하기 때문에 VCO의 변화를 보정하는 시스템이 필요하다. 이로 인해 PLL과 같은 피드백(feedback) 시스템을 이용해서 위상잡음 감소와 함께 안정된 출력 주파수를 생성해야 한다.

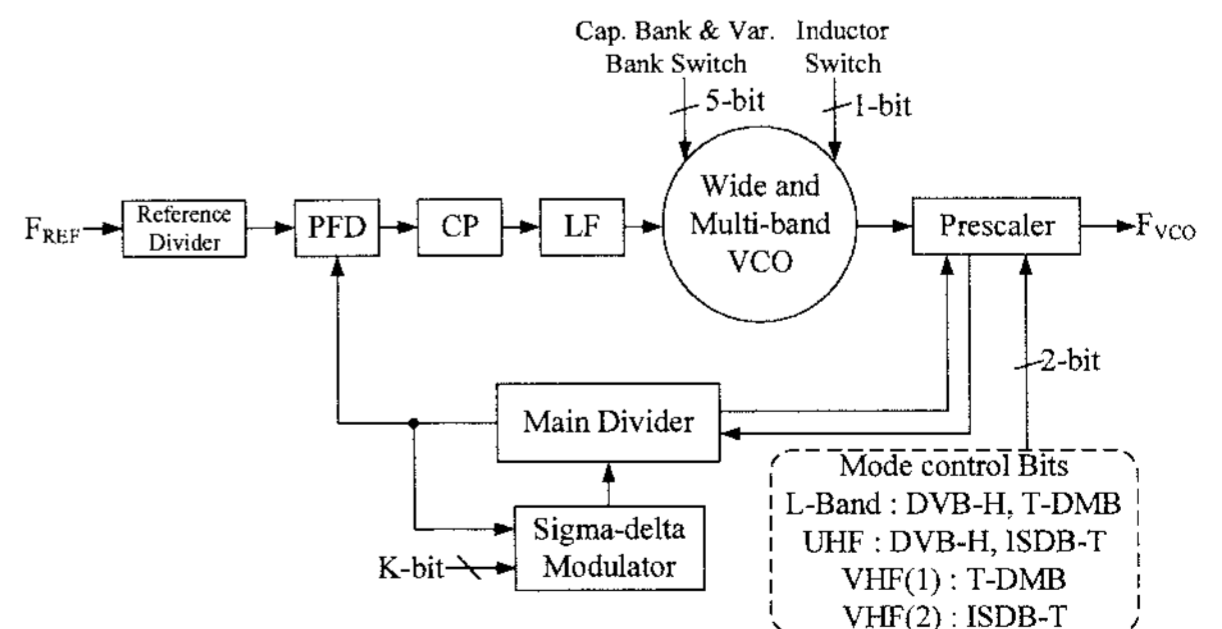


그림 1. 제안한 광대역 다중 밴드 분수형 주파수 합성기의 블록도

Fig. 1. Block diagram of the proposed wide and multi-band fractional-N frequency synthesizer.

그림 1의 분수형 주파수 합성기는 일반적인 PLL 구조와 같이 PFD, CP, LF, VCO, 분주기 부분으로 구성되어 있다. 표 1에서 보는 것과 같이 방송 방식별로 지원하는 주파수 범위는 VHF대역부터 L-Band 대역까지 다양하게 분포하고 있다. 따라서 다양한 주파수 범위를 단일 주파수 합성기로 지원하기 위해 최종 출력 이전에 분주기를 추가적으로 설계하였다. 또한 VCO는 본 논문에서 제안한 VCO 이득 개선 구조를 가진 다중밴드 형태로 광대역 주파수를 지원하도록 제작하였고, 분주기는 낮은 위상 잡음과 분수형 분주를 위해서 1비트 3차 직렬 구조의 시그마-델타 변조기를 설계하였다.

2. 광대역 및 다중밴드 VCO의 설계

그림 2는 제안한 LC VCO를 보여주고 있다. VCO는 낮은 위상잡음을 위해서 PMOS 코어로 제작하였고, 일반적인 VCO에서 사용하는 스위치 캐패시터 뱅크와 스위치 인덕터와 함께 광대역 주파수 범위를 지원하기 위해 본 논문에서 제안하는 스위치 버렉터 뱅크와 VCO 주파수 교정 블록으로 구성되어 있다.

광대역 주파수 합성기를 제작하는데 출력 주파수 범위는 중요한 부분 중에 하나이다. 광대역 주파수 합성기에서 단일 VCO 이득을 가지도록 VCO를 제작할 경우, VCO 구조는 간단해질 수 있지만 VCO를 제어하는 제어 전압의 변화에 VCO 출력 주파수가 민감하게 변화한다. VCO 제어 전압은 전하 펌프와 루프 필터를 통해서 출력된 값이 입력되기 때문에 일반적인 직류 입력 전압보다 잡음 성분이 많이 포함되어 있고, 이런 현상

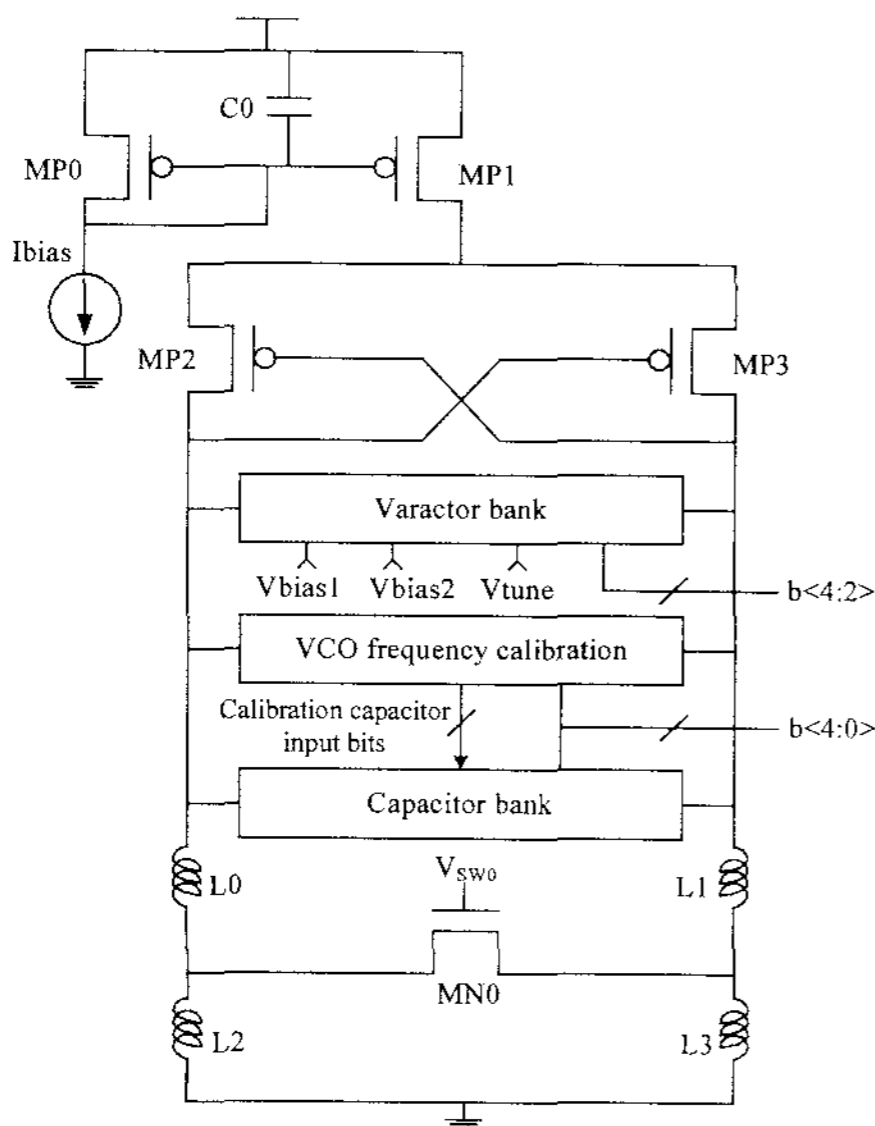


그림 2. 제안한 다중밴드 VCO
Fig. 2. The proposed multi-band VCO.

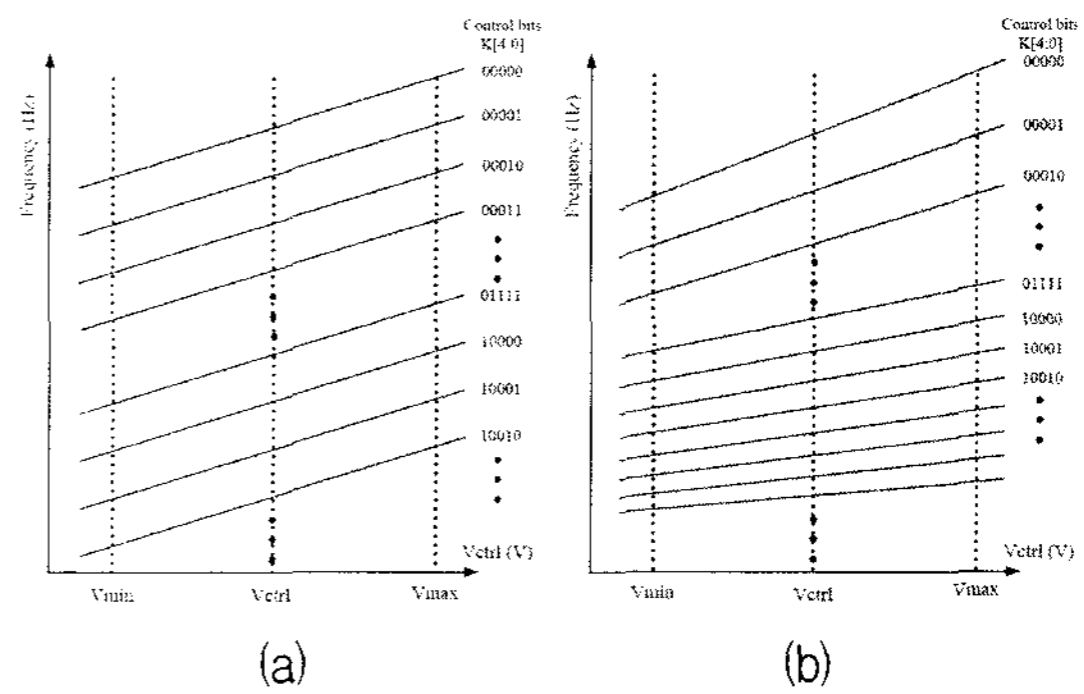


그림 3. (a) 이상적인 다중밴드 VCO의 VCO 이득 특성
(b) 실제 구현되는 다중밴드 VCO의 VCO 이득 특성

Fig. 3. (a) Ideal multi-band VCO gain characteristic
(b) Real multi-band VCO gain characteristic.

으로 인해서 입력 전압의 작은 변화에도 출력 주파수가 많이 변하는 것은 주파수 합성기의 안정도를 저하시키게 된다. 따라서 최근 광대역을 지원하는 주파수 합성기를 제작하는 경우 주파수 합성기의 안정도를 위해 다중밴드 방식을 사용하는 추세이다.

일반적인 다중밴드 방식을 위해서 스위치 캐패시터 뱅크 구조의 LC VCO 설계는 넓은 주파수 범위와 낮은 위상 잡음을 위해 많이 사용되고 있다^[4]. 하지만, 그림 3-(a)에서 보는 것과 같이 이상적인 VCO 이득 특성은 출력 주파수 대역이 넓을수록 식 (1)의 동일한 버렉터의 캐패시턴스 값의 변화에 대해서 캐패시터 뱅크의 값이 증가하기 때문에, 상대적으로 제어전압 변화에 따른 주파수 변화폭이 그림 3-(b)과 같이 저주파로 갈수록 VCO 이득이 감소하는 그래프 형태로 변하게 된다.

$$f_{VCO} = \frac{1}{2\pi\sqrt{L\left(\frac{C_v C_b}{C_v + C_b} + \sum_{i=1}^K C_u + C_p\right)}} \quad (1)$$

C_u : unit capacitance of capacitor bank

C_p : parasitic capacitance

그림 3과 같이 광대역 VCO 설계시 발생하는 VCO 이득 저하 현상은 저주파에서 주파수 지원 범위를 감소시키고, 다중밴드 VCO에서 다른 VCO 이득 특성은 주파수 합성기의 동작을 위한 다른 회로의 특성 변화를 가져오게 된다. 따라서 VCO 이득 저하를 개선함으로써, 주파수 합성기의 전체적인 성능향상을 가져올 수 있다. 본 논문에서는 제안하는 스위치 버렉터 뱅크와 VCO 주파수 보정 블록을 사용함으로써 이득 저하를 개선하였다. 제안하는 스위치 버렉터 뱅크와 VCO 주파수 보정 블록은 다음 절에서 다룬다.

3. 낮은 VCO 이득 변화 기법

가. 스위치 버렉터 뱅크의 설계

광대역 및 다중밴드 VCO 설계에서 VCO 이득 변화를 줄이기 위하여 본 논문에서는 그림 4와 같이 스위치 버렉터 뱅크를 설계하였다. 설계한 스위치 버렉터 뱅크는 VCO 이득 곡선의 선형 특성을 개선하기 위해서 버렉터 바이어스 기법을 사용하였고, 개수를 2개로 최소화 하였다^[5]. 또한 VCO 이득 개선을 위해서 3비트의 스위치가 추가되었는데, 각 스위치는 캐패시터 뱅크의 상위 3비트와 동일한 입력에서 동작하게 설계하였다. 해당 비트 값이 활성화되면 스위치 부분의 버렉터와 기본적인 버렉터 부분이 동시에 동작하면서, 전체 버렉터 뱅크의 캐패시턴스 변화량이 증가하게 된다.

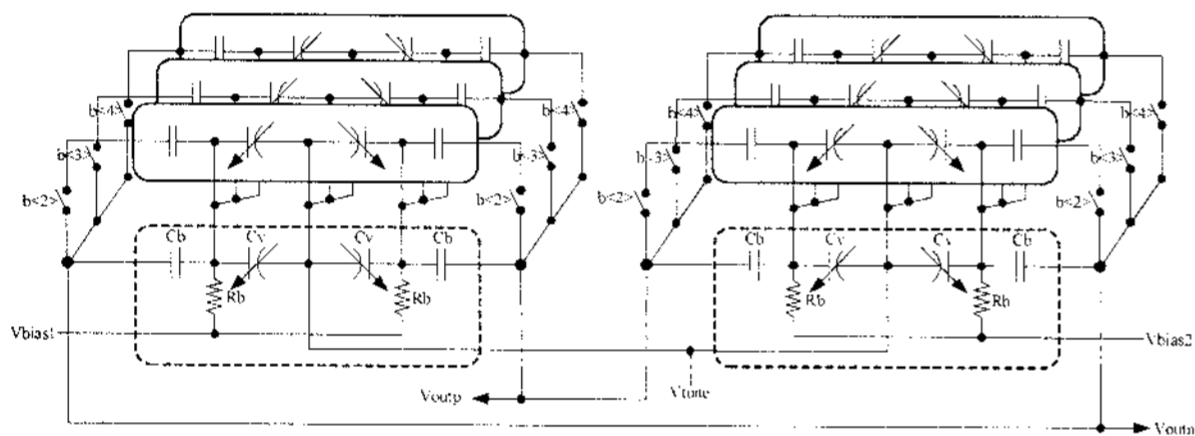


그림 4. 제안하는 스위치 버렉터 뱅크 구조
Fig. 4. Proposed switched varactor bank architecture

나. VCO 주파수 교정 블록의 설계

스위칭 방식의 버렉터 뱅크는 VCO 이득의 향상을 가져올 수 있지만, VCO 이득의 간격을 향상시키지는 못한다. 이런 경우에는 다중 밴드 사이의 간격이 좁아서 출력 주파수 대역의 효율이 낮아지게 된다. 따라서 그림 5와 같이 제안한 VCO 주파수 교정 블록을 설계해서 VCO 이득 간격을 개선하였다.

제안한 VCO 주파수 보정 블록은 VCO 주파수 교정

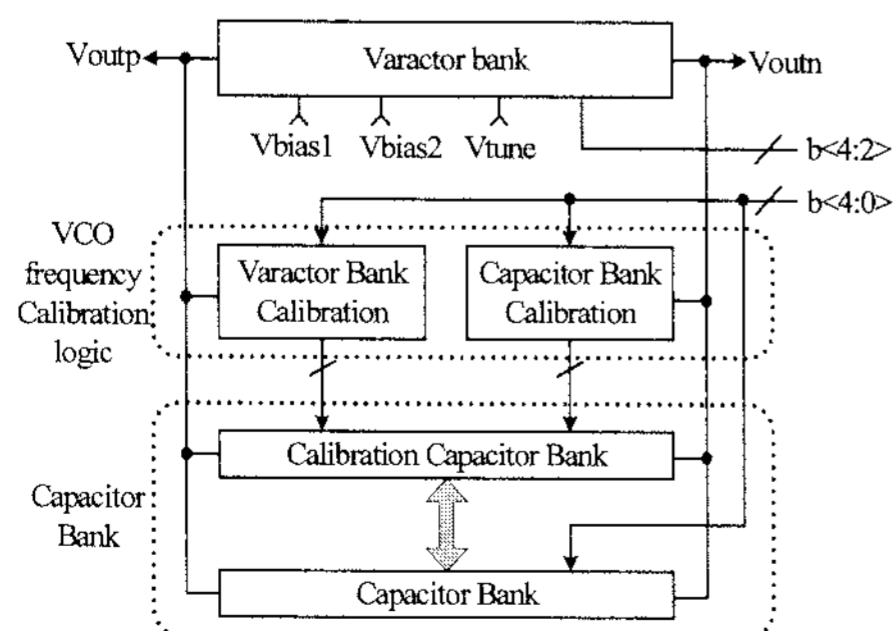


그림 5. VCO 주파수 교정 블록이 포함된 전체 주파수 튜닝 블록
Fig. 5. Total tuning block with VCO frequency calibration

표 2. 전체 튜닝 블록의 동작 분포

Table 2. Operations of total VCO tuning blocks

캐패시터 뱅크의 이진 비트 값	캐패시터 뱅크	버렉터 뱅크	버렉터 뱅크 보정	캐패시터 뱅크 보정
00000 - 00011	○	×	×	×
00100, 01000, 01100, 10000, 10100, 11100	○	○	○	×
otherwise	○	○	○	○

로직과 교정 캐패시터 뱅크로 이루어져 있다. VCO 주파수 교정 로직은 thermometer 디코더와 유사한 동작 형태를 가지도록 설계해서, 동작시 필요한 추가적인 캐패시터 개수를 최소화하였다. VCO 주파수 교정 블록은 기존의 캐패시터 뱅크와 제안하는 스위치 버렉터 뱅크와 함께 동작해서 VCO 이득의 간격을 개선하게 된다. 표 2는 본 논문에서 설계한 VCO의 튜닝 블록들이 입력 비트에 따라서 어떻게 활성화되는지를 보여주고 있다.

4. 분수형 분주기의 설계

가. 분주기 전체 구조

그림 6은 분주기 전체 블록도를 나타낸 것이다. 설계한 다중 밴드 주파수 합성기의 분주기는 방송 방식에 따라서 다양한 분주를 하도록 설계하였다. 분주기는 크게 prescaler와 main divider로 구성되어 있고, VHF 대역부터 L-Band 대역까지 넓은 주파수 대역을 지원하기 위해 최종 출력 부분 이전에 prescaler가 추가적으로 설계되었다. 또한, 하나의 main divider를 사용하기 위해 main divider 이전에 방송 모드로 제어 가능한 분주기를 추가함으로써 시그마-델타 변조기와 main divider를 최소화 하도록 설계하였다.

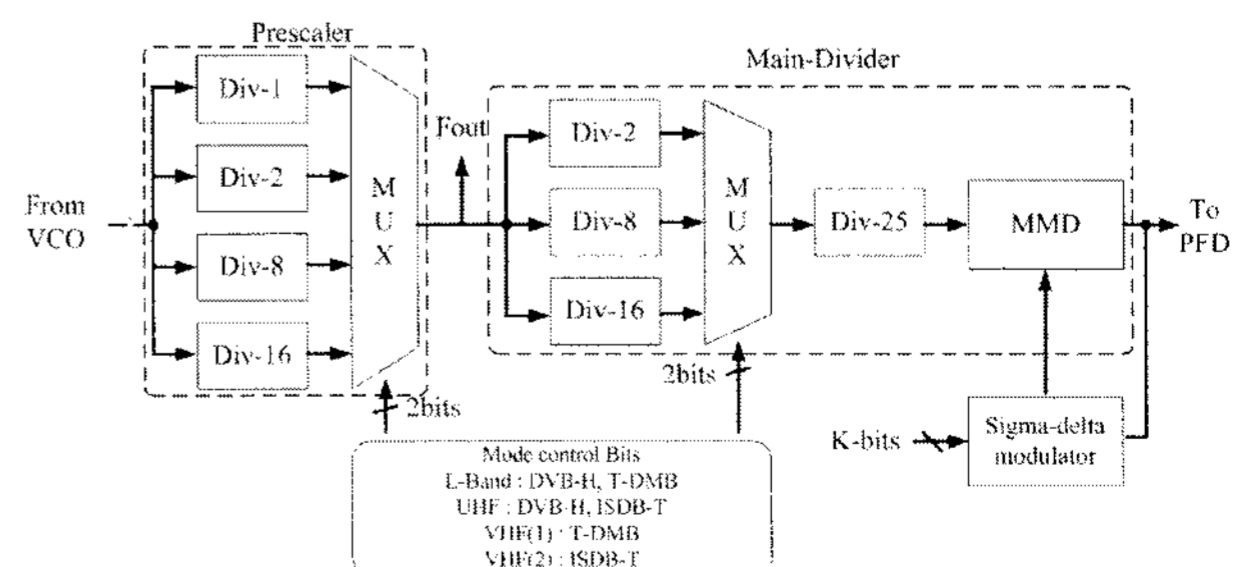


그림 6. 분주기 전체 블록도
Fig. 6. Divider total block diagram.

나. 시그마-델타 변조기의 설계

다중 밴드 주파수 합성기의 세 가지 방송 방식을 모

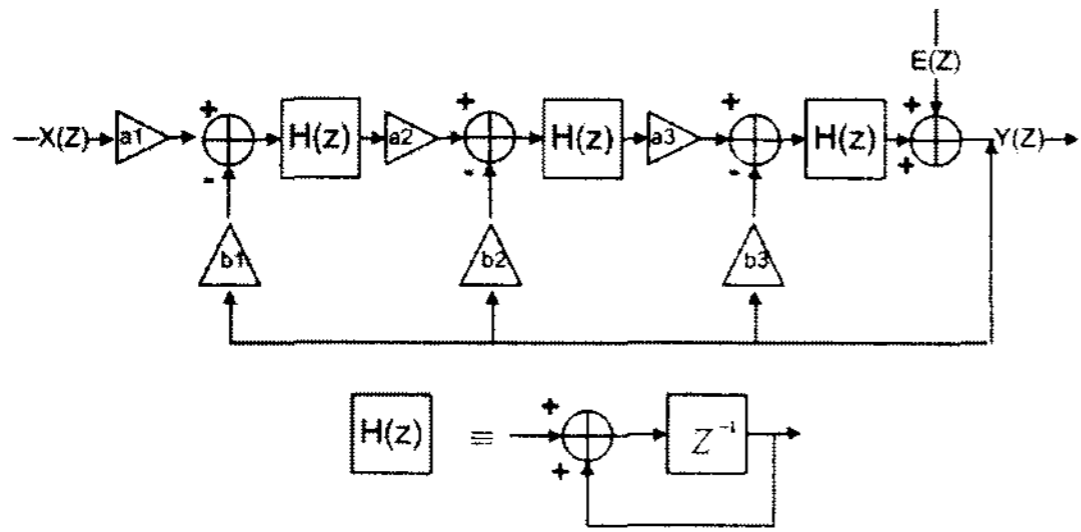


그림 7. 직렬 방식 3차 1비트 시그마-델타 변조기 블록도

Fig. 7. Serial-type the 3rd-order sigma-delta modulator.

두 지원하기 위해서 분수 형태의 분주비를 사용하면 시스템을 효율적으로 설계할 수 있다. 설계하는 주파수 합성기에서 분수형 분주를 위한 제어에는 저주파에서 고주파로 노이즈 형성이 되는 시그마-델타 변조기를 사용하였다. 그림 7은 분수형 분주 제어를 위한 직렬 방식 3차 1비트 시그마-델타 변조기 블록도이다.

시그마-델타 변조기의 설계에 고려할 수식은 아래 (2),(3)로 표현된다. 식 (2)은 시그마-델타 변조기가 저주파에서 고주파로 노이즈 형성과 주파수 합성기의 루프 필터(loop filter)에서 노이즈 포함 범위를 고려한 잡음 전달 함수이다. 그리고 식 (3)은 잡음 전달 함수를 이용한 시그마-델타 변조기의 위상 잡음 함수를 나타낸 것이다.

$$H_{NTF}(z) = \frac{z^3 - 3 \cdot z^2 + 3 \cdot z - 1}{z^3 - 1.162 \cdot z^2 + 0.6959 \cdot z - 0.1378} \quad (2)$$

$$L(z) = \frac{(2\pi \cdot \Delta)^2}{12f_{PFD}} \cdot \left(\frac{H_{NTF}(z)}{1 - z^{-1}} \right)^2 \quad (3)$$

Δ : step size of the quantizer

시그마-델타 변조기를 HDL 코드로 설계하고 검증하는 경우에는 칩 제작 이전 단계에서 저주파에서 고주파로 노이즈 형성이 일어나는 것을 확인하기 어렵다. 본 논문에서 설계한 시그마-델타 변조기는 Simulink와 ModelSim을 연동하는 방법을 이용해서 설계하였다. 이 방법은 HDL 코드로 설계시 칩 제작 이전에 저주파에서 고주파로 노이즈 형성이 되는 것을 확인할 수 있어, 칩 제작이전에 노이즈 형성을 확인하고 결과적으로 시그마-델타 변조기의 제작을 효율적으로 할 수 있다. 그림 8은 통합 모의실험 결과를 비교한 것으로 맨 위의 결과는 통합 모의실험의 결과이고, 중간은 ModelSim의 출력결과, 맨 마지막은 트랜지스터 레벨로 설계한 회로의 출력결과로 동일한 출력 결과를 보여주고 있다. 그

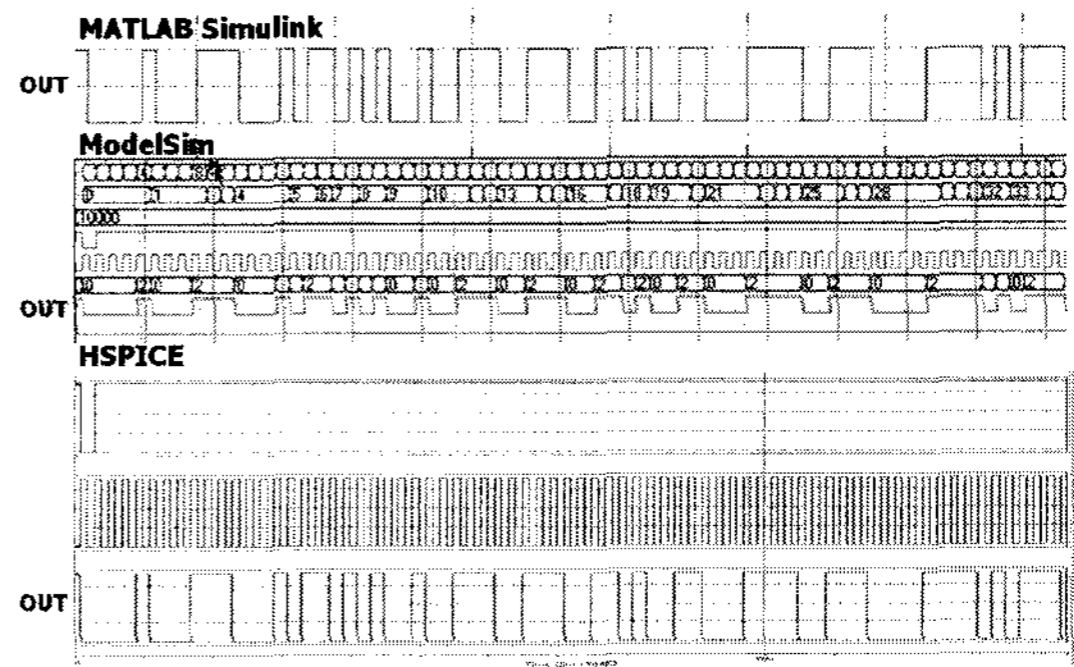


그림 8. Simulink와 ModelSim, HSPICE의 통합 모의실험 결과

Fig. 8. Simulink, ModelSim and HSPICE co-simulations results.

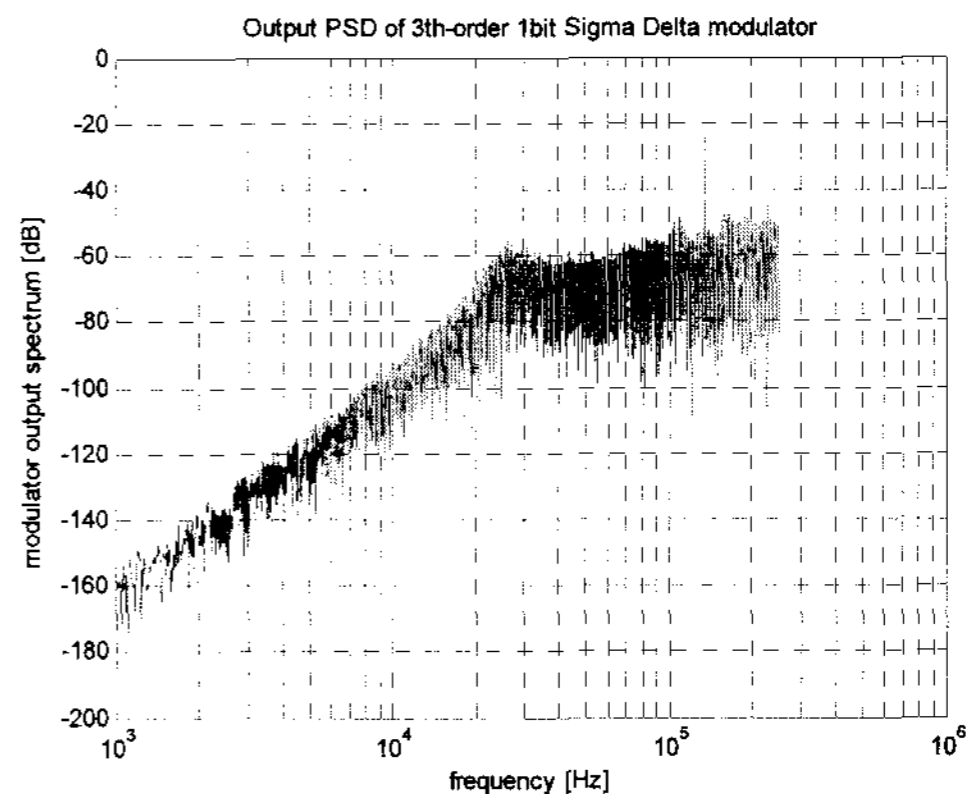


그림 9. Simulink-ModelSim 모의실험에 의한 노이즈 형성 결과

Fig. 9. Noise shaping result by Simulink-ModelSim simulation.

림 9는 통합 모의실험 결과 중에 노이즈 형성을 결과를 보여주고 있다.

III. 모의 실험 결과

구현한 주파수 합성기는 0.18 μ m CMOS 공정으로 제작하였다. VCO와 분주기는 Cadence Spectre를 이용하여 검증하였고, HDL 코드로 제작한 시그마-델타 변조기는 레이아웃시에 전체 주파수 합성기에 추가하기 위해 CLA(Carry-Lookahead Adder)와 flip-flop으로 이루어진 트랜지스터 레벨로 설계한 후 HSPICE로 검증하였다.

그림 10은 방송 모드에 따른 prescaler의 모의실험 결과로 2 bits의 제어 비트로 총 4가지 분주비(1/2/8/16 분주)를 출력하게 된다. 최대 2GHz 대역의 주파수를 분주하기 위해서 분주기의 D-플립플롭은 SCL 구조를 사용하였다. 또한, 높은 주파수 분주를 위한 MUX를 그림 11과 같은 SCL 구조로 사용하고, 분주가 필요 없는 경우는

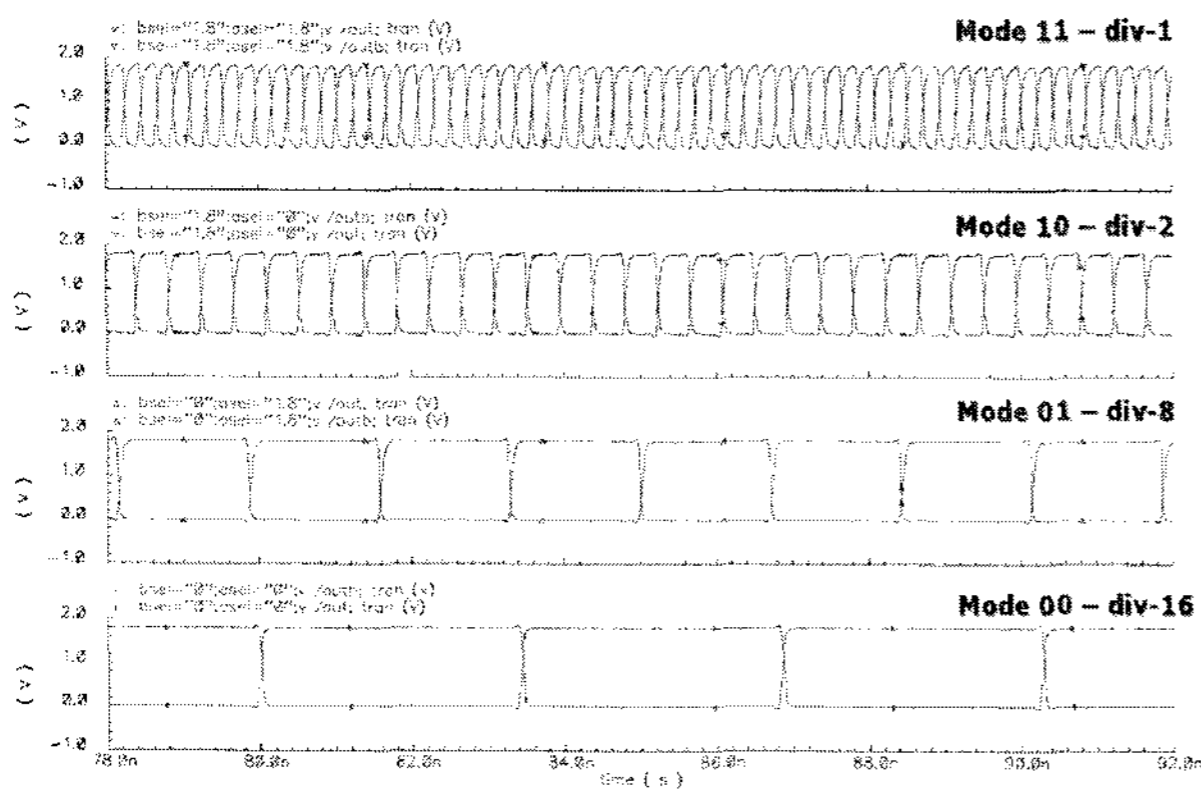


그림 10. Prescaler 모의실험 결과
Fig. 10. Prescaler simulation results.

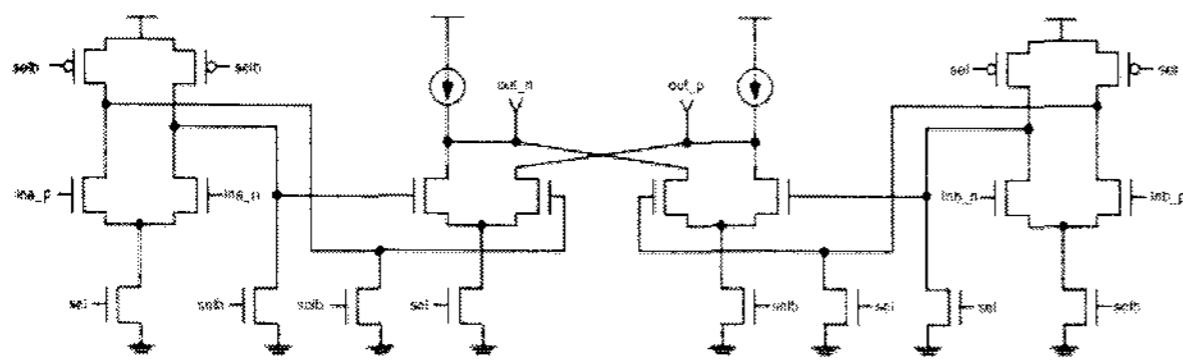


그림 11. SCL 2-to-1 MUX
Fig. 11. SCL 2-to-1 MUX.

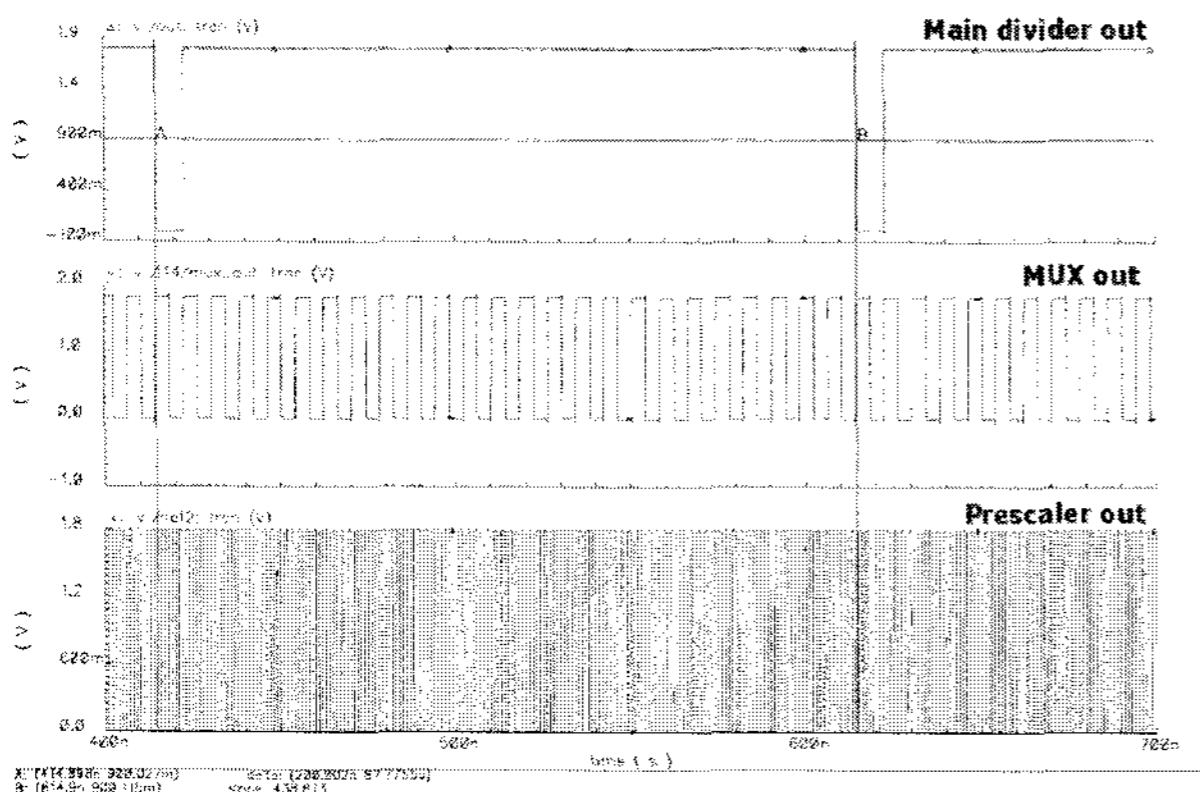


그림 12. Prescaler, main divider 모의실험 결과
Fig. 12. Prescaler and main divider simulation results.

MUX에 버퍼 기능을 추가해서 설계하였다.

그림 12는 prescaler의 출력 결과와 main divider의 출력 결과를 보여주고 있다. 그림 6과 같은 구조에서 방송 모드에 따라 다른 출력을 하게 되고, prescaler와 main divider에서 분주되도록 설계하였다.

그림 13은 설계한 VCO의 사전 모의실험 결과 중에서 위상 잡음을 보여주고 있다. 설계한 VCO의 위상 잡음은 출력 주파수 2GHz, 1.5GHz, 1GHz 대역에서 1MHz 오프셋 기준으로 $-100\text{dBc}/\text{Hz}$ 이하의 잡음 특성을 가지는 것을 모의실험으로 확인하였다. 본 설계에서 VCO의 위상 잡음은 광대역 VCO 구현을 위한 추가적인 캐패시터 뱅크로 인한 잡음 증가로 여겨지지만, 본 논문의 응용 분야인 mobile-DTV에는 만족하는 결과를 얻을 수 있었다.

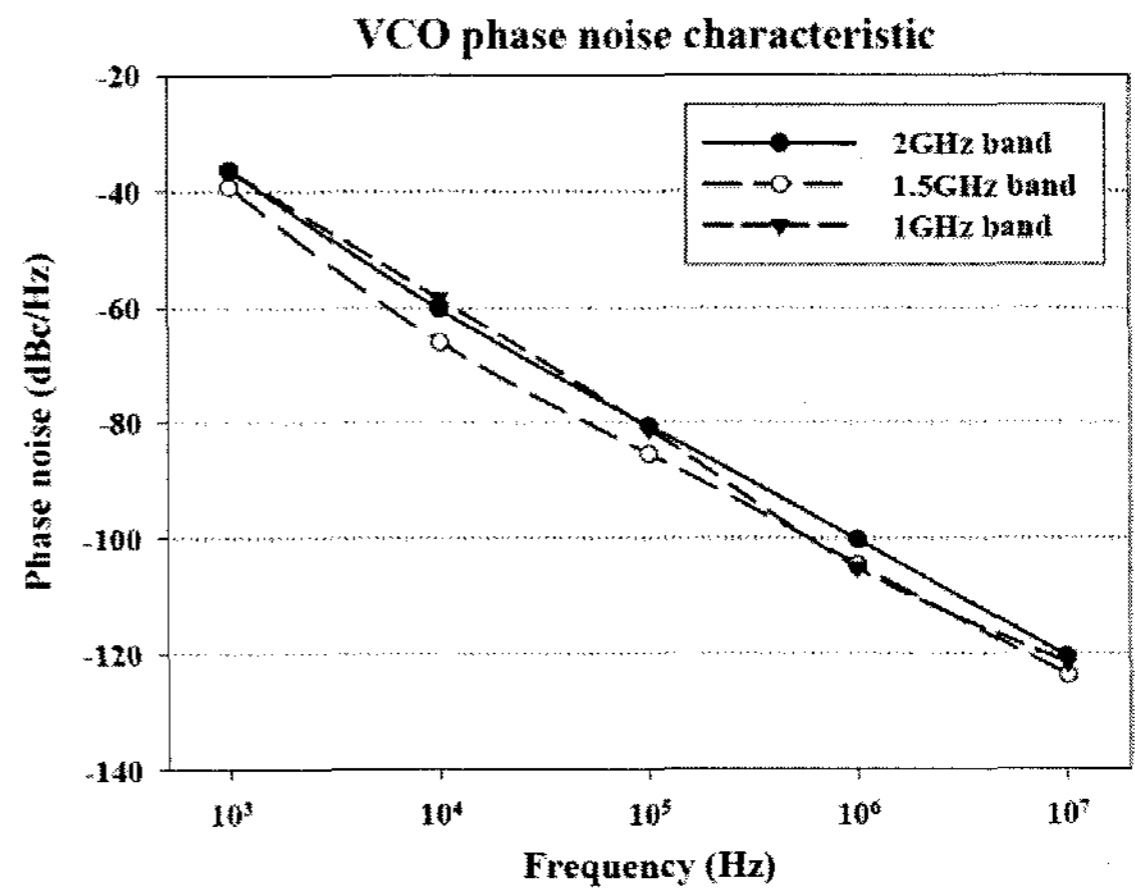


그림 13. VCO 위상 잡음 특성
Fig. 13. VCO phase noise characteristic.

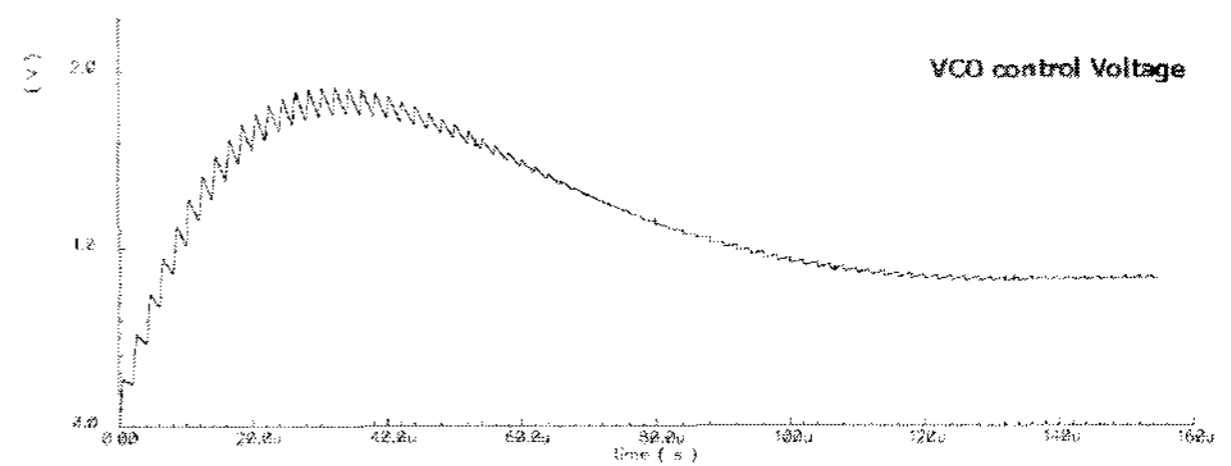


그림 14. 주파수 합성기의 VCO 제어 전압 모의실험 결과
Fig. 14. The simulation results of VCO control voltage in frequency synthesizer.

그림 14는 전체 주파수 합성기의 VCO 제어 전압 출력을 보여주고 있다. 전체 주파수 합성기의 모의실험 결과 고착시간은 약 $140\mu\text{s}$ 로 확인하였다.

IV. 레이아웃 및 칩 측정 결과

1. 레이아웃

설계한 주파수 합성기를 검증하기 위해 $0.18\mu\text{m}$ CMOS 공정을 사용하여 칩을 제작하였다. 칩제작은 IDEC

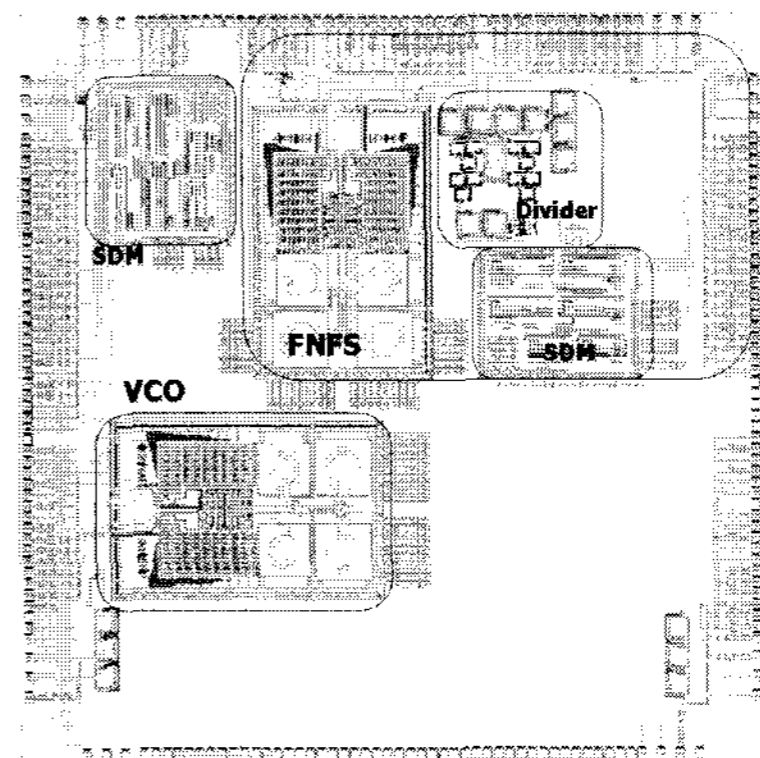


그림 15. 주파수 합성기 레이아웃
Fig. 15. Frequency Synthesizer layout.

MPW를 이용하였고, 그림 15는 설계한 주파수 합성기의 레이아웃이다.

제작한 칩의 VCO 면적은 1.8mm×1.2mm, 주파수 합성기 전체의 면적은 2.7mm×2.1mm 이다. VCO와 prescaler와 같은 RF 회로는 완전 대칭형으로 제작되었으며, VCO 동작과 관련된 모든 트랜지스터는 핑거 형태로 설계하여 기생 R-C 성분을 최소화하도록 설계하였다.

2. 칩 측정결과

설계한 칩은 그림 16과 같이 PCB로 제작을 해서 테스트를 진행하였다. 또한 칩 제작시에 각 블록들을 개별 테스트 할 수 있도록 제작하고, 측정 계획에 맞춰서 테스트를 진행하였다. 우측 그림은 칩 테스트 계획을 보여주고 있다.

첫 번째로 분주기를 측정하였다. 측정된 분주기는 VCO와 주파수 합성기의 출력부분에 설계한 64-분주기로서, 제작한 칩은 LQFP 패키지의 경우 bonding wire의 인덕턴스로 인해서 수 GHz의 고주파 성분을 칩 외부에서 직접 측정을 하기 어려운 점으로 VCO와 주파수 합성기의 출력을 분주기를 통과한 후에 측정할 수 있도록 제작을 하였다. 따라서 분주기의 동작 확인은 전체 측정에서 중요한 부분 중에 하나이다. 그림 17은 64 분주기의 측정 결과로 패키징 외부에서 315MHz 주파수를 입력해서 출력 주파수는 4.92MHz가 출력되는 것을 확인하였다.

두 번째로 측정된 것은 PFD이다. PFD의 동작 특성을 확인하기 위해 칩 설계 시 테스트용을 추가적으로 제작하였으며, 그림 18에서 보는 것과 같이 입력 신호에 따라

서 위상 차이가 검출되는 것을 확인하였다.

세 번째로 VCO의 동작 주파수 및 이득 특성을 측정하였다. 본 논문에서 VCO는 버렉터 बैं크와 VCO 주파수 교정 블록을 추가함으로써, VCO 이득 저하를 개선하고 이득 간격을 일정하게 유지할 수 있는 구조로 제작하였다. 그림 19는 64-분주를 통과한 VCO 출력을 측정하는 것으로, 출력 주파수가 20.35MHz로 측정되었고, 세 번째 측정으로 64-분주기 가 정상적으로 동작하는 것을 고려해



그림 18. PFD 측정 결과
Fig. 18. PFD measurement result.

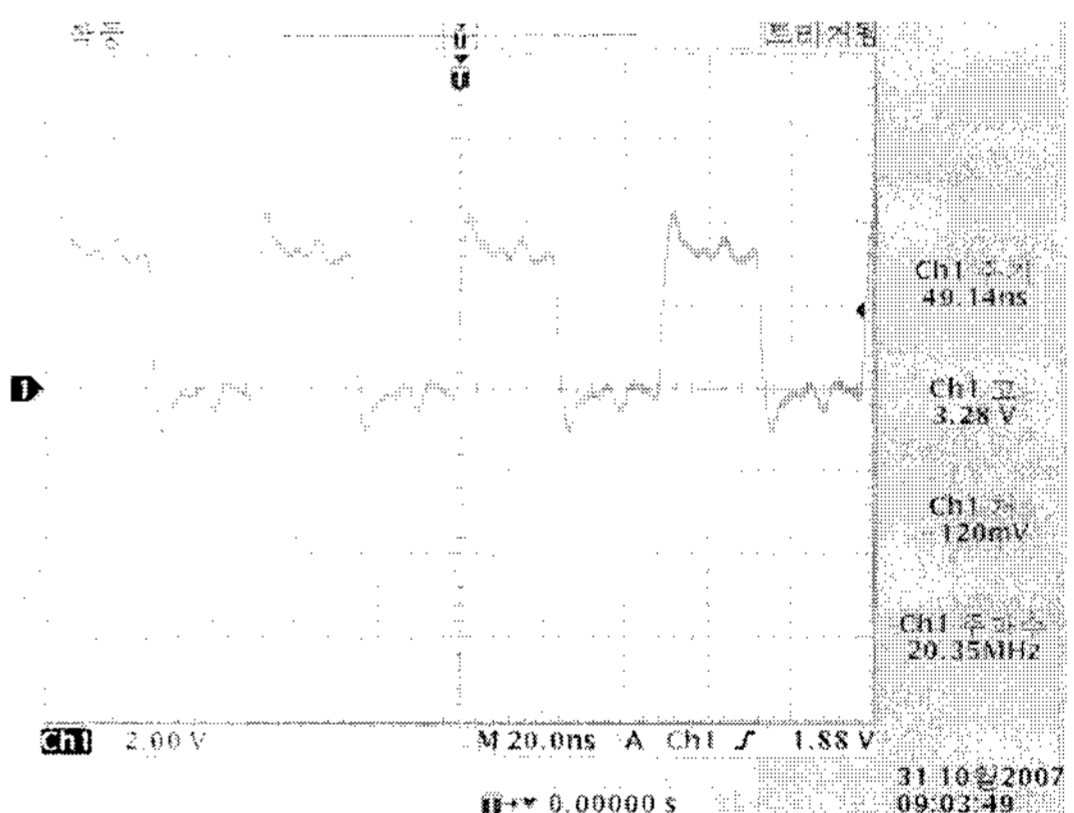


그림 19. 오실로스코프를 이용한 VCO 측정 결과
Fig. 19. VCO measurement result using oscilloscope.

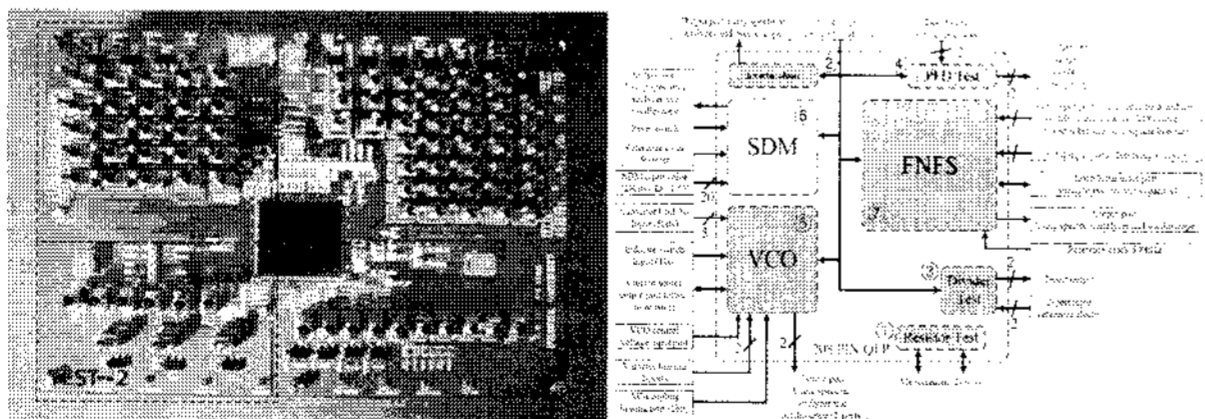


그림 16. 테스트 보드 및 측정 계획
Fig. 16. Test board and measurement plan.

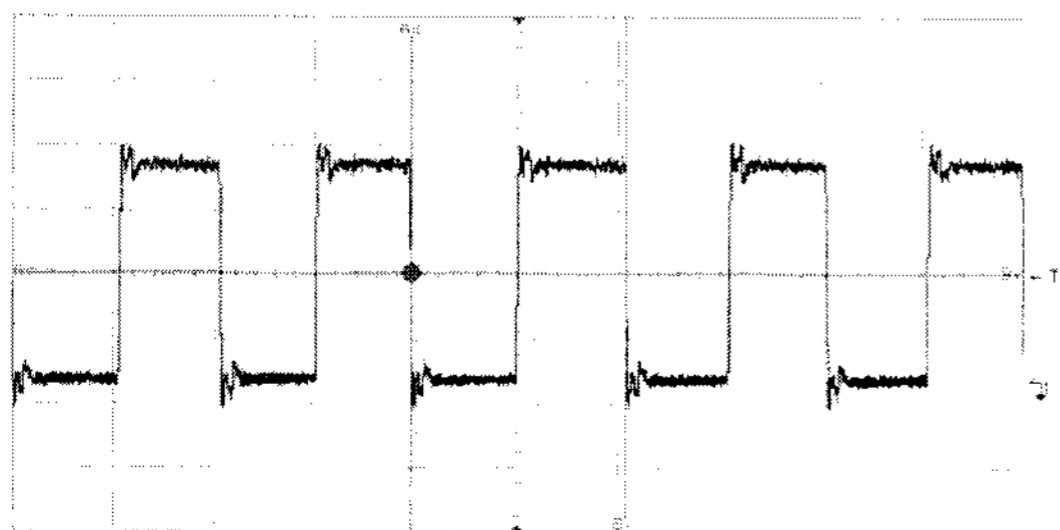


그림 17. 64-분주기 측정 결과
Fig. 17. 64-divider measurement results.

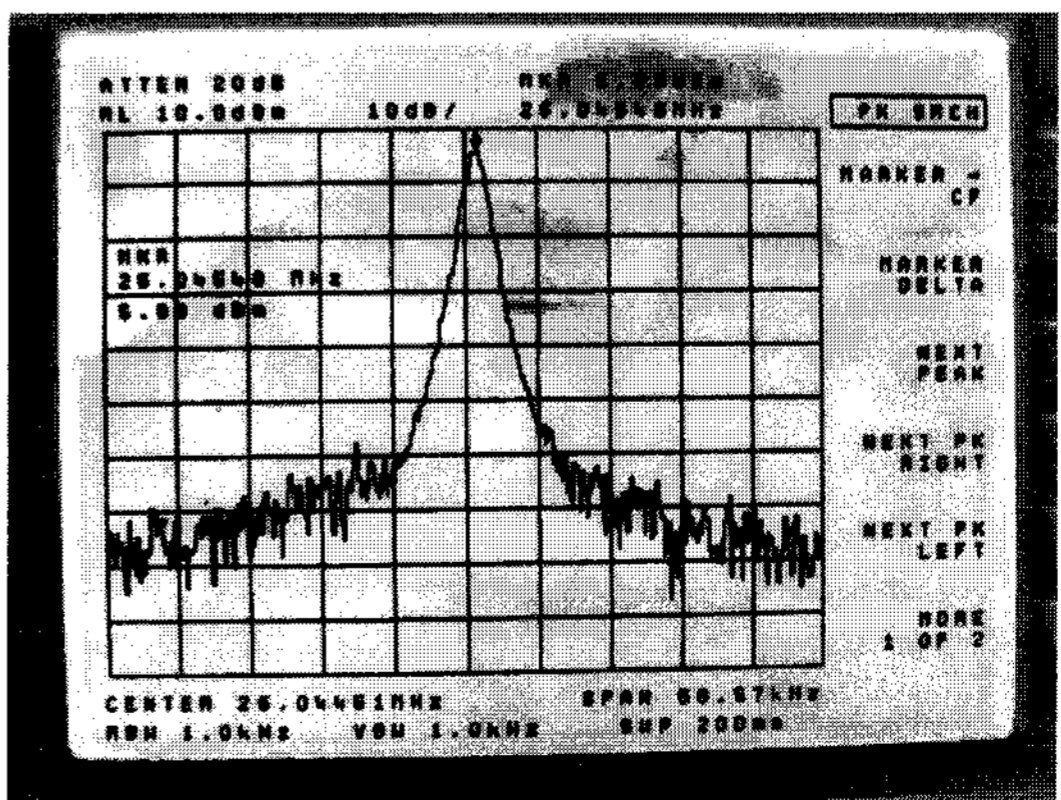


그림 20. 스펙트럼 분석기를 이용한 VCO 측정 결과
Fig. 20. VCO measurement result using spectrum analyzer.

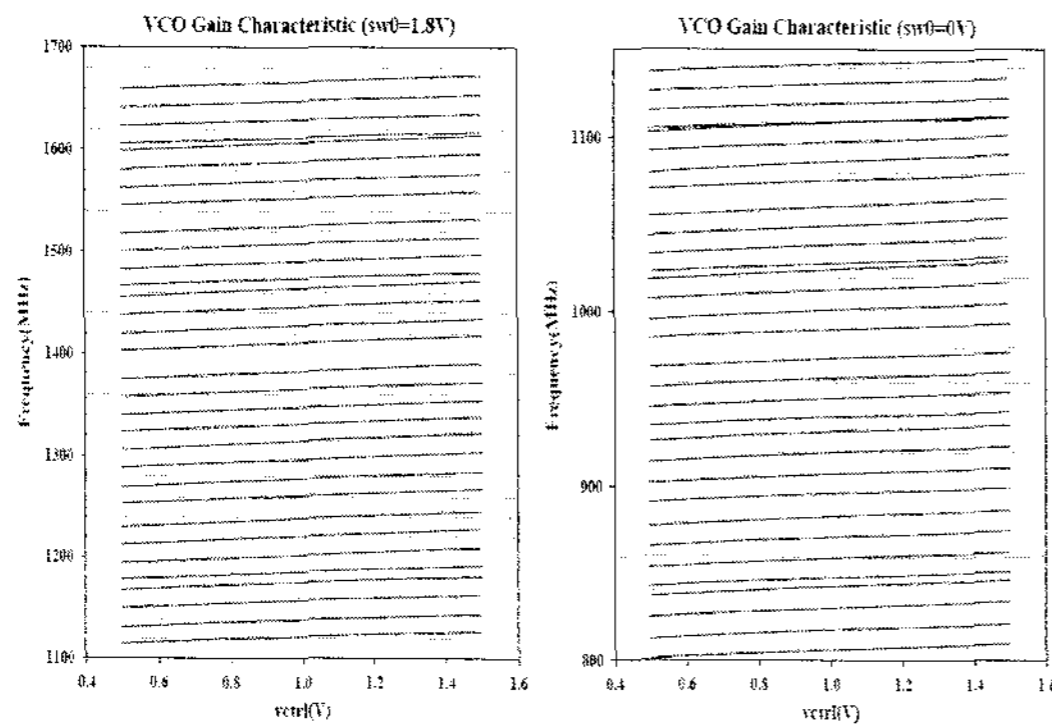


그림 21. 측정된 VCO 이득 특성
Fig. 21. Measurement results of VCO gain characteristics.

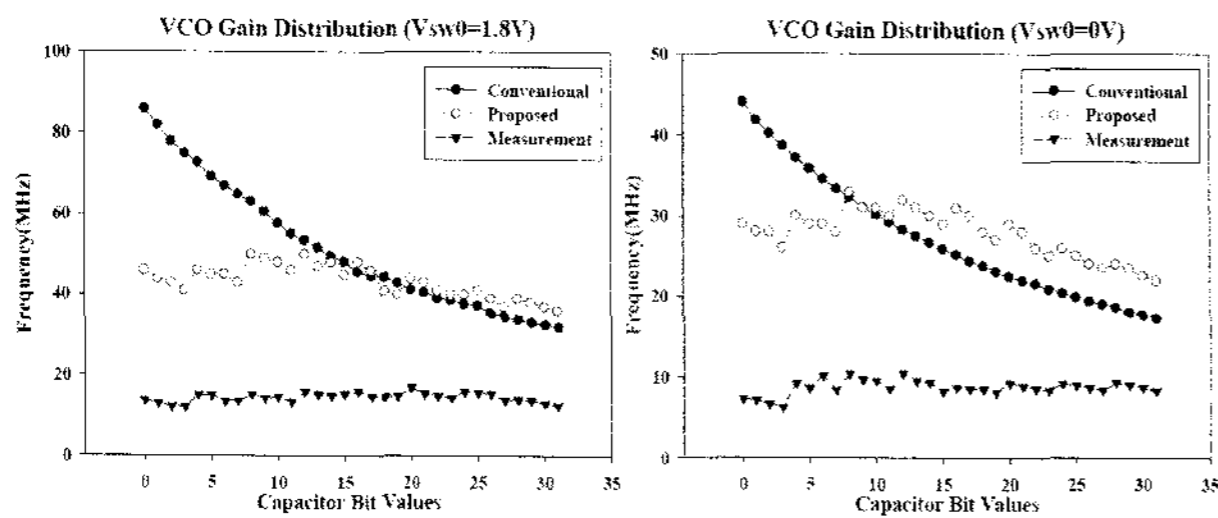


그림 22. 모의실험과 측정 결과를 이용한 VCO 이득 분포
Fig. 22. VCO gain distribution using simulation and measurement results.

서 VCO 출력 주파수는 1302.4MHz인 것을 알 수 있다. 그림 20은 스펙트럼 분석기를 이용해서 VCO출력 파형을 측정하는 것이다.

그림 21은 설계한 VCO 이득 특성의 측정 결과를 보여주고 있다. 그림에서 보는 것과 같이 스위치 버랙터 뱅크로 VCO 이득이 낮은 주파수 대역에서 감소하는 것이 개선된 것을 볼 수 있고, VCO 주파수 교정 블록으로 기존 다중밴드 VCO 이득곡선과 다르게 간격의 개선된 것을 볼 수 있다. 설계한 VCO의 출력주파수는 high frequency band가 1.13GHz~1.67GHz, low frequency band는 800MHz~1.14GHz의 주파수 대역을 지원할 수 있는 것으로 측정되었다. 측정 결과를 바탕으로 설계한 VCO는 공정 오차와 모의실험을 위한 소자 모델링 오차로 인해서 약 30% 정도의 출력 주파수 감소가 발생하였다.

그림 22는 일반적인 5비트 캐패시터 뱅크 구조를 가지는 VCO의 이득 특성과 캐패시터 뱅크 구조와 함께 제안하는 스위치 버랙터 뱅크를 포함한 VCO의 이득 특성의 모의실험 결과와 설계한 VCO의 특성을 비교한 것이다. 일반적인 캐패시터 뱅크 구조로만 이루어진 VCO의 이득 특성은 그림과 같이 캐패시터 뱅크에서 동작하는 캐패시터 수가 증가할수록 감소하는 것을 볼

표 3. 모의실험과 측정결과를 이용한 VCO 이득 특성 비교

Table 3. The Comparison of VCO gain characteristics using simulation and measurement results.

High Frequency Band (VSW0=1.8V)			
	Post simulation results		Proposed measurement
	Conventional	Proposed	
KVCO Max.	86.1 MHz/V	46.0 MHz/V	15.9 MHz/V
KVCO Min.	37.1 MHz/V	36.1 MHz/V	12.1 MHz/V
KVCO Variation	±39.8%	±12.1%	±13.6%
Low Frequency Band (VSW0=0V)			
KVCO Max.	44.2 MHz/V	29.2 MHz/V	10.4 MHz/V
KVCO Min.	17.3 MHz/V	22.3 MHz/V	6.2 MHz/V
KVCO Variation	±43.7%	±13.4%	±25.3%

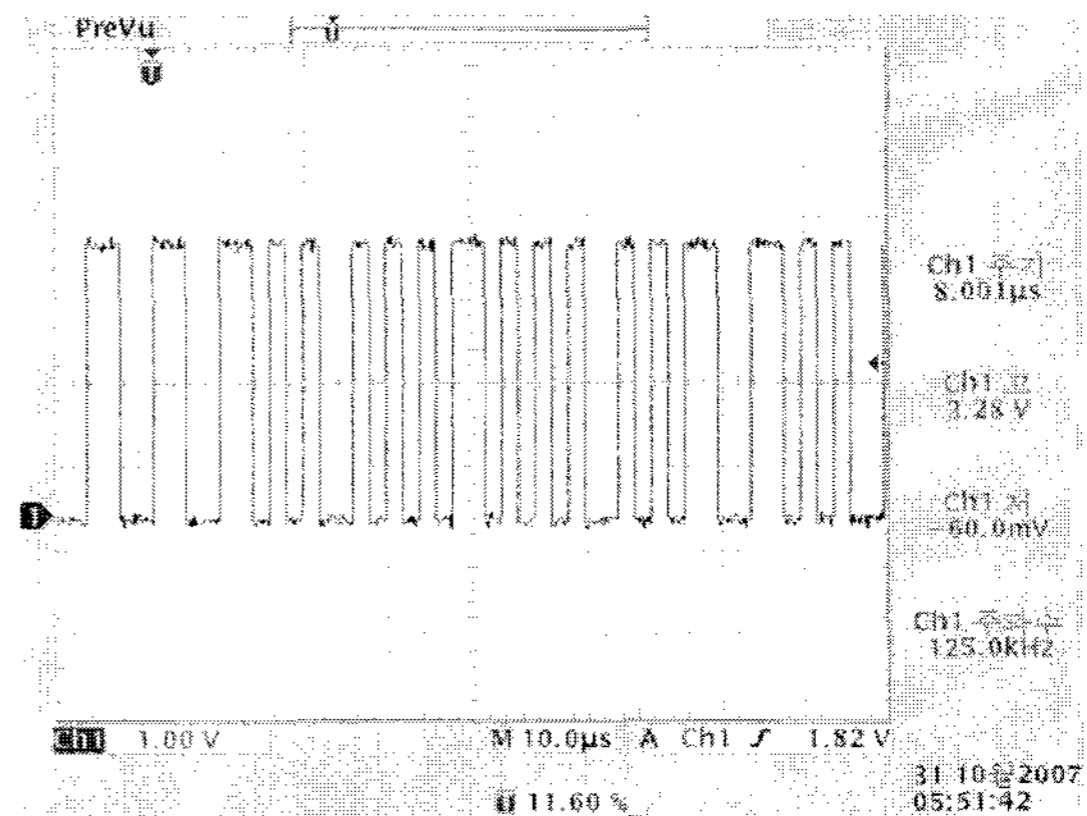


그림 23. 시그마-델타 변조기의 출력 결과
Fig. 23. Sigma-delta modulator measurement result.

수 있다. 이렇게 VCO 이득이 일반적인 구조와 제안한 구조에서 차이가 나는 것은 제안하는 버랙터 뱅크가 활성화되면서 저주파대역으로 갈수록 낮아지는 VCO 이득을 보상해주기 때문이다. 표 3에서 보는 것과 같이 일반적인 VCO의 이득 특성은 ±42% 정도의 변화를 보이지만, 제안하는 스위치 버랙터 뱅크 구조를 사용한 VCO의 이득 특성은 ±12%의 변화를 보이고, 측정 결과 시에는 ±20%의 변화를 보여서 제안한 스위치 버랙터 뱅크 구조가 일반적인 VCO 구조에 비해서 약 20%의 VCO 이득 변화가 개선되는 것을 알 수 있다.

그림 23은 시그마-델타 변조기의 측정 결과로 시간 축에서 출력되는 파형이 정상적으로 출력되는지를 확인하고, 출력되는 분수 분주비가 설계시와 동일하게 출력되는지를 확인하였다. 측정 결과 분수 분주비는 1% 미만의 오차율을 보였다.

그림 24는 주파수 축에서 모의실험 결과와 측정 결과를 비교한 것으로 측정 결과에서 보는 것과 같이 저주파에서 고주파로 잡음 형성이 되는 것을 확인할 수 있었다. 또한 모의실험 결과와 측정 결과에서 약 17.3MHz

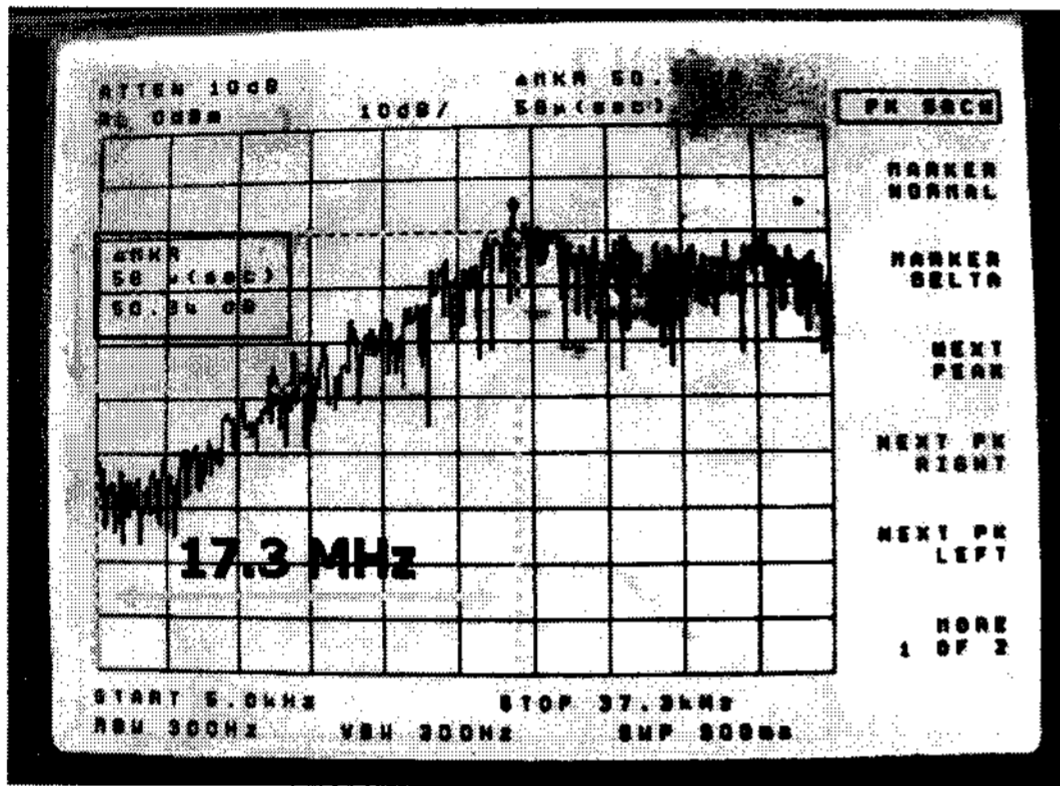
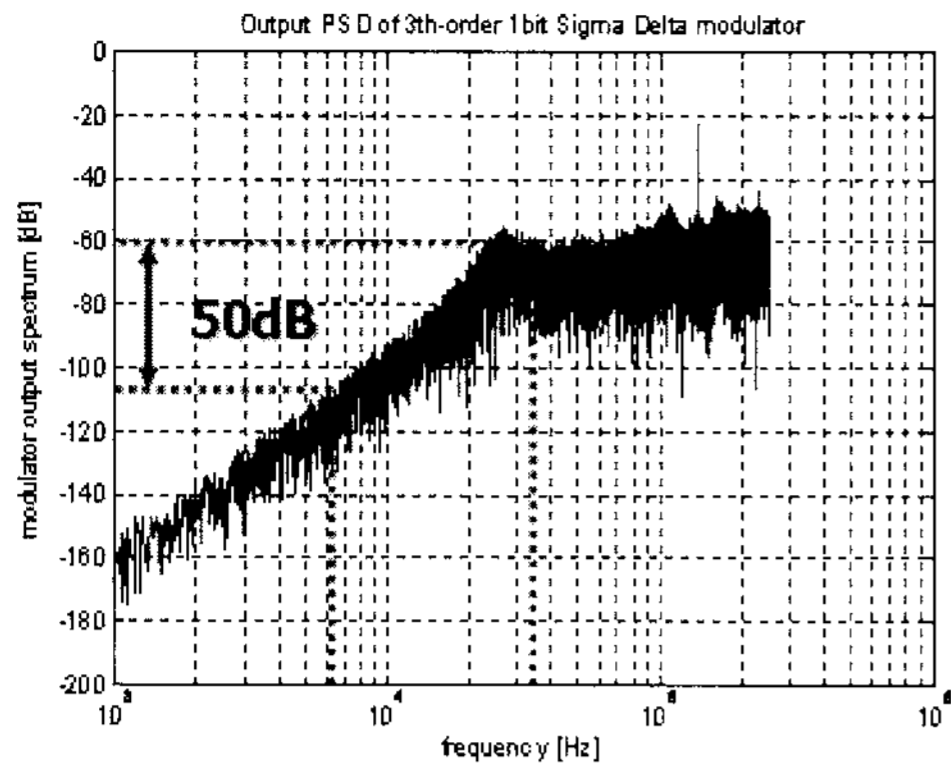


그림 24. 시그마-델타 변조기의 모의실험과 측정 결과 비교

Fig. 24. The Comparison of sigma-delta modulator simulation and measurement results.

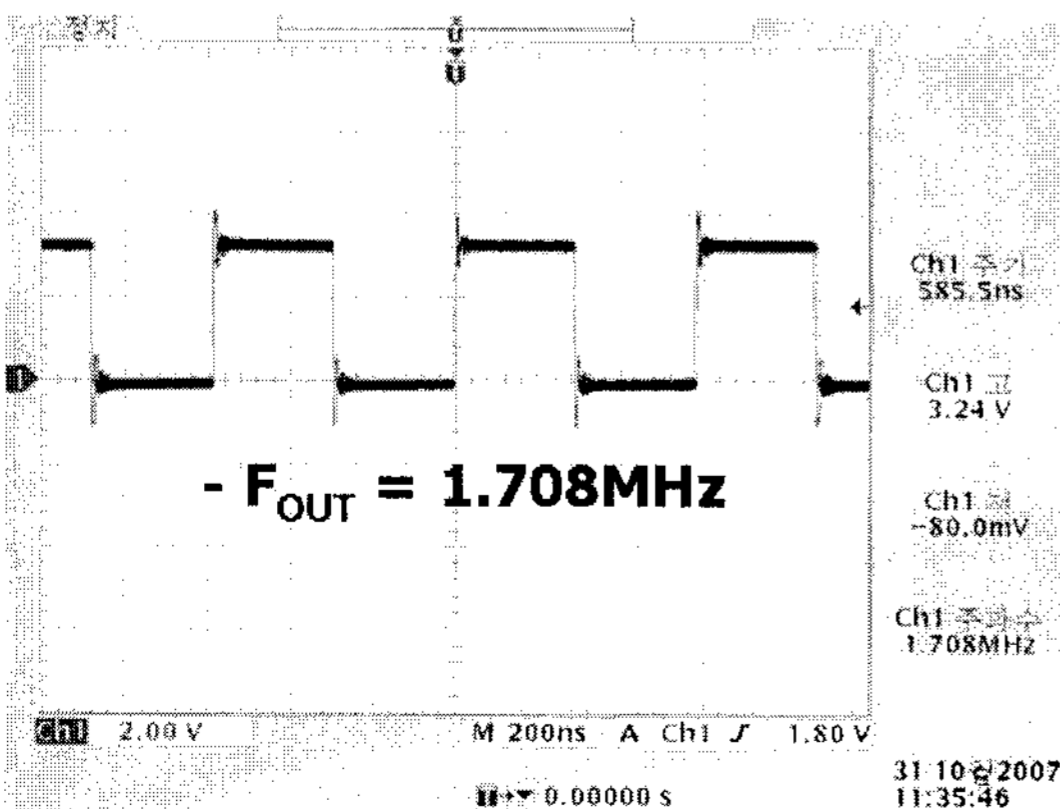
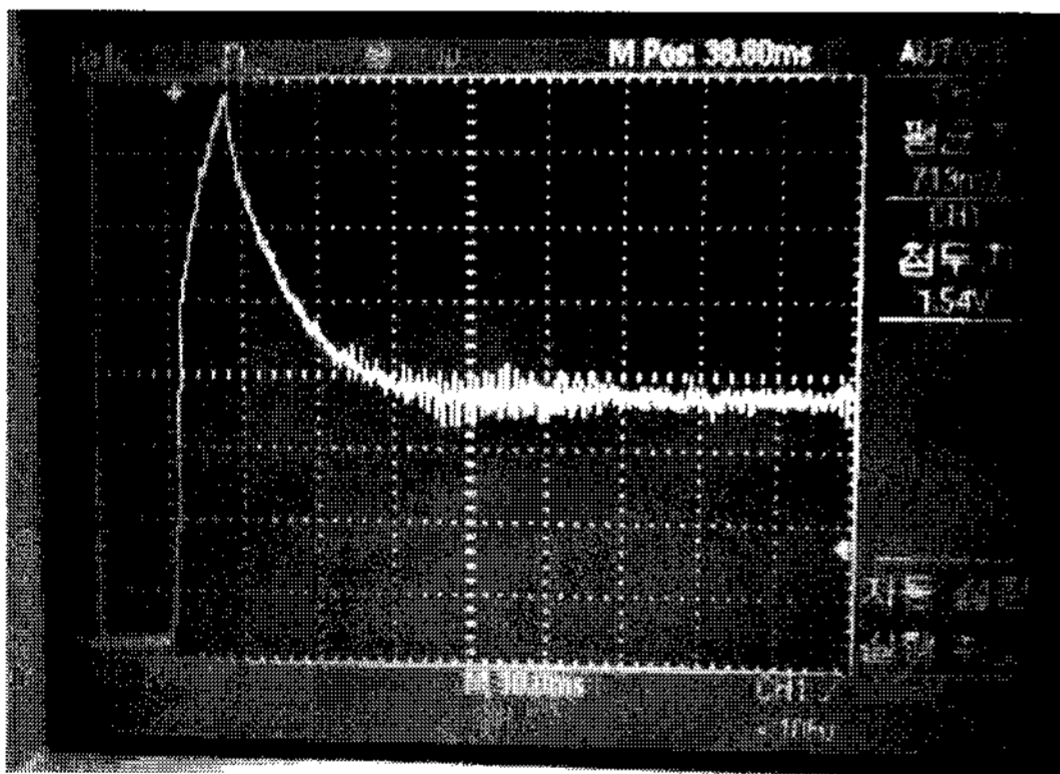


그림 25. 주파수 합성기의 출력 결과

Fig. 25. Frequency synthesizer measurement result.

주파수 간격에서 50dB의 동일한 잡음 형성 효과를 확인하였다.

그림 25는 주파수 합성기 전체 블록의 출력 결과를 보여주는 것으로, 설계한 주파수 합성기의 최종 출력에는 VCO와 동일하게 64-분주기가 추가되었다.

그림 25는 64-분주기를 통과한 주파수 합성기의 출력주파수로 측정 결과는 1.708MHz이다. 분주비를 감안하면 VCO 출력 주파수는 874.5MHz가 출력되는 것을 알 수 있다.

V. 결 론

Mobile-DTV를 위한 주파수 합성기를 1.8V 0.18 μ m CMOS 공정으로 설계하였다. VCO와 PFD, CP, LF는 Cadence Spectre를 이용하여 검증하였고, 분주기는 Spectre와 Matlab Simulink, ModelSim, HSPICE를 이용하여 검증하였다. CAD tool과 MPW는 IDEC의 지원을 받았다. VCO는 PMOS를 사용하여 위상잡음을 감소시켰고, 인덕터와 캐패시터, 제안하는 버렉터를 선택적으로 스위칭하는 기법을 적용하여 칩측정시 800MHz-1.67GHz 대역에서 동작 가능한 것을 확인하였다. 캐패시턴스의 선형 특성을 개선하는 버렉터 바이어스 개수를 2개로 최소화 하였고, 버렉터 스위칭 기법으로 VCO 이득을 일정하게 유지할 수 있었다. 추가적으로, VCO 주파수 교정 기법을 적용해서 일반적인 VCO 구조에 비해서 약 20% 이득 변화 개선 효과를 얻었고, VCO 이득의 간격도 유지하도록 설계하였다. 분수형 분주기는 서로 다른 방송 방식을 동시에 지원할 수 있도록 최적화하였고, 분수형 분주기의 시그마-델타 변조기는 제안하는 Simulink와 ModelSim을 이용한 통합 모의실험 기법을 적용해서 저주파에서 고주파로 노이즈 형성이 일어나는 것을 칩제작 이전 단계에서 확인이 가능하였다. 주파수 합성기의 전체 소모 전력은 1.8V 전원 전압에서 18mW이고, VCO의 주파수 영역은 최대 주파수의 약 52.1%가 되는 것을 확인하였다. 또한 VCO의 위상 잡음은 1GHz, 1.5GHz, 2GHz 출력 주파수에서 1MHz 오프셋에서 -100dBc/Hz 이하의 잡음 특성을 확인하였고, 모의실험 결과 고착시간은 약 140 μ s이다. 500kHz의 기준 주파수를 사용하여 모든 방식의 채널 지원이 가능하며, 앞으로 mobile-DTV 뿐만 아니라 멀티미디어 시스템 등에서 그 수요가 크게 증가할 것으로 여겨진다.

참 고 문 헌

[1] Patrick Antoine, et al., "A Direct-Conversion Receiver for DVB-H," *IEEE J. Solid-State Circuits*, vol. 40, pp. 2536-2546, Dec. 2006.

[2] Bonkee Kim et al., "A 100mW Dual-Band CMOS Mobile-TV Tuner IC for T-DMB/DAB and ISDB-T," *Solid-State Circuits, 2006 IEEE International Conference Digest of Technical Papers*, pp.2534-2543, Feb. 2006.

[3] Jan Craninckx, and Michel S. J. Steyaert, "A fully integrated CMOS DCS-1800 frequency synthesizer," *IEEE J. Solid-State Circuits*, vol. 33, pp. 2054-2065, Dec. 1998.

[4] Chi-Wa Lo and Howard Cam Luong, "A 1.5-V 900-MHz monolithic CMOS fast-switching frequency synthesizer for wireless applications," *IEEE J. Solid-State Circuits*, vol. 37, pp. 459-470, April 2002.

[5] Julien MIRA et al., "Distributed MOS Varactor Biasing for VCO Gain Equalization in 0.13 μ m CMOS Technology", *2004 IEEE RFIC Symposium*, pp. 131-134, June 2004.

저 자 소 개



문 제 철(정회원)
 2006년 숭실대학교 정보통신 전자공학부 학사 졸업.
 2008년 2월 숭실대학교 전자공학과 석사 졸업.
 2008년 2월~현재 (주)에프씨아이 설계팀 연구원

<주관심분야 : PLL, AFC, LC-VCO, 시그마-델타 변조기, CMOS RF 등>



문 용(정회원)
 1990년 서울대학교 전자공학과 학사 졸업.
 1992년 서울대학교 전자공학과 석사 졸업.
 1997년 서울대학교 전자공학과 박사 졸업.

1997년~1999년 LG반도체 선임연구원.
 1999년~현재 숭실대학교 정보통신전자공학부 부교수.

<주관심분야 : 음성신호 집적회로, 저전력회로, CMOS RF, UWB 등>