

논문 2008-45SD-5-8

# Micro Stacked Spiral Inductor를 이용한 6Gbps 1:2 Demultiplexer 설계

( A 6Gbps 1:2 Demultiplexer Design Using Micro Stacked Spiral inductor in CMOS Technology )

최정명\*, 범진욱\*\*

( Jungmyung Choi and Jinwook Burm )

## 요약

CMOS 0.18 $\mu\text{m}$  공정을 이용하여 1.8V supply voltage에서 6Gbps 이상의 처리속도를 가지는 1:2 demultiplexer(DEMUX)를 구현하였다. 높은 동작속도를 위하여 Current mode logic(CML)의 Flipflop을 사용하였으며 추가적인 동작속도 향상을 위하여 On-chip micro stacked spiral inductor( $10 \times 10 \mu\text{m}^2$ )를 사용하였다. 총 12개의 인덕터를 사용하여  $1200 \mu\text{m}^2$ 의 면적증가만으로 Inductive peaking의 효과를 나타낼 수 있었다. Chip의 측정은 wafer상태로 진행하였고 Micro stacked spiral inductor가 있는 1:2 demultiplexer와 그것이 없는 1:2 demultiplexer를 비교하여 측정하였다. 6Gbps에서 측정결과 Micro stacked spiral inductor를 1:2 demultiplexer가 inductor를 사용하지 않은 구조보다 Eye width가 약3%정도 증가하였고 또한 Jitter가 43%정도 감소하여 개선효과가 있음을 확인하였다. 소비전력은 76.8mW, 6Gbps에서의 Eye height는 180mV로 측정되었다.

## Abstract

A 6Gbps 1:2 demultiplexer(DEMUX) IC using 0.18 $\mu\text{m}$  CMOS was designed and fabricated. For high speed performance current mode logic(CML) flipflop was used and inductive peaking technology was used so as to obtain higher speed than conventional Current mode logic flipflop. On-chip spiral inductor was designed to maximize the inductive peaking effect using stack structure. Total twelve inductors of  $100 \mu\text{m}^2$  area increase was used. The measurement was processed on wafer and 1:2 demultiplexer with and without micro stacked spiral inductors were compared. For 6Gbps data rate measurement, eye width was improved 7.27% and Jitter was improved 43% respectively. Power consumption was 76.8mW and eye height was 180mV at 6Gbps

**Keywords :** Demultiplexer, Current mode logic(CML), Micro stacked spiral inductor

## I. 서론

High-speed data transport의 필요는 optical communication 기술의 발전을 가져왔다. 과거 optical communication 기술은 기간망의 연결 등에 사용되었으나, 기술의 발달로 근거리 통신 등에서도 대용량의 데이터를 고속으로 처리해야 할 필요성이 요구되며 또

한 저 전력 동작 및 저 면적이 요구됨에 따라 이를 위해 on-chip으로의 구현이 필요하다.

이러한 고속 동작을 위해 구조를 current mode logic(CML) flipflop등이 제안되었으며 current mode logic의 주파수 특성을 향상시키기 위해 inductive peaking technique,  $f_T$  doublers, capacitive degeneration 등의 기술이 사용된다<sup>[1]</sup>.

이중에 Inductive peaking은 추가적인 전력소모 및 잡음 특성의 저하 없이 주파수 특성을 높일 수 있는 방법이지만 On-chip으로 구현 시 면적을 많이 차지하는 단점이 있다. 또한 일반적인 CMOS 공정에서 구현된 inductor는 Circuit simulation에서 사용할 정확한

\* 학생회원, \*\* 정회원, 서강대학교 전자공학과  
(Dept. of Electronic Eng. Sogang University)

※ 본 연구는 한국과학재단 특정기초 연구(R01-2006-000-10596-0) 지원으로 수행되었으며, 설계소프트웨어는 IDEC를 통해 지원되었습니다.

접수일자: 2008년2월18일, 수정완료일: 2008년4월22일

modeling이 어려운 단점이 있다.

본 논문에서는 1:2 demultiplexer의 주파수 특성을 개선시키기 위해서 inductive peaking technology를 사용하면서 inductor의 면적을 최소화하기 위해 stack 구조의 inductor를 사용하였다. 이를 확인하기 위하여 Micro stacked spiral inductor<sup>[2]</sup>를 설계하고 구현하였으며 이를 1:2 demultiplexer에 적용하여 기존의 Current mode logic을 사용한 1:2 demultiplexer와의 eye diagram을 비교하였다.

본 논문의 II장에서는 설계된 demultiplexer의 전체 구조와 동작원리를 살펴보고 inductive peaking의 원리 및 inductive peaking에 사용된 inductor의 simulation modeling을 보일 것이다. III장에서는 inductor의 측정 및 modeling과 측정된 inductor를 사용한 demultiplexer의 측정에 대해 언급할 것이다. 결론에서는 차후 연구 과정을 제시할 예정이다.

## II. Demultiplexer와 inductor 설계

### 1. 전체 block diagram 과 동작원리

그림 1은 1:2 demultiplexer를 블록도로 간단히 나타낸 그림이다<sup>[3]</sup>. 입력된 직렬 데이터를 2개의 병렬 데이터로 나누어 주기위해 데이터 선택을 함에 있어서 master-slave type의 D-flipflop이 사용된다. 이때 clock의 rising edge와 falling edge에서 각각 입력된 직렬 데이터를 선택할 수 있도록 두 D-flipflop의 clock입력의 위상차를 180°로 유지하도록 구성된다.

Input/output단의 buffer는 50Ω matching을 위하여 load를 50Ω 저항 load로 구성하였다.

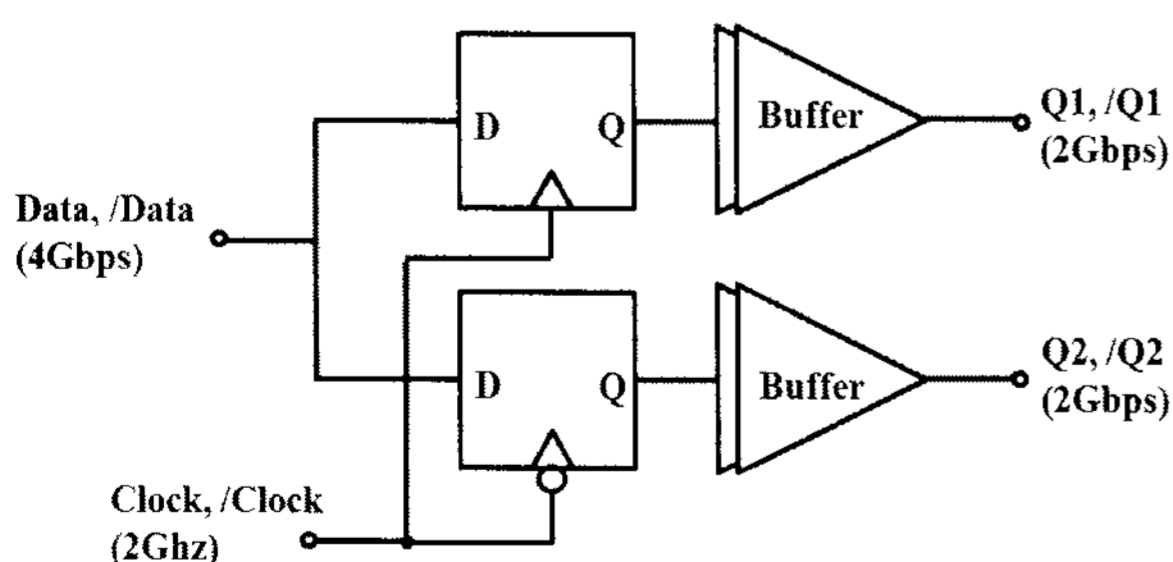


그림 1. 1:2 demultiplexer 블록 다이어그램  
Fig. 1. 1:2 demultiplexer block diagram.

### 가. Conventional currnet mode logic(CML) latch

High speed demultiplexer의 구현을 위해서는 high speed flipflop이 필요하다. 이러한 flipflop은 latch로 구

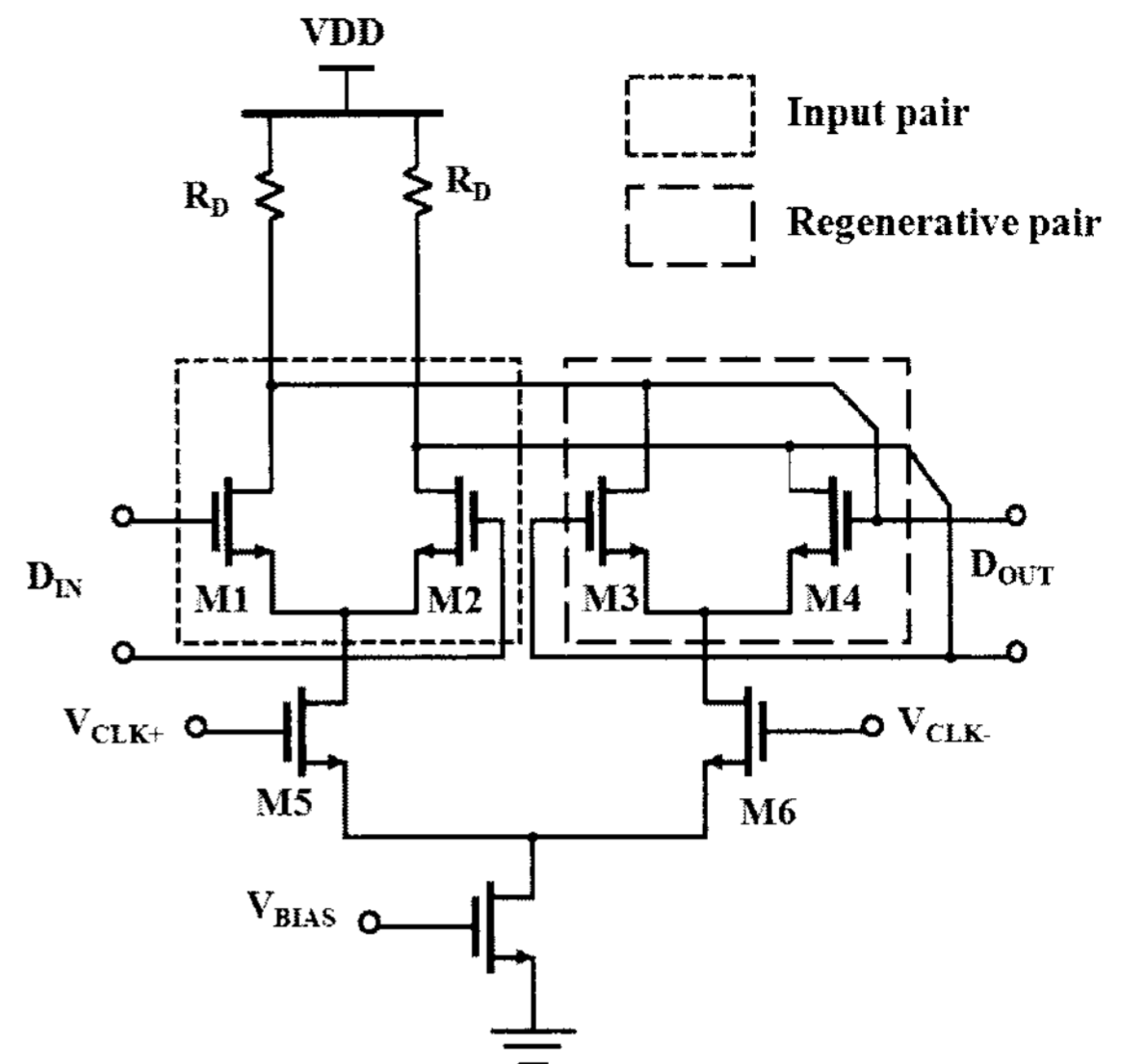


그림 2. Current mode logic latch  
Fig. 2. Current mode logic latch.

성되므로 high speed latch가 필요하게 되며 이는 그림 2와 같은 Current mode logic latch가 많이 사용된다<sup>[4]</sup>.

Current mode logic latch는 input pair인 M1,M2와 regenerative pair인 M3,M4로 구성된다. V\_CLK+ 입력이 high가 되면 tail current가 M5로 흐르게 되며 이때 입력된 데이터에 따라 출력이 나오게 된다. V\_CLK+가 low가 되면 V\_CLK-는 high가 되며 이때에 tail current는 M6로 흐르게 되어 regenerative pair가 동작하게 되며 input pair는 동작하지 않으므로 더 이상 입력을 받아들이지 않고 regenerative pair가 동작하기 이전 상태의 출력을 V\_CLK-인 동안 유지하게 된다.

이러한 Current mode logic의 동작속도는 전류의 양에 의해 결정되며, 전류의 양의 조절은 transistor의 width크기에 의해 결정된다.

### 나. Proposed Current mode logic(CML) latch

전류의 증가는 출력의 falling time을 감소시키지만 transistor의 width가 커짐에 따라 transistor의 parasitic capacitance값이 증가하여 rising time을 증가시키게 된다.

이러한 Current mode logic latch에서의 한계를 보완하기 위해서 본 논문에서는 그림 3과 같이 회로의 resistor load에 Micro stacked spiral inductor를 추가함으로써 면적 증가를 최소화 하면서 current mode logic의 단점인 rising time증가를 줄여줌으로서 동작속도의 향상을 가져왔다. 이렇게 사용된 inductor는 resistor branch로 흐르는 전류에 delay를 줌으로서 latch다음

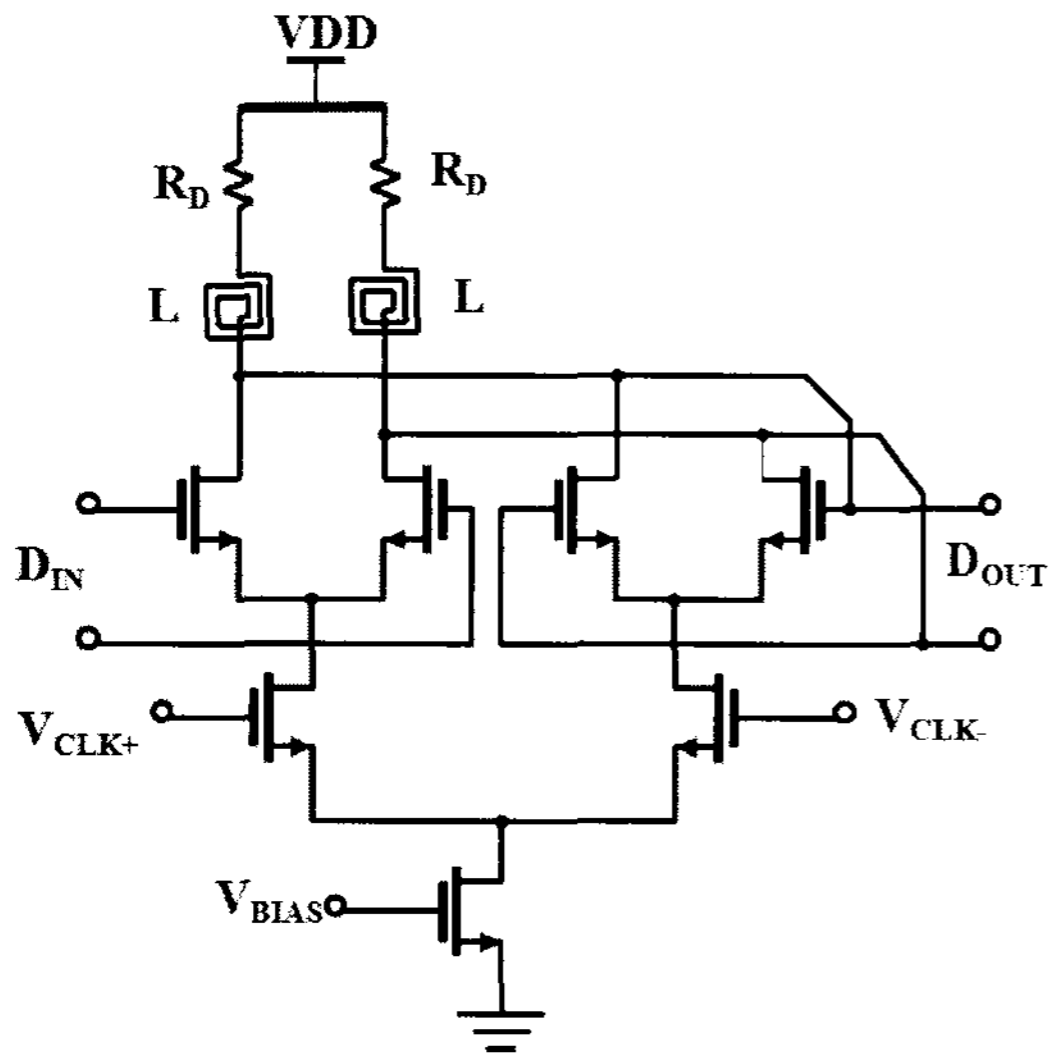


그림 3. Micro stacked spiral inductor를 사용한 latch  
Fig. 3. Latch with micro stacked spiral inductor.

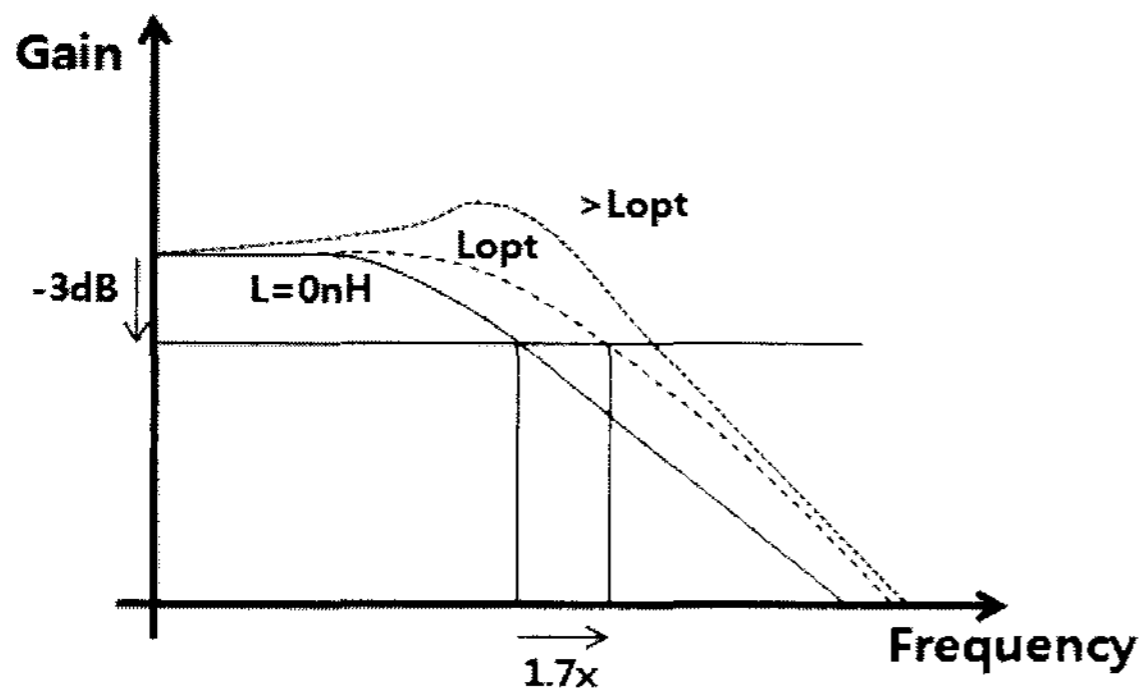


그림 4. Inductive peaking 을 사용한  $f_{3dB}$  확장  
Fig. 4. Inductive peaking for  $f_{3dB}$  extension.

단의 capacitor를 더 많은 전류가 충전하게 함으로서 rising time을 줄이는 역할을 한다<sup>[5]</sup>. 이를 주파수 축으로 바라보면 그림 4와 같이 최적화된 inductance를 선택함으로써 inductor를 사용하지 않은 경우보다  $f_{3dB}$ 가 약 1.7배 정도 증가함을 확인 할 수 있다.<sup>[6]</sup>

## 2. Design micro stacked spiral inductor

### 가. Micro stacked spiral inductor and modeling

On-chip에서 inductor는 제한된 면적 내에서 최대한의 inductance를 얻기 위해 그림 5와 같은 나선형 구조로 구현된다<sup>[7]</sup>.

앞선 나선형 구조를 이용하여도 transistor에 비하면 큰 면적을 차지하기 때문에 작은 면적에서도 큰 inductance를 얻고자 그림 6와 같이 CMOS공정에서 지원되는 다층 금속선을 이용하여 설계하였다.

이러한 다층 금속선을 사용함으로써 금속선의 길이

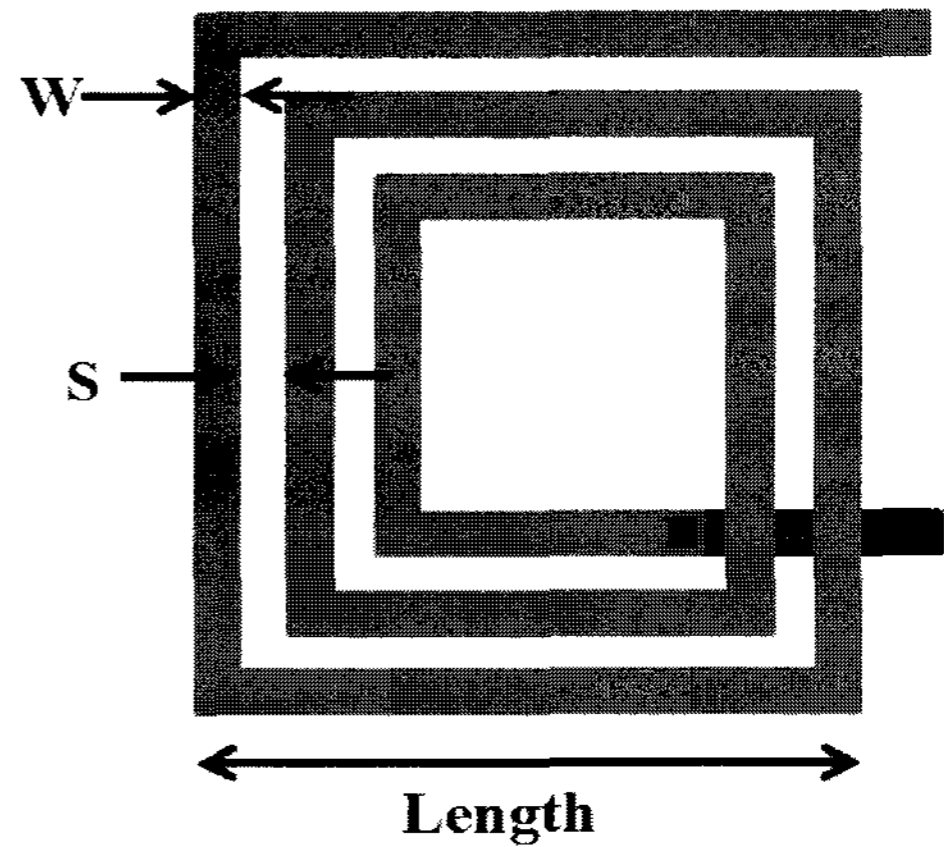


그림 5. Chip에서 구현된 나선형 인덕터  
Fig. 5. On-chip spiral inductor.

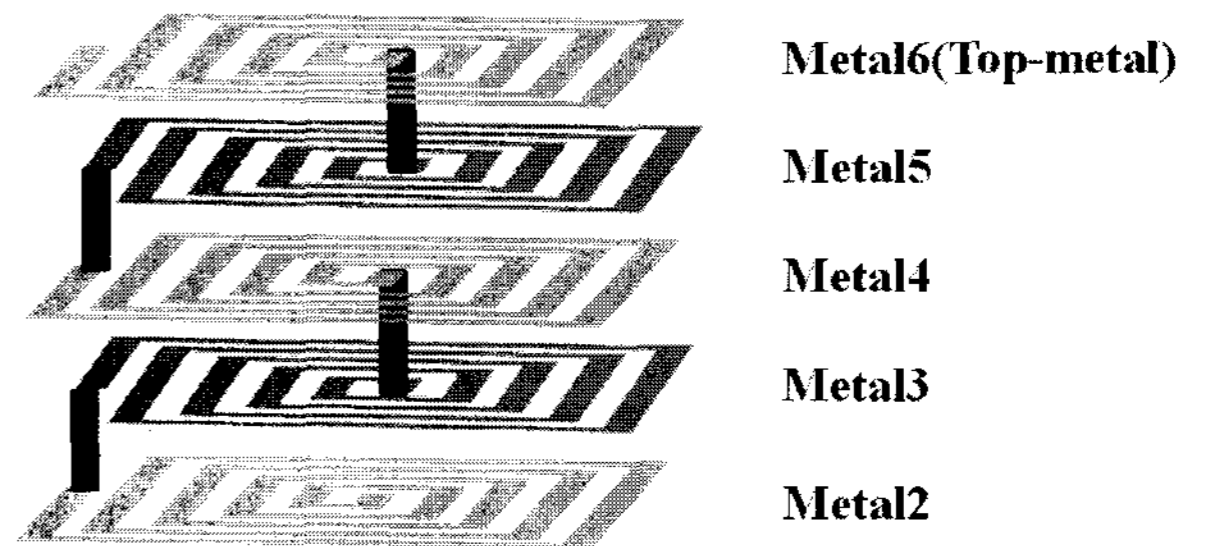


그림 6. 다층 금속선을 사용한 나선형 인덕터  
Fig. 6. On-chip spiral inductor using multi metal line.

표 1. 설계된 나선형 인덕터의 상세스펙  
Table 1. The Spec. of designed spiral inductor.

	Inductor#1	Inductor#2	Inductor#3
area	100 $\mu\text{m}^2$	100 $\mu\text{m}^2$	100 $\mu\text{m}^2$
W	1 $\mu\text{m}$	0.5 $\mu\text{m}$	1 $\mu\text{m}$
S	0.5 $\mu\text{m}$	0.5 $\mu\text{m}$	0.5 $\mu\text{m}$
turn(감은 수)	2.5	4.5	2.5
metal level	m2m3m4m5m6	m2m3m4m5m6	m4m5m6

에 비례하는 inductance의 특성상 단층의 금속선을 사용한 inductor에 비해 큰 inductance를 얻을 수 있으므로 동일 inductance를 얻고자 할 때 단층의 금속선을 사용한 inductor에 비하여 다층의 금속선을 사용한 inductor가 더 작은 면적을 차지하게 된다.

Inductor의 설계는 표 1과 같이 3개의 spec. 으로 구현하였다. 각 inductor는 면적과 금속선과 금속선 사이의 간격(S)을 동일하게 설계하였다. 금속선의 선폭(W)은 Inductor#2만을 0.5 $\mu\text{m}$ 로 설계하였으며 선폭을 줄이게 되면 resistance가 증가하지만 여분의 면적으로 감은 수를 늘려주어 inductance를 증가시킬 수 있다.

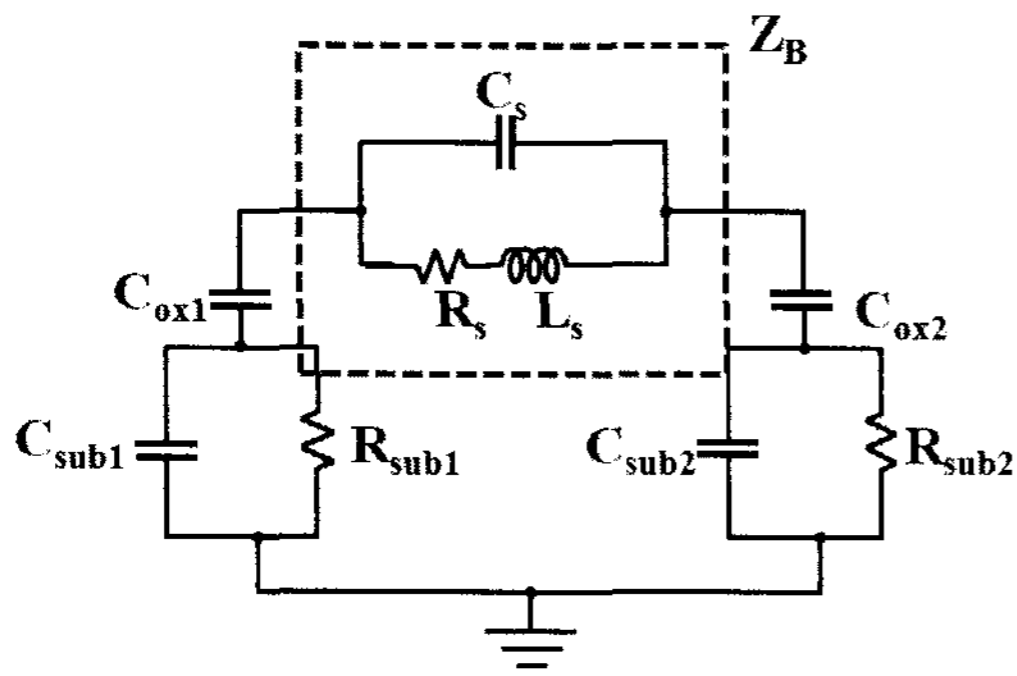


그림 7. 나선형 인덕터의  $\pi$ -model 등가회로  
Fig. 7.  $\pi$ -model equivalent circuit of spiral inductor.

표 2. Simulation을 통한 inductor들의  $L_s$ ,  $R_s$  값  
Table 2. The measurement  $L_s$ ,  $R_s$  of inductors in simulation.

freq=2GHz	Inductor#1	Inductor#2	Inductor#3
$L_s$	0.8579nH	2.407nH	0.3187nH
$R_s$	5.169 $\Omega$	16.449 $\Omega$	2.456 $\Omega$
Q	2.607	2.299	2.039

Circuit simulation인 Cadence사의 Spectre tool에서 inductor를 사용한 회로의 simulation을 하기 위해서는 그림 7과 같이 설계된 inductor의 등가회로 모델이 필요하다. 2.5D EM simulator를 이용하여 각각의 S-parameter를 구한 후 Y-parameter로 변환하여 식(1)과 같이 구성할 수 있다<sup>[8]</sup>.

$$Z_B = \frac{-1}{Y(1,2)} \quad (1)$$

식(1)에 의하여 구하여진  $Z_B$ 는 식(2)와 같은 관계식으로 도출되며 이때의 series capacitance  $C_s$ 는  $R_s$ 와  $L_s$ 에 비하여 작은 값을 가지므로 식(3)과 같이  $R_s$ 와  $L_s$ 에 관한 식으로 근사화 할 수 있다. 결국  $Z_B$ 의 real 값과 imaginary 값을 각각 취함으로써  $R_s$ 와  $L_s$ 을 구할 수 있다.

$$Z_B = \frac{R_s + j\omega L_s}{1 + j\omega L_s (R_s + j\omega L_s)} \quad (2)$$

$$Z_B \cong R_s + j\omega L_s \quad (3)$$

2.5D EM simulator를 사용한 simulation을 통하여 2GHz 대역에서 modeling된 micro stacked spiral inductor의  $L_s$  및  $R_s$ 의 값은 표 2와 같다. 이러한 simulation값을 기초로 하여 실제 구현된 inductor의 측정을 진행하였다.

### III. 제작 및 측정

#### 1. Micro stacked spiral inductor의 제작 및 측정

Inductor의 제작은 Magnachip CMOS 0.18 $\mu$ m 공정을 이용하였고 그림 8과 같은 pattern으로 layout을 하였으며 inductor의 측정을 위한 환경을 그림 9과 같이 구성하였다. S-parameter의 측정을 위하여 Anitsu사의 MS4624D Vector Network(10MHz~9GHz)을 사용하였으며 Calibration은 Cascade사의 impedance standard substrate를 이용하여 하였다.

측정은 wafer상에서 직접 probe를 사용하는 방법으로 진행 하였는데 이때 측정을 위한 pad의 크기가 6400  $\mu$ m<sup>2</sup> 으로 micro stacked spiral inductor의 크기(100 $\mu$ m<sup>2</sup>)에 비해 64배가 크기 때문에 pad가 상대적으로 큰 capacitance를 갖게 된다. 또한 pad와 inductor를 연결시켜주는 금속선 또한 약간의 inductance와 resistance를 가지므로 pad와 금속선에 대한 parameter값을 inductor의 modeling에서 제거해주는 de-embedding이 필요하다. de-embedding은 그림 10와 같이 pad 부분과 금속선부분을 직접 modeling하여 inductor의 modeling시에 추가하는 방법을 사용하였다. pad 부분은 그림 8에서의 open pattern을 측정한 S-parameter를 이용하여 modeling하였으며 금속선 부분은 short pattern을 이용하여 modeling하였다.

이러한 modeling은 측정된 S-parameter를 각각의

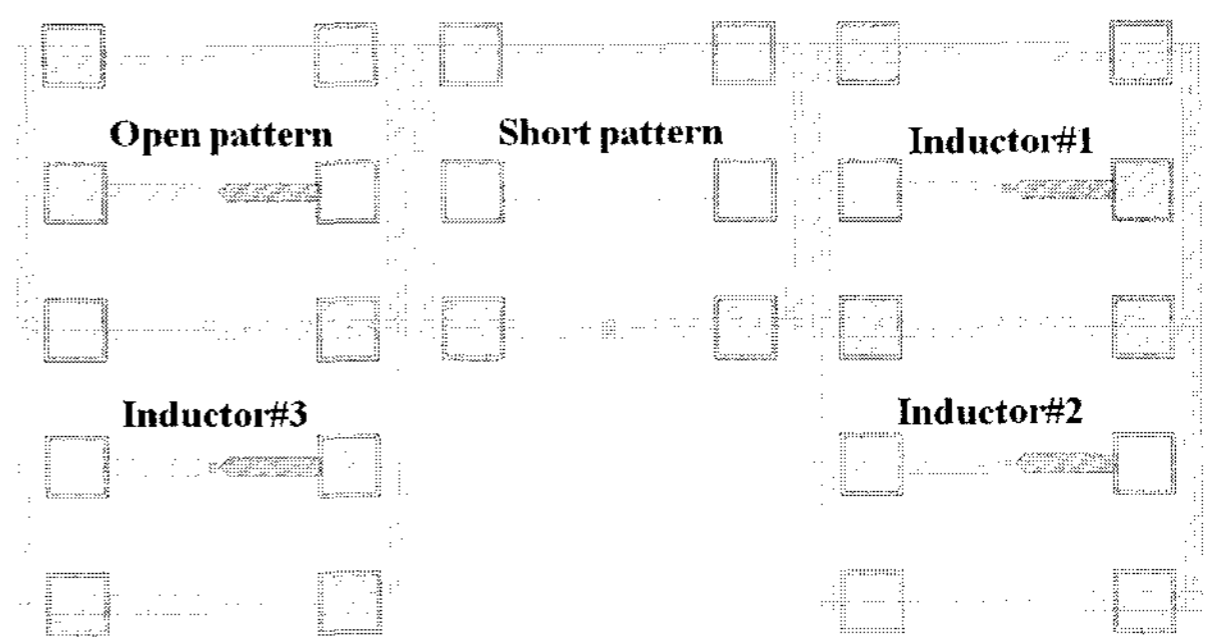


그림 8. 측정을 위한 inductors layout pattern  
Fig. 8. Inductors layout pattern for measurement.

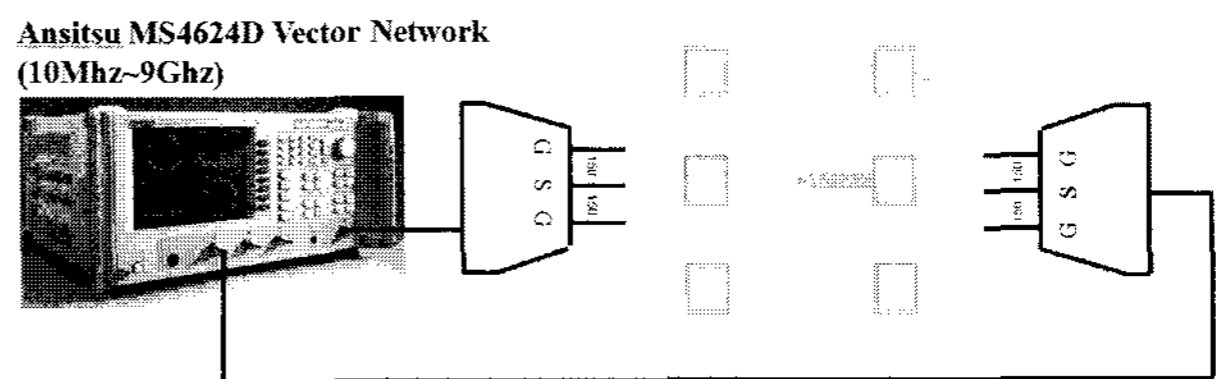


그림 9. Inductor 측정을 위한 환경  
Fig. 9. The environment of inductor measurement.

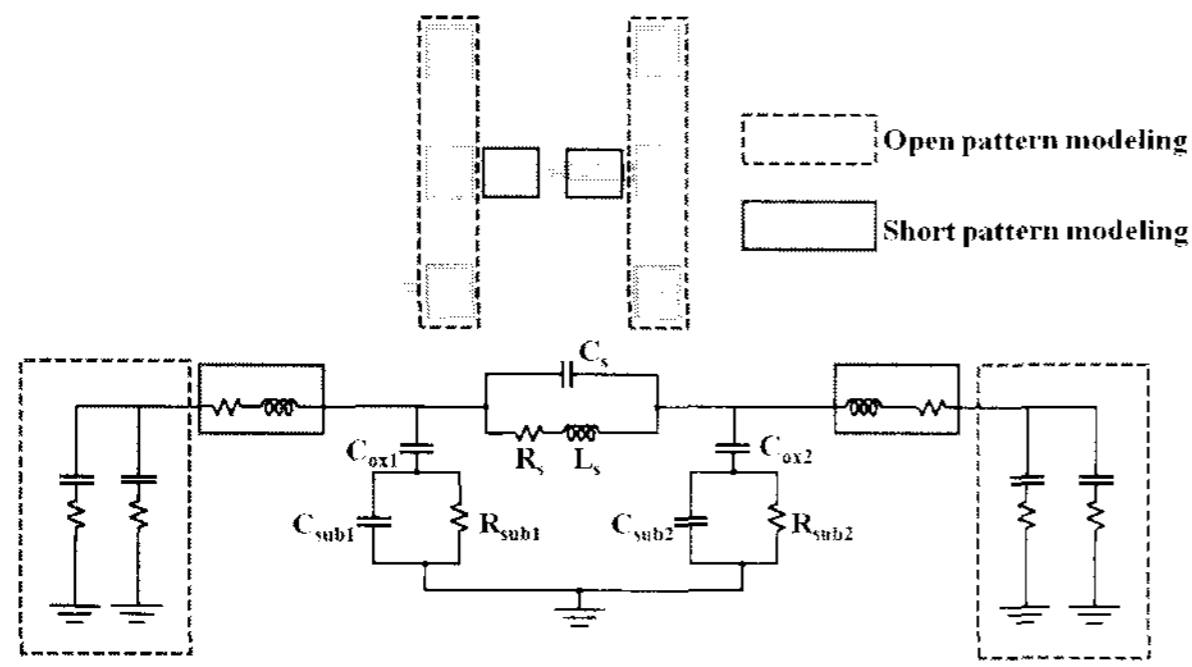


그림 10. inductor의 de-embedding modeling  
Fig. 10. De-embedding modeling of inductor.

parameter들로 구성된  $\pi$ -model을 통한 S-parameter와 10MHz~9GHz의 범위에서 비교하는 방법으로 진행하였으며 ADS simulator의 Optimizer function을 사용하여  $\pi$ -model의 parameter값의 범위를 점차적으로 줄여감으로서 식 (4)와 같이 error의 값이 0.01에 수렴하여 더 이상 변하지 않는  $\pi$ -model의 parameter 값을 각각 구하였다.

$$Error = | S_{measurement} - S_{modeling} |^2 < 0.01 \quad (4)$$

Inductor를 modeling 함에 있어서  $\pi$ -model의 parameter 초기 값을 여러 가지 조건으로 주어 modeling 한 결과 각각의 parameter값은 표 3과 같이 동일한 결과를 얻을 수 있었다. 측정결과 spiral inductor의 크기를  $100\mu\text{m}^2$ 으로 줄이면서 series resistance가 매우 크게 증가함을 확인 할 수 있었으며 이러한 resistance의 증가는 Q값을 감소시키게 된다. Voltage-controlled oscillator(VCO)에 사용되는 inductor는 Q값이 VCO의 성능에 영향을 미치게 되지만 current mode logic latch의 load로 사용되는 inductor의 경우에는 늘어난 resistance만큼 사용되는 resistor load에서 빼주면 되므로 이러한 series resistance의 증가가 latch의 성능에 영향을 주지 않는다. 또한 사용되는

표 3. 측정을 통한  $\pi$ -model parameter값  
Table 3. The measurement result of  $\pi$ -model parameter.

freq=2GHz	Inductor#1	Inductor#2	Inductor#3
Ls(pH)	716.61	1445.81	208.12
Rs(Ohm)	43.5	91.3	19.8
Cs(fF)	18.0282	16.0364	9.43
Rsub1( $\Omega$ )	3855.22	8575.02	8689.23
Rsub2( $\Omega$ )	4996.29	7683.68	4796.68
Cox1(fF)	7.0162	19.5703	4.6751
Cox2(fF)	6.6706	14.6359	5.1934

metal이 많아짐에 따라 simulation과의 오차가 커지는데 이는 공정 parameter의 변화율과 2.5D EM simulator에서 3D구조를 simulation 하면서 생기는 오차로 생각되어지며 1:2 demultiplexer의 설계는 동일 공정에서의 측정된 inductor의 parameter값을 기초로 설계를 하였다.

### 2. 1:2 demultiplexer의 제작 및 측정

앞서 측정된 inductor의 parameter값을 이용한  $\pi$ -model을 적용하여 Cadence사의 spectre tool에서 1:2 demultiplexer를 설계 및 제작을 진행하였으며 CMOS 0.18 $\mu\text{m}$  공정을 사용하였다.

측정은 그림 11과 같은 환경에서 진행하였으며 test circuit은 그림 12와 같이 wafer상태에서 probe를 사용하여 측정하였다. 1:2 demultiplexer의 data input은 Anritsu사의 digital data analyzer를 사용하여 pseudo

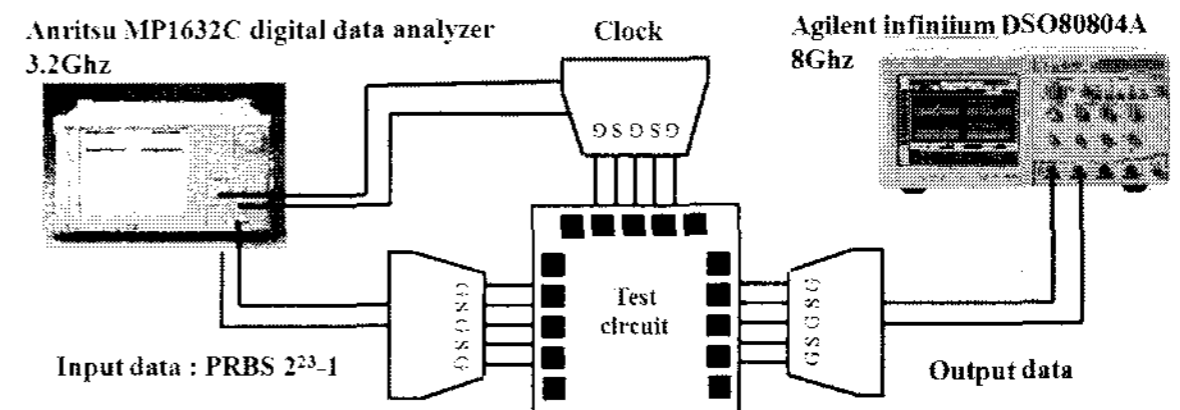


그림 11. 1:2 DEMUX의 측정 환경  
Fig. 11. The environment of 1:2 DEMUX measurement.

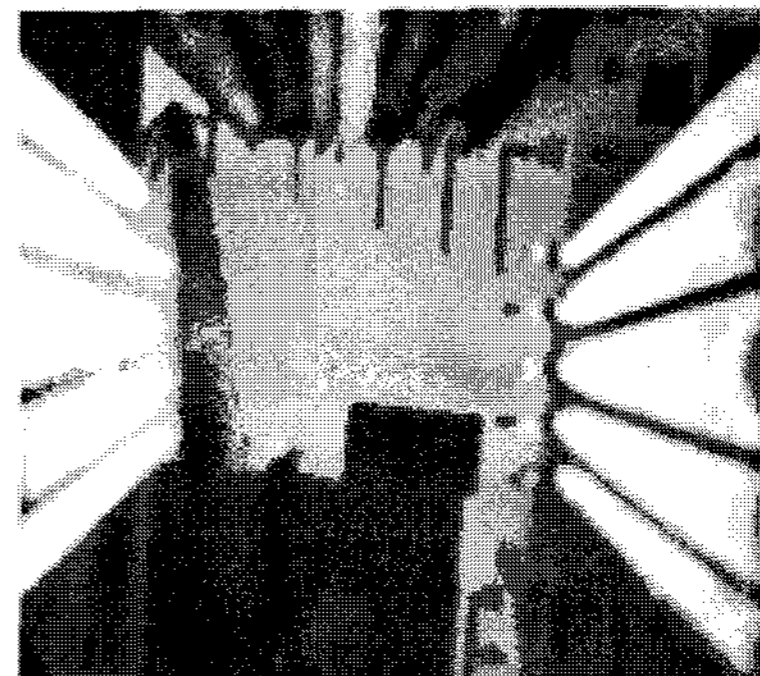


그림 12. 1:2 DEMUX의 chip 사진  
Fig. 12. The chip microphotograph of 1:2 DEMUX.

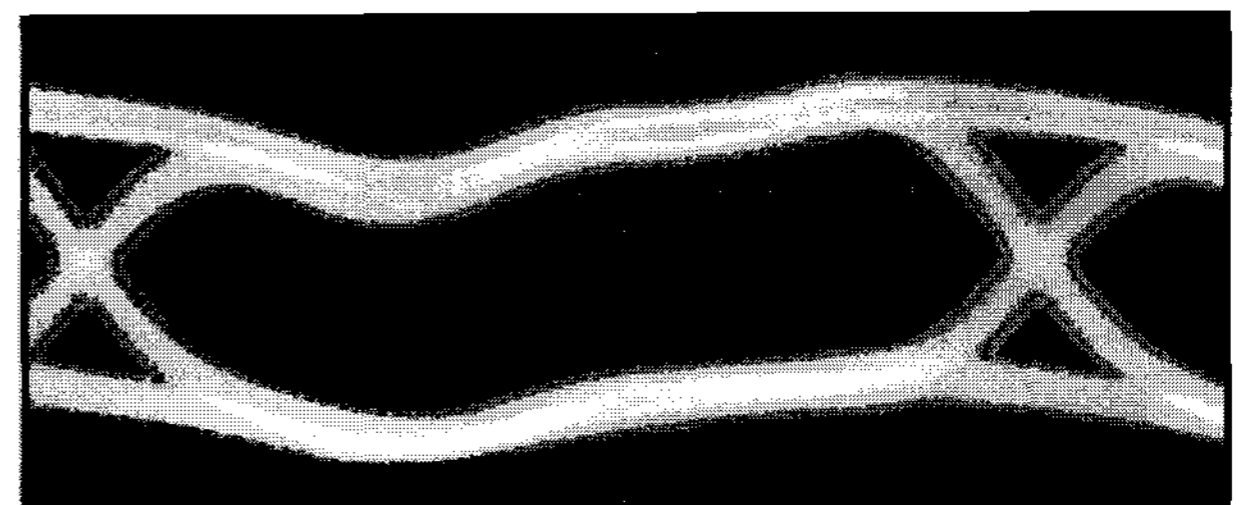


그림 13. 기존의 5Gbps 1:2 DEMUX 출력의 eye-diagram  
Fig. 13. Eye-diagram of conventional 5Gbps 1:2 DEMUX output.

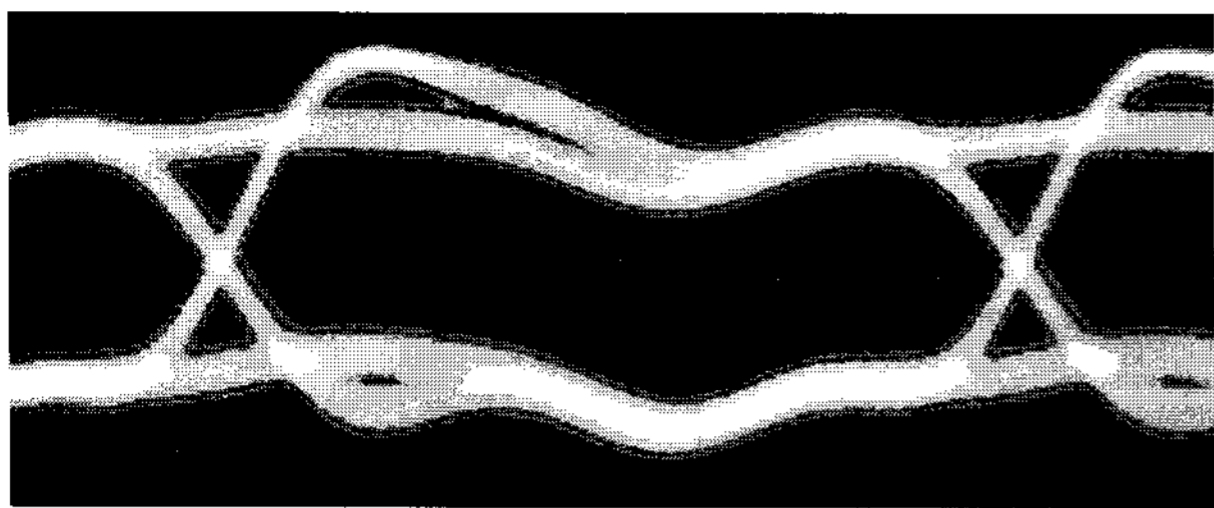


그림 14. 제안된 5Gbps 1:2 DEMUX 출력의 eye-diagram  
Fig. 14. Eye-diagram of proposed 5Gbps 1:2 DEMUX output.

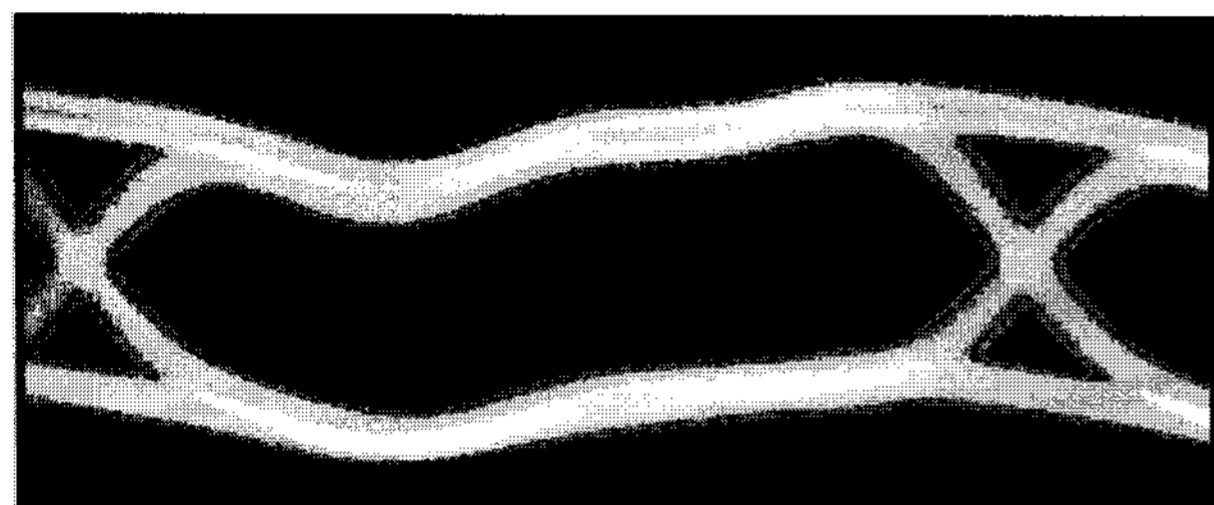


그림 15. 기존의 6Gbps 1:2 DEMUX 출력의 eye-diagram  
Fig. 15. Eye-diagram of conventional 6Gbps 1:2 DEMUX output.

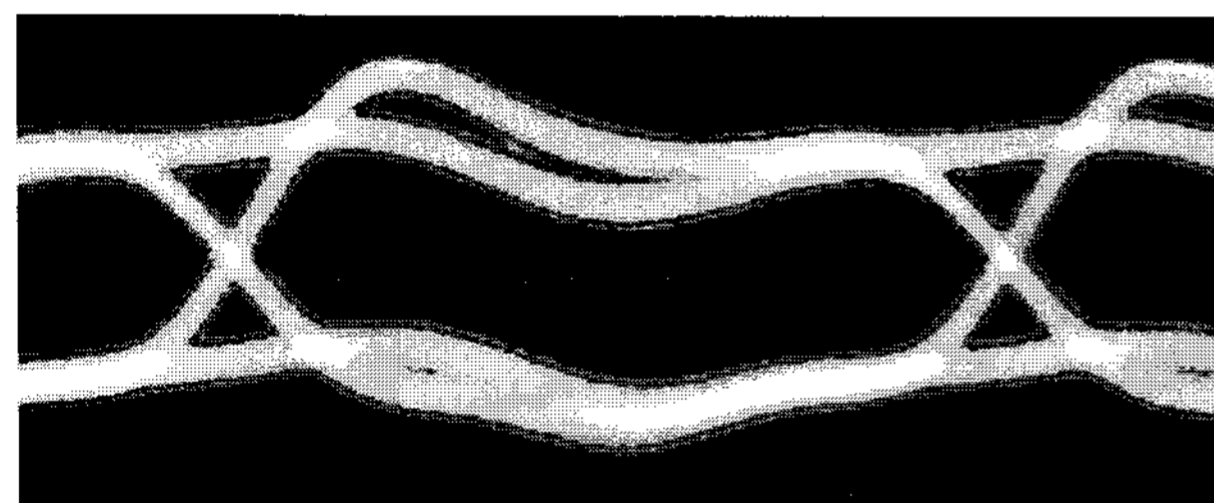


그림 16. 제안된 6Gbps 1:2 DEMUX 출력의 eye-diagram  
Fig. 16. Eye-diagram of proposed 6Gbps 1:2 DEMUX output.

random binary sequence(PRBS)  $2^{23}-1$  신호를 differential로 인가하였으며 clock도 동일한 장비를 사용하여 data와 동기 된 differential 신호를 인가하였다.

출력 data는 Agilent사의 oscilloscope를 사용하여 eye-diagram을 통하여 확인하였다. 그림 13과 14는 입력 신호의 data rate를 5Gbps로 주었을 때의 기존의 demultiplexer와 제안된 demultiplexer의 2.5Gbps 출력의 eye-diagram을 각각 보여주며 그림 15와 16는 입력 data rate이 6Gbps 일때 3Gbps 출력 eye-diagram을 각각 보여준다.

제안된 회로에서는 inductor를 사용함으로써 기존의 current mode logic latch에 비하여 rising time이 감소를 목표로 하였으며 이는 출력파형의 eye-diagram에서 eye width의 증가 및 jitter의 감소로 확인 할 수 있다. 이러한 성능의 향상은 표 4에 정량적으로 분석하였다. 입력 data rate이 6Gbps 일때의 eye-width가 약 7.27%

표 4. 기존의 회로와 제안된 회로의 eye-diagram 비교  
Table 4. Compare eye diagram of conventional and proposed 1:2 demultiplexer.

Input data rate		4Gbps	5Gbps	6Gbps
Conventional DEMUX	eye-width	459.11ps	359.12ps	285.32ps
	jitter	6.82ps	6.81ps	7.99ps
proposed DEMUX	eye-width	472.75ps	373.23ps	306.06ps
	jitter	4.54ps	4.46ps	4.52ps
eye-width 증가율		2.97%	3.93%	7.27%
eye-jitter 감소율		-33.38%	-34.47%	-43.43%

증가하였으며 jitter는 약 43%정도 감소하여 기존의 demultiplexer에 비하여 제안된 demultiplexer의 성능 향상을 확인 할 수 있다. 이때 측정된 전력 값은 기존의 회로와 제안된 회로 모두 76.8mW 정도로 변화가 없음을 확인 할 수 있었다.

#### IV. 결 론

본 논문은 두 개의 동일한 구조의 1:2 demultiplexer를 설계하여 최대 6Gbps에서의 동작을 목표로 하였다. 제안된 회로는 설계된 micro stacked spiral inductor를 각 current mode logic latch의 output load에 resistor와 직렬로 연결하였으며, 출력 eye-diagram을 통하여 기존의 회로와 비교하였다. 제안된 회로는 작으면서도 비교적 큰 inductance를 얻을 수 있도록 설계된 inductor를 사용하여 기존의 회로에 비해 eye-width의 증가 및 jitter의 감소로 인해 성능의 향상을 가져오면서 기존 회로에 비해 추가적인 전력소모 없이 layout 면적만 약 3% 정도 증가하였다.. 이 점은 이 연구의 가장 큰 장점이라고 할 수 있다.

#### 참 고 문 헌

- [1] Behzad Razavi, *Design of integrated circuits for optical communications*, Mcgraw-hill, pp. 131-136, 2003.
- [2] Alireza Zolfaghari, Andrew Chan, and Behzad Razavi, "Stacked Inductors and Transformers in CMOS Technology," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 36, NO. 4, pp. 620-628, APRIL 2001.
- [3] D. Kehrer, and H.D. Wohlmuth and H. Knappand M. Wurzer and A.L. Scholtz, "40Gb/s 2:1multiplexer and 1:2 demultiplexer

- in 120nmCMOS" *ISSCC, Digest of Technical Papers*, pp. 344-345, 2003.
- [4] Behzad Razavi, *Design of integrated circuits for optical communications*, McGraw-hill, pp. 344-346, 2003.
- [5] Thomas H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits 2nd*, Cambridge, pp. 271-276, 2004.
- [6] E. Sackinger and W. C. Fischer, "A 3-GHz 32-dB CMOS Limiting Amplifier for SONET OC-48 Receivers," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 35, NO. 12, pp 1884-1888, Dec. 2000.
- [7] John R. Long and Miles A. Copeland, "The Modeling, Characterization, and Design of Monolithic Inductors for Silicon RF IC's", *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 32, NO. 3, pp 357-369, MARCH 1997.
- [8] Reinhold Ludwig, Pavel Bretchko, *RF Circuit Design*, Prentice Hall, pp. 144-146, 2000.

---

 저 자 소 개
 

---



최 정 명(학생회원)  
 2006년 서강대학교 전자공학과  
 공학사  
 2006년 서강대학교 전자공학과  
 석사과정  
 <주관심분야 : DLL, RFIC, Fiber  
 optical>



범 진 욱(정회원)  
 1987년 서울대학교 물리학과  
 이학사  
 1989년 미시간대학교 물리학  
 이학석사  
 1995년 코넬대학교 응용물리학  
 이학박사  
 1995년~1996년 코넬 대학교 박사 후 연구원  
 1996년~1998년 Bell Labs. PMTS  
 1998년~현재 서강대학교 전자공학과 조·부교수  
 <주관심분야 : RFIC, RFID, Remote Sensing>