

논문 2008-45SD-5-11

# 위상고정 시간이 빠른 새로운 듀얼 슬로프 위상고정루프

## ( A Fast Locking Phase-Locked Loop using a New Dual-Slope Phase Frequency Detector and Charge Pump Architecture )

박종하\*, 김훈\*, 김희준\*\*

( Jong-Ha Park, Hoon Kim, and Hee-Jun Kim )

### 요약

본 논문은 고속 위상 고정 가능한 새로운 듀얼 슬로프 위상고정루프를 제안한다. 기존의 듀얼 슬로프 위상고정루프는 각각 2개의 전하펌프와 위상 주파수 검출기로 구성되었다. 본 논문에서는 위상차에 따라 전하펌프의 전류를 조절해 하나의 전하펌프와 위상 주파수 검출기만으로 듀얼 슬로프 위상고정루프를 구현하였다. 제안된 회로는 0.35 $\mu$ m CMOS 공정 파라미터 값으로 HSPICE 시뮬레이션을 수행하여 회로의 동작을 검증하였다. 제안된 듀얼 슬로프 위상고정루프의 위상 고정 시간은 2.2 $\mu$ s로 단일 슬로프 위상고정루프의 위상 고정 시간인 7 $\mu$ s보다 개선된 결과를 얻었다.

### Abstract

This paper presents a new fast locking dual-slope phase-locked loop. The conventional dual-slope phase-locked loop consists of two charge pumps and two phase-frequency detectors. In this paper, the dual-slope phase-locked loop was achieved with a charge pump and a phase-frequency detector as adjusting a current of the charge pump according to the phase difference. The proposed circuit was verified by HSPICE simulation with a 0.35 $\mu$ m CMOS standard process parameter. The phase locking time of the proposed dual-slope phase-locked loop was 2.2 $\mu$ s and that of the single-slope phase-locked loop was 7 $\mu$ s.

**Keywords :** Dual-slope, Fast locking, Phase-Locked Loop (PLL)

### I. 서론

위상고정루프는 통신 시스템, HDD/DVD, 고속 메모리 인터페이스, 고속 마이크로프로세서 등에서 클럭 생성 및 복구에 널리 사용되고 있다. 특히 HDD/DVD와 같이 동작 주파수가 시간에 따라 계속 변화하는 시스템에서는 빠른 위상 고정 시간이 요구된다<sup>[1~2]</sup>.

기존의 위상고정루프는 지터를 줄이기 위하여 좁은 대역폭을 가지는 하나의 슬로프만으로 구성되어있어 위상고정시간이 매우 길다. 이러한 점을 개선하기 위해

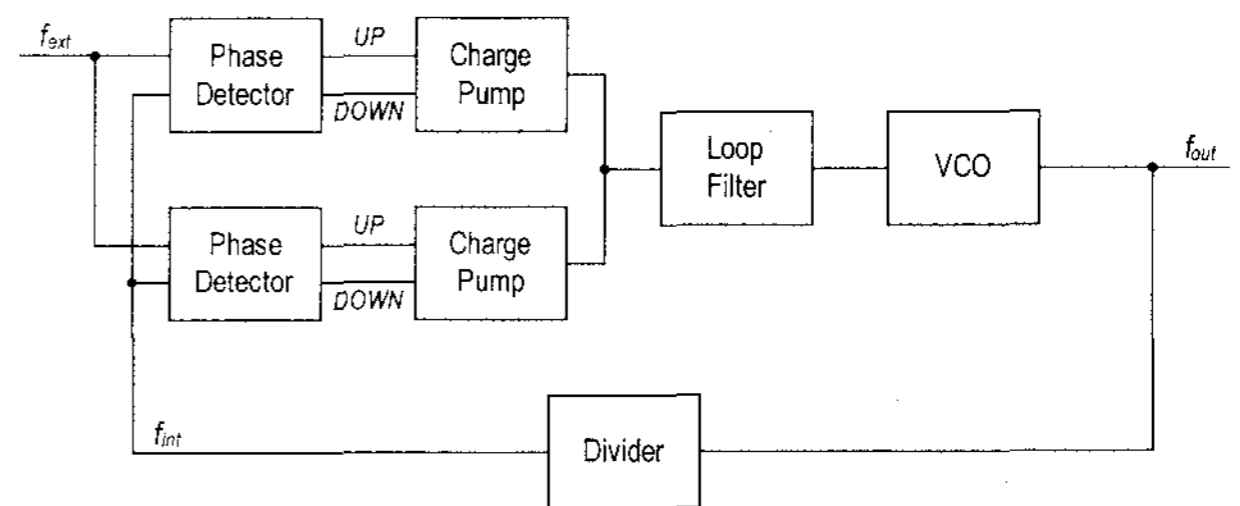


그림 1. 기존의 듀얼 슬로프 위상고정루프<sup>[1]</sup>  
Fig. 1. Block diagram of conventional Dual-Slope Phase-Locked Loop<sup>[1]</sup>.

대역폭을 위상차의 크기에 따라 제어하는 듀얼 슬로프를 가지는 위상고정루프가 제안되었다.

그림 1은 기존의 듀얼 슬로프 위상고정루프의 블록도이다. 이 방식은 미세조정을 위한 위상주파수 검출기와 전하펌프 그리고 고속 위상 고정을 위한 위상주파수 검출기와 전하펌프를 포함한다. 일반적으로 2차의 저역 통과 필터를 사용하는 위상고정루프의 개루프 전달함수

\* 학생회원, 한양대학교 전자전기제어계측공학과 (Department of Electronics, Electrical, Control, and Instrumentation Engineering, Hanyang University)

\*\* 정회원-교신저자, 한양대학교 전자컴퓨터공학부 (School of Electronics and Computer Science, Hanyang University)

접수일자: 2007년9월17일, 수정완료일: 2008년5월2일

는 다음과 같다.

$$GH(s) = \frac{I_{ch} K_{VCO} R_1 C_1}{2\pi N (C_1 + C_2)} \times \frac{s + \frac{1}{R_1 C_1}}{s^3 \frac{R_1 C_1 C_2}{C_1 + C_2} + s^2} \quad (1)$$

이때 각주파수  $\omega_c$ 는 다음과 같이 주어진다.

$$\omega_c = \frac{I_{ch} K_{VCO}}{2\pi N} \times \frac{R_1 C_1}{C_1 + C_2} \quad (2)$$

여기서  $I_{ch}$ 는 전하펌프에서 공급되는 전류의 양,  $K_{VCO}$ 는 전압제어발진기의 이득이며,  $R_1, C_1, C_2$  각각은 저역 통과 필터의 수동소자 값이다.

식 (2)에서  $\omega_c$ 는 전체 루프의 대역폭이 되며 다른 값들이 고정되어있을 때 전하펌프에서 공급하는 전류  $I_{ch}$ 에 비례하는 것을 알 수 있다. 기존의 듀얼 슬로프 위상 고정루프는 각각의 전하펌프에서 공급해주는 전류의 양을 다르게 설정하여 각 전하펌프의 동작여부에 따라 전체 루프의 대역폭을 조절하게 된다. 각각의 위상주파수 검출기와 전하펌프의 동작 여부에 따라 루프필터에 공급되는 전류의 양이 조절되어 자동적으로 위상고정루프의 대역폭이 조절되게 된다<sup>[1]</sup>.

그림 2는 기존의 듀얼 슬로프 위상고정루프의 빠른 위상 고정을 위한 위상 주파수 검출기의 회로도이다. 이 회로는 APW(Adjustable Pulse Width)회로를 이용

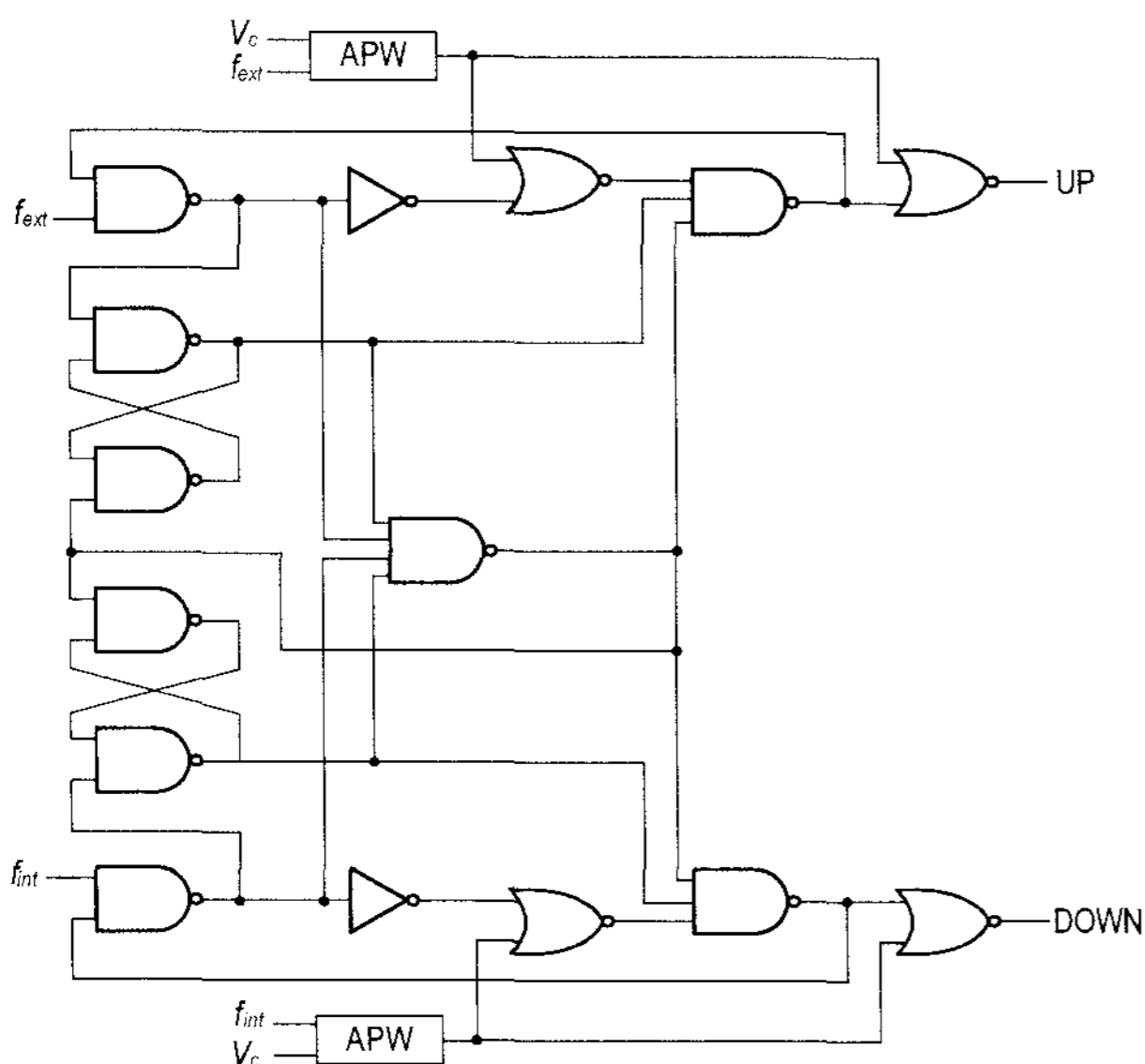


그림 2. 기존의 듀얼 슬로프 위상고정루프의 고속 위상 고정을 위한 루프 위상 주파수 검출기<sup>[1]</sup>.

Fig. 2. Phase frequency detector for coarse tuning in conventional Dual-Slope Phase-Locked Loop<sup>[1]</sup>.

하여 기준 지연시간을 발생시켜 이 지연시간보다 위상차가 더 클 경우에만 위상차를 출력으로 내보낸다. 즉, 위상차가 APW에서 발생된 기준 지연시간보다 클 경우에만 고속 동작을 위한 위상 주파수 검출기에서 출력이 발생하게 되고 이에 따라 루프 필터에 공급되는 전류가 증가하게 된다. 반대로 기준 지연시간보다 위상차가 작을 경우에는 고속 위상 고정을 위한 위상 주파수 검출기의 출력이 없어 미세 조정용 전하펌프에서만 루프필터에 전류가 공급되어 대역폭이 조절되게 된다.

그러나 기존의 듀얼슬로프 위상고정루프는 미세 조정과 고속 위상 고정을 위해 각각 위상 주파수 검출기와 전하펌프를 필요로 하다. 또한 그림 2에서와 같이 고속 위상 고정을 위한 위상 주파수 검출기는 2개의 APW 회로를 포함한다.

본 논문에서는 하나의 위상 주파수 검출기, 전하펌프와 APW 회로를 이용하여 기존의 듀얼 슬로프 위상고정루프와 동일한 성능을 가지지만, 보다 단순한 구조의 듀얼 슬로프 위상고정루프를 제안한다.

## II. 회로 설명 및 동작 원리

그림 3은 본 논문에서 제안하는 듀얼 슬로프 위상고정루프의 블록도이다. 기존의 듀얼 슬로프 위상고정 루프와는 달리 하나의 위상 주파수 검출기, 전하펌프와 제어회로부로 구성된 것을 볼 수 있다. 제어회로는 기존의 듀얼 슬로프 위상고정루프에서 고속 동작을 위한 위상 주파수 검출기의 역할을 한다. 위에서 언급한 것과 같이 기존의 듀얼 슬로프 위상고정루프에서는 위상 주파수 검출기자체에서 기준 딜레이와 비교하여 별도의 전하펌프에서 전류를 공급하였다. 본 논문에서는 제어 회로에서 위상 주파수 검출기에서 검출된 위상차와 APW 회로에서 발생된 기준 지연시간을 비교하여 제어 신호를 발생하고, 이 신호에 의해 전하펌프에서 공급하는 전류의 양을 조절하였다. 전류의 양을 가변시킴에

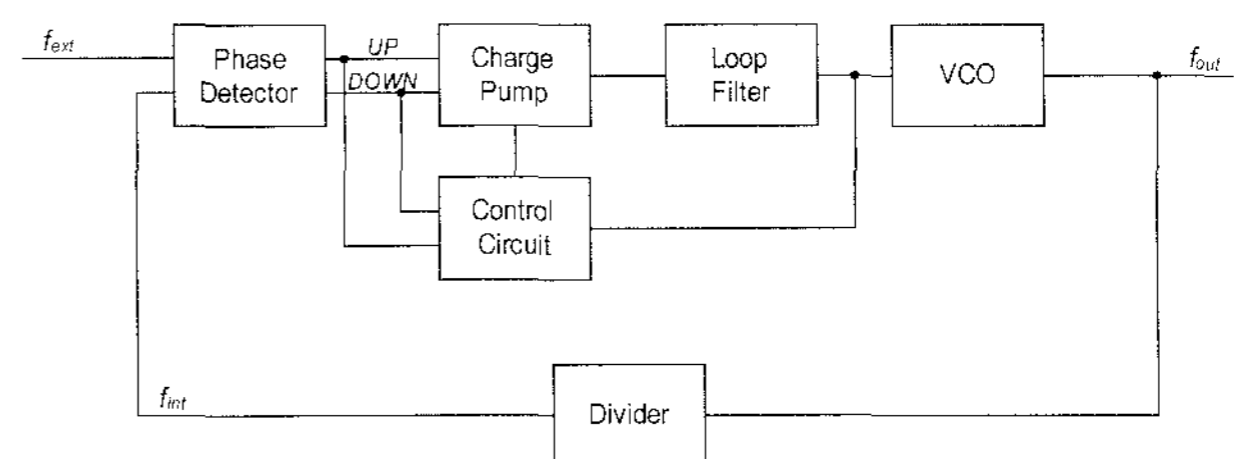


그림 3. 제안하는 듀얼 슬로프 위상고정루프

Fig. 3. Block diagram of proposed Dual-Slope Phase-Locked Loop.

따라 위상고정루프의 대역폭이 가변되며 기존의 듀얼 슬로프 위상고정루프와 동일한 동작을 한다. 그러나 각 하나씩의 위상 주파수 검출기, 전하 펌프와 APW회로를 제거하여 회로를 단순화 하였다.

1. APW(Adjustable Pulse Width) 회로

그림 4는 APW회로의 회로도이다. APW회로는 기존의 듀얼슬로프 위상고정루프에서 사용된 회로를 이용하였으며, 본 논문에서도 기준 지연시간을 발생시키는 용도로 사용하였다.

APW회로는 한 번의 펄스가 인가될 경우 제어전압  $V_c$ 에 따라 펄스폭을 조절하여 한 번의 펄스를 출력하는 회로이다.  $M_1$ 에 인가된 제어전압에 따라  $M_3$ 에 흐르는 전류의 양이 가변된다. 이에 따라  $M_6, M_7$ 에 연결된 3개의 인버터에 공급되는 전류의 양이 조절되어 인버터의 지연시간이 제어되게 된다. 따라서 낮은 제어 전압에서는 넓은 폭의 펄스가 출력으로 나오게 되며 높은 제어 전압에서는 좁은 폭의 펄스가 출력으로 나오게 된다. 그림 5는 시뮬레이션 된 제어 전압 변화에 따른 APW 출력 펄스폭 변화를 나타낸다.

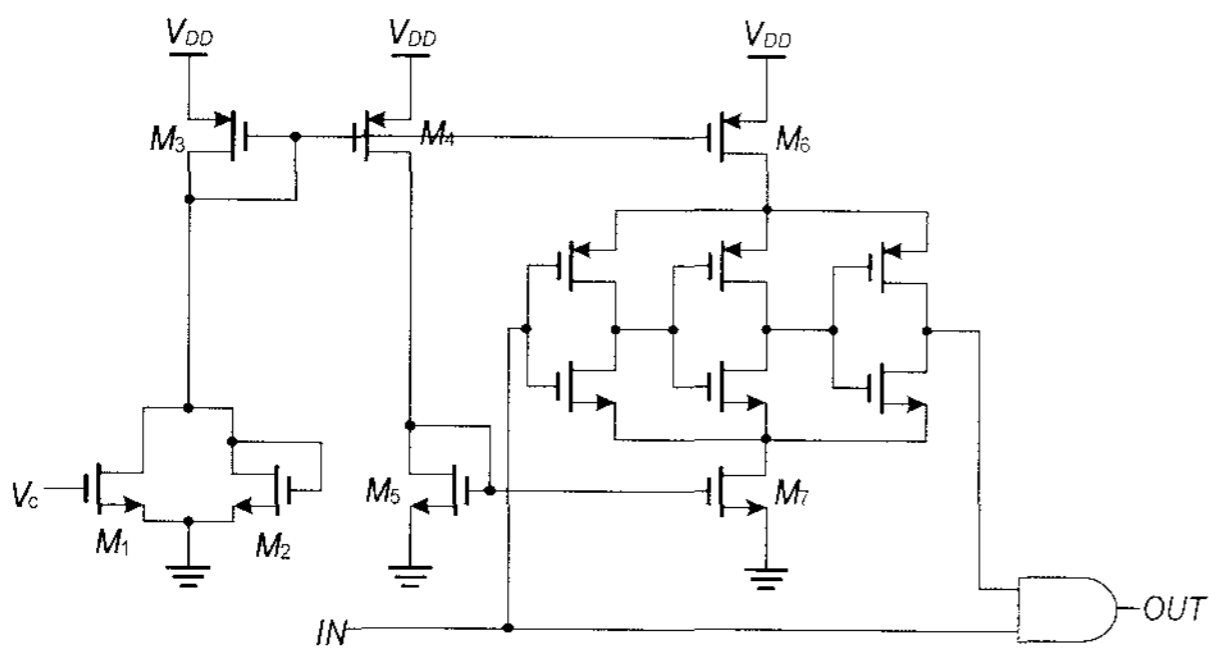


그림 4. APW 회로도<sup>[1]</sup>  
Fig. 4. Circuit diagram of APW<sup>[1]</sup>.

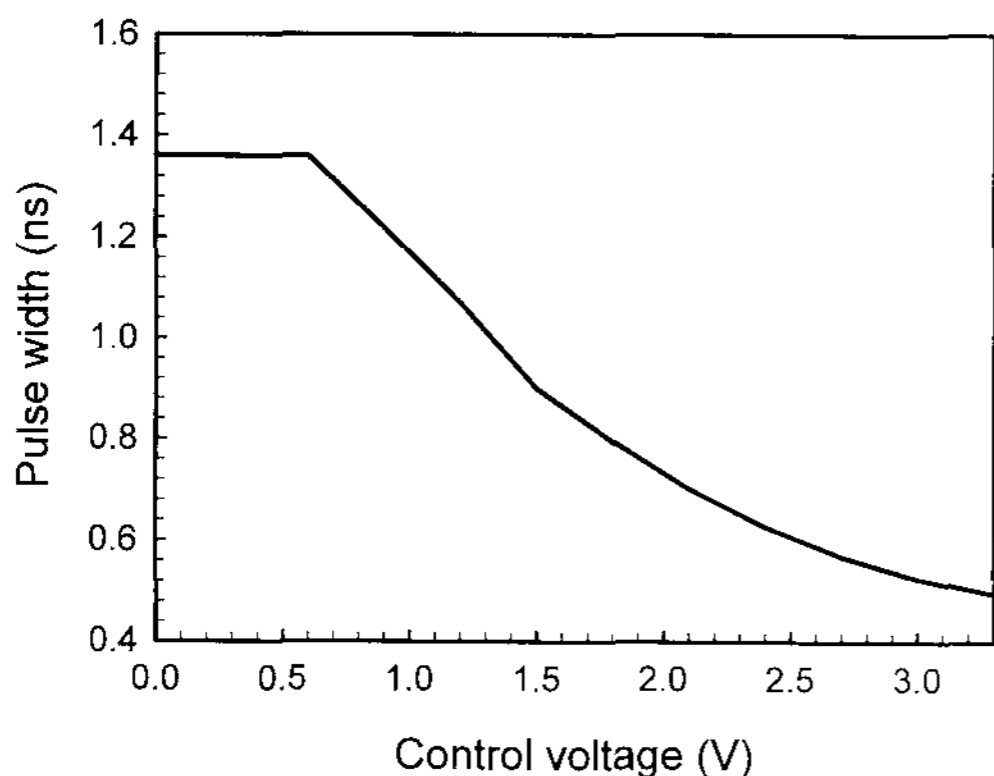


그림 5. 제어전압에 대한 APW 출력 펄스폭  
Fig. 5. APW output pulse width versus control voltage.

2. Slope 제어회로

그림 6은 슬로프 제어회로의 회로도이다. 슬로프 제어회로는 미세조정을 위한 모드와 빠른 위상 고정을 위한 모드를 결정해 전하펌프에 적절한 스위칭 신호를 인가한다.

슬로프 제어회로는 그림에서와 같이 클리어 단자를 가지는 D Flip-Flop (D-F/F) 과 APW회로로 구성된다. 제어신호는 위상주파수 검출기에서 발생한 위상차를 APW에서 발생한 기준 지연시간과 비교하여 제어신호를 발생시킨다.

위상주파수 검출기에서의 위상차를 APW의 입력신호로 사용하고 APW의 제어 전압은 VCO의 입력 전압을 이용하였다. 따라서 기존 듀얼 슬로프 위상고정루프와 동일하게 기준 지연시간이 자동적으로 가변되고 주파수에 따라 능동적으로 대역폭을 조절하게 되어 그 효율을 높일 수 있다.

APW에서 발생된 신호를 D-F/F의 클럭으로 사용하고 위상 주파수 검출기에서 출력이 없을 경우에 D-F/F을 클리어 시켜주어 미세조정 모드로 돌아가도록 하였다. 즉, 위상 주파수 검출기에서 출력이 없을 경우에 D-F/F을 클리어 시키고 APW의 출력이 발생할 경우에

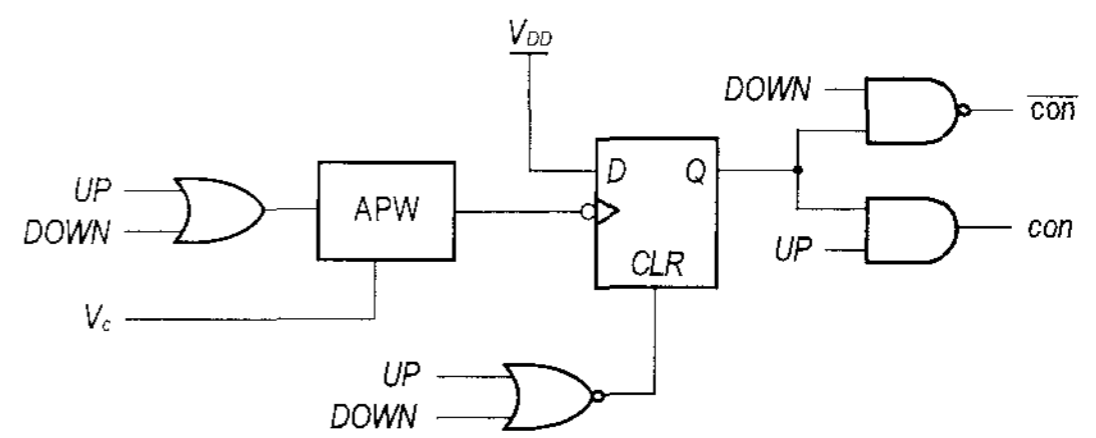


그림 6. 슬로프 제어회로 회로도  
Fig. 6. Block diagram of control logic.

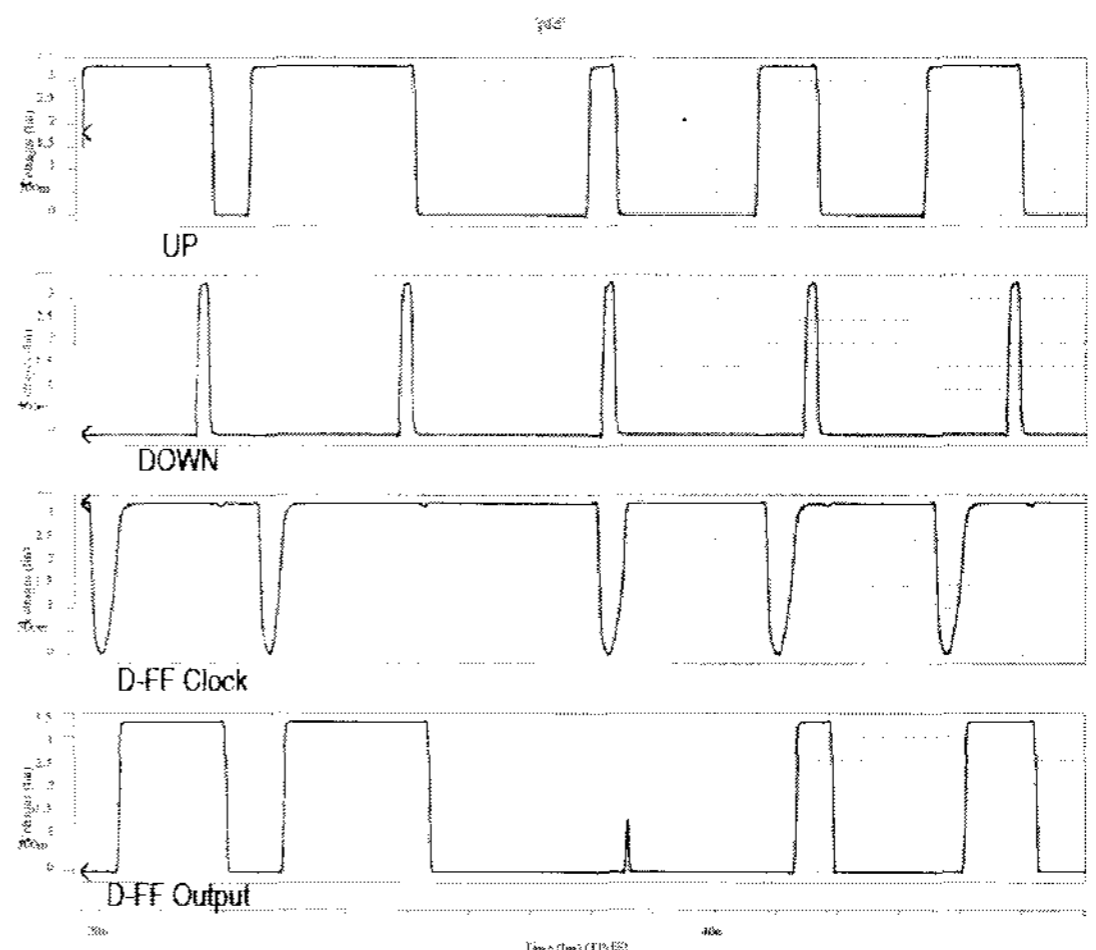


그림 7. 시뮬레이션된 각 노드별 동작 파형  
Fig. 7. Simulated operation waveforms at various nodes.

빠른 위상 고정 모드 신호를 발생하게 된다. 따라서 위상차가 APW에서 발생한 기준 지연시간보다 클 경우에는 빠른 위상 고정을 위한 모드로 전환되게 되며 위상차가 기준 지연시간보다 작을 경우에는 미세 조정을 위한 모드로 전환되게 된다. 그림 7은 임의의 신호를 인가하여 시뮬레이션한 각 노드의 동작 파형이다.

### 3. 전하펌프

그림 8은 전하펌프의 블록도이다. 위상차가 큰 경우, 그림 6의 출력  $\overline{con}$ 과  $\overline{con}$  신호가 전하펌프에 인가되어 루프필터로 공급되는 전류의 크기를 제어한다. 루프필터에 공급하는 전류를 제어함으로써 식(2)에서 본 것처럼 위상고정루프 전체의 대역폭을 조절할 수 있다.

위상차가 커서 충·방전 전류를 모두 증가시키면 전하펌프에서 소비되는 전력은 크게 증가한다. 따라서 그림 6에서와 같이 D-F/F의 출력과 위상 주파수 검출기의 UP 또는 DOWN 신호에 따라 충·방전 전류를 위상차가 클 경우 선택적으로 증가시켰다. 즉, UP 신호와 D-F/F의 출력신호가 'high' 일 경우에만 충전 전류를 증가시키고, DOWN 신호와 D-F/F의 출력신호가 'high' 일 경우에만 방전 전류를 증가시켰다. 이렇게 전하펌프를 구성함으로써 기존의 듀얼 슬로프 위상고정루프가 2개의 전하펌프를 사용한 반면 제안된 회로는 하나의 전하펌프만을 사용해 회로 구성 및 전력소모를 개선하였다.

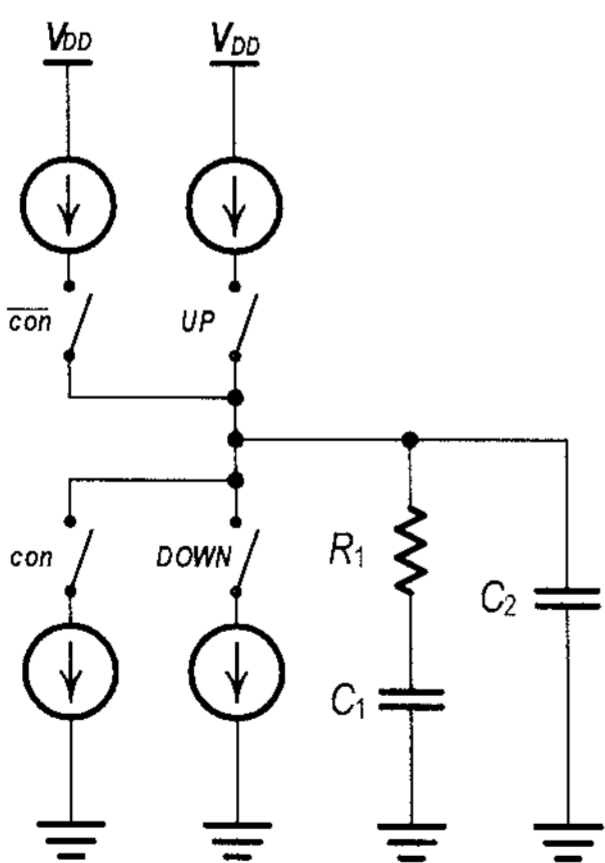
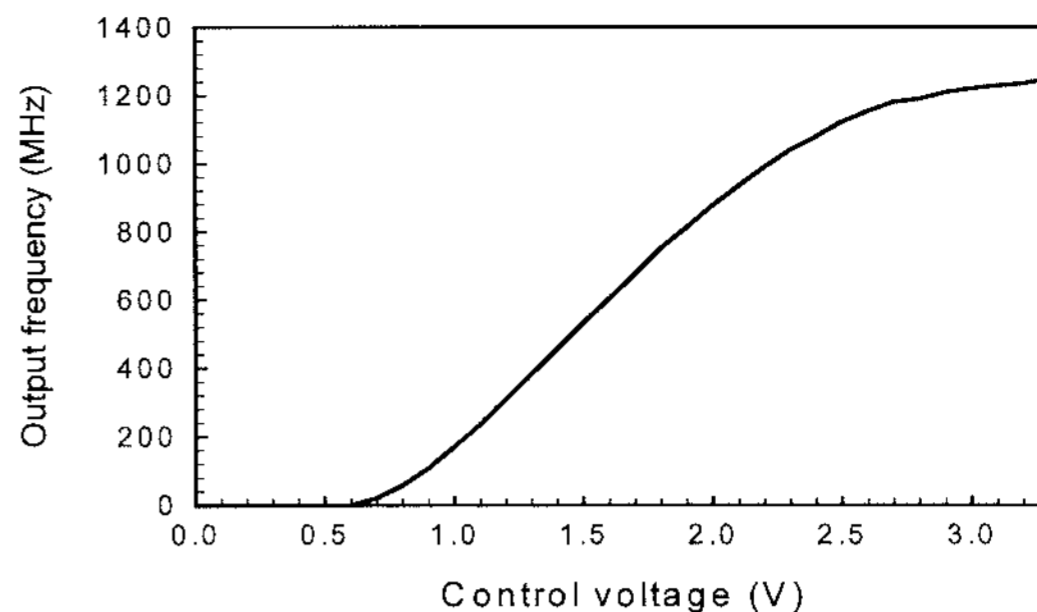


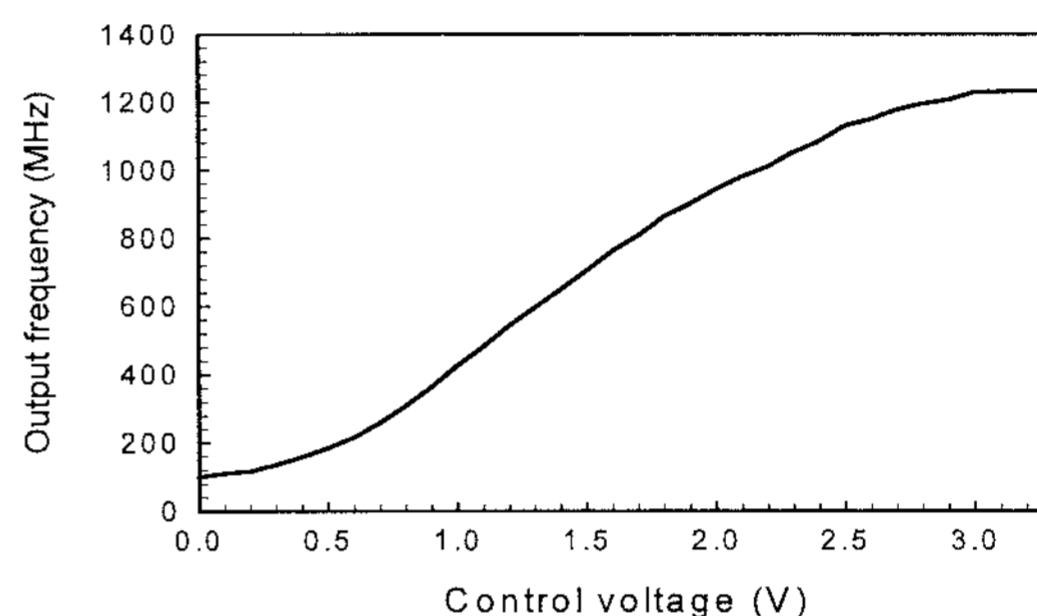
그림 8. 전하펌프의 블록도  
Fig. 8. Block diagram of charge pump.

### 4. 전압제어발진기

PLL이 고속 동작시스템에 적용되기 위해서는 고속의 성능과 함께 우수한 지터 성능을 가져야 한다. 이러한 목표를 달성하기 위해서는 VCO가 낮은 이득을 가지고



(a) 이득 보상하지 않았을 경우



(b) 이득 보상이었을 경우

그림 9. 제어 전압에 따른 VCO의 출력 주파수

Fig. 9. Output frequency of the VCO according to the control voltage.

선형의 전압 대 주파수 특성을 가져야 한다. VCO의 이득이 클 경우에는 제어전압에 대한 민감성이 매우 커 출력에서 주파수가 크게 흔들릴 수 있다. 따라서 VCO의 이득을 낮춰 제어전압에 대한 민감성을 감소시켜 출력주파수의 안정성을 증가시킬 수 있다. 또한 전압 대 주파수 특성을 선형화함으로써 일정한 이득이 구해져 위상고정루프를 최적화 할 수 있으므로 지터에 대한 성능도 좋아지게 된다<sup>[2]</sup>.

그림 9는 VCO의 이득을 보정한 회로와 보상하지 않은 회로의 전압 대 주파수 특성 곡선이다. 이득을 보상하지 않을 경우 제어전압이 문턱전압 이상이 되어야 발진이 일어나며, 0 Hz부터 목표로 하는 주파수 대역까지 출력이 나오게 되어 VCO의 이득이 커지게 된다. 반면 이득을 보정한 경우 원하는 VCO의 출력 주파수 범위를 설정하여 그 범위에서 동작하도록 할 수 있다. 이에 따라 VCO의 이득을 낮춰줄 수 있으며, 동작영역에서의 이득이 일정해진다. 실제 구현에 있어서도 그림 9에서와 같이 보상을 하지 않았을 경우에는 동작영역에서 큰 이득을 가지는 것을 볼 수 있다.

### III. 시뮬레이션 결과

제안된 위상고정루프는 3.3V 단일 전원을 사용하고, 표준 CMOS 0.35 $\mu$ m 공정을 이용해 HSPICE로 시뮬레이션 되었다. 비교를 위한 기존의 듀얼 슬로프 위상고정루프는 TSMC 0.35 $\mu$ m 1P4M CMOS 공정을 이용하였다. 이 위상고정루프의 VCO의 입력 전압은 880MHz에서 2.2V 정도이며, 위상 고정 시간은 2.7 $\mu$ s가 소요된다<sup>[1]</sup>. 제안하는 위상고정루프의 VCO 전압이 2.2V일 경우 1.05GHz의 출력이 나왔으며, 위상 고정 시간은 2.2 $\mu$ s 이었다. 그림 10의 상단은 단일 슬로프로 시뮬레이션 하였을 경우의 위상고정 시간을, 하단은 제안하는 회로의

표 1. 기존의 듀얼 슬로프 위상고정루프와 제안된 위상고정루프의 성능 요약

Table 1. Summary of conventional dual-slope PLL and proposed circuit.

	Conventional Dual-slope	Proposed Dual-slope
Fabrication Process	TSMC 0.35 $\mu$ m CMOS 1P4M	Standard 0.35 $\mu$ m CMOS
Frequency Range	358MHz ~ 1.44GHz	120MHz ~ 1.25GHz
Supply Voltage	3.3V	3.3V
Locking Time	2.7 $\mu$ s@880MHz	2.2 $\mu$ s@1.05GHz
Power Consumption	23.1mW@3.3V 880MHz	14.13mW@3.3V 1.05GHz

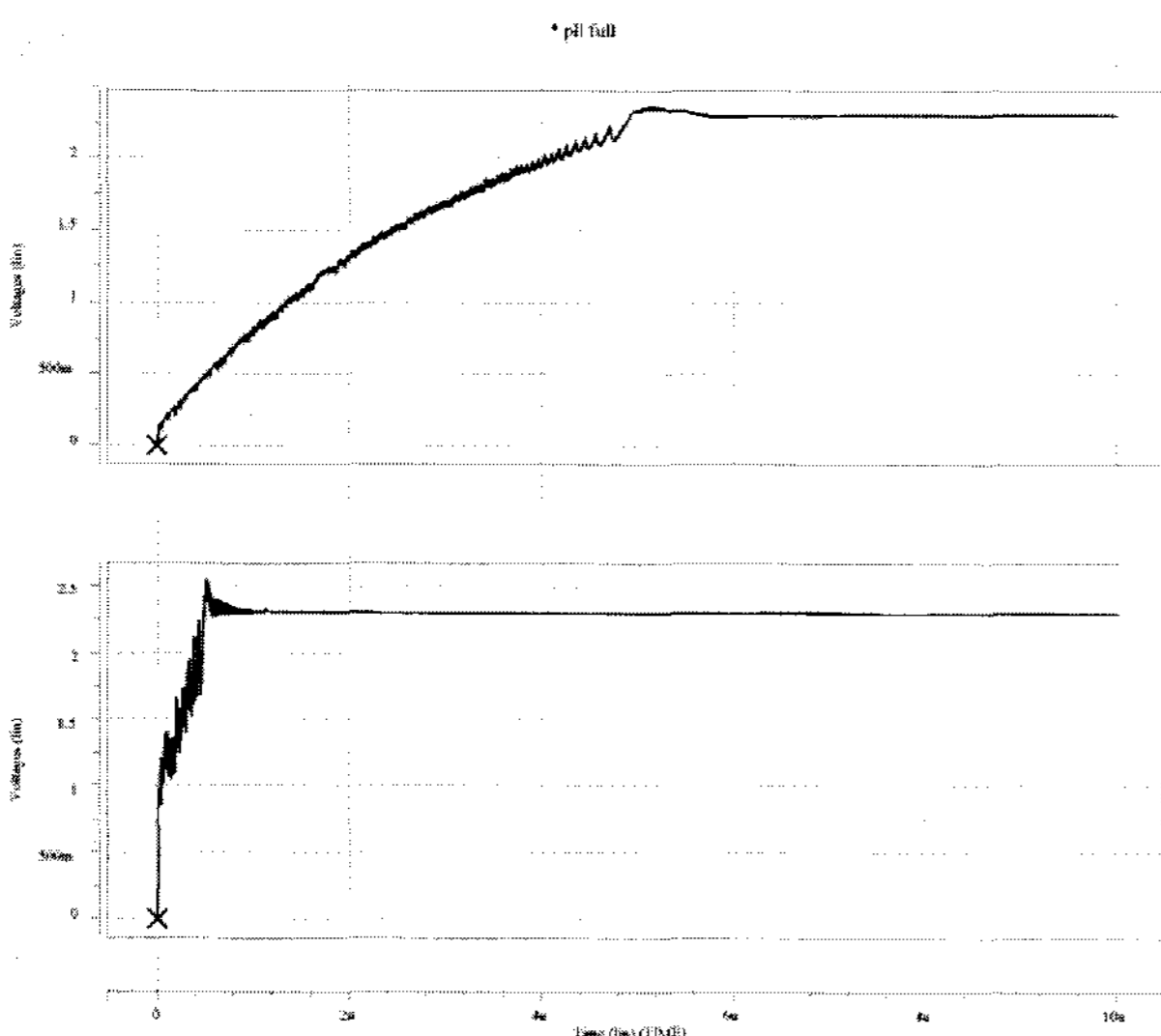


그림 10. 시뮬레이션된 단일 슬로프 위상고정루프와 제안된 듀얼 슬로프 위상고정루프의 위상 고정 시간

Fig. 10. Simulated phase locking times of the single-slope phase-locked loop and the proposed dual-slope phase-locked loop.

위상고정 시간을 나타낸다. 단일 슬로프를 사용하였을 경우에는 위상 고정 시간이 7 $\mu$ s로 듀얼 슬로프를 이용하였을 경우 위상 고정 시간이 줄어들었다. 표 1에 제안된 듀얼 슬로프 위상고정루프와 기존의 듀얼 슬로프 위상고정루프의 성능을 나타내었다.

### IV. 결론

본 논문은 위상고정 시간을 감소시키기 위한 듀얼 슬로프를 가지는 새로운 위상고정루프를 제안하였다. 제안된 위상고정루프는 기존의 듀얼 슬로프 위상고정루프에 비해 실제 칩 제작 시 집적도를 향상시킬 수 있으며 동일한 동작을 하여 기존의 단일 슬로프 위상고정루프에 비해 위상 고정 시간을 많이 단축 할 수 있었다. 따라서 점점 더 고집적화 되어가는 현재 추세에 그 적용 가능성이 크다.

### 참고 문헌

- [1] K.-H. Cheng, W.-B. Yang, and S.-C. Kuo, "A Dual-Slope Phase Frequency Detector and Charge Pump Architecture to Achieve Fast Locking of Phase-Locked Loop", in Proc. 2004 International Symposium on Circuits and Systems, vol. 1, pp. 777-780, Vancouver, Canada, May 2004.
- [2] J.-S. Lee and B.-S. Kim, "A Low-Noise Fast-Lock Phase-Locked Loop with Adaptive Bandwidth Control", *IEEE Journal of Solid-State Circuits*, vol. 35, no. 8, pp. 1137-1145, Aug. 2000.
- [3] H.-J. Sung and K.-S. Yoon, "A 3.3V High Speed CMOS PLL with 3-250MHz Input Locking Range", in Proc. 1999 IEEE International Symposium on Circuits and Systems, vol. 2, pp. 553-556, Orlando, Florida, USA, May 1999.
- [4] K. Minami, et al, "A 0.10  $\mu$ m CMOS, 1.2 V, 2 GHz phase-locked loop with gain compensation VCO", *2001 IEEE Conference on Custom Integrated Circuits*, pp. 213-216, San Diego, California, USA, May 2001.
- [5] H. Yu, Y. Inoue, and Y. Han, "A new high-speed low-voltage charge pump for PLL applications", *ASICON 2005. 6th International Conference on ASIC*, vol. 1, pp. 387-390, Mangalore, India, Oct.

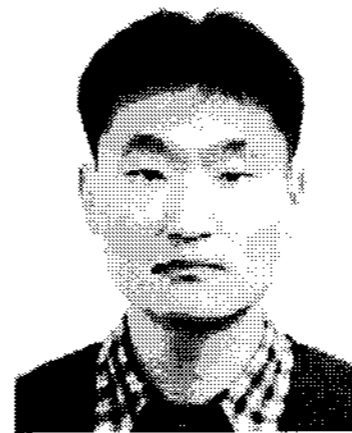
2005.

- [6] J.-S. Lee, M.-S. Keel, S.-I. Lim, and S. Kim, "Charge pump with perfect current matching characteristics in phase-locked loops", *Electronics Letters*, vol. 36, no. 23, pp. 1907-1908, 9 Nov. 2000.
- [7] K.-S. Ha and L.-S. Kim, "Charge-pump reducing current mismatch in DLLs and PLLs", in Proc. *2006 IEEE International Symposium on Circuits and Systems*, pp. 4, Kos, Greece, May 2006.
- [8] M. Nogawa and Y. Ohtomo, "A 16.3-GHz 64:1 CMOS frequency divider", in Proc. *Second IEEE Asia Pacific Conference on ASICs*, pp. 95-98, Che-ju, Korea, Aug. 2000.

— 저 자 소 개 —



박 종 하(학생회원)  
 2008년 한양대학교 전자컴퓨터  
 공학부 공학사.  
 2008년~현재 한양대학교 대학원  
 전자전기제어계측공학과  
 석사과정  
 <주관심분야 : 아날로그 IC 설계,  
 DC-DC 컨버터>



김 훈(학생회원)  
 2003년 청주대학교 정보통신  
 공학부 공학사  
 2005년 청주대학교 대학원  
 전자공학과 공학석사  
 2005년~현재 한양대학교 대학원  
 전자제어계측공학과  
 박사과정  
 <주관심분야 : 아날로그 IC 설계, 센서 신호처리,  
 DC-DC 컨버터>



김 희 준(정회원)  
 1976년 한양대학교 전자공학과  
 공학사  
 1978년 한양대학교 대학원  
 전자공학과 공학석사  
 1986년 일본 큐슈대학교 대학원  
 전자공학과 공학박사  
 1991년~1992년 Virginia공대 방문교수  
 1987년~현재 한양대학교 전자컴퓨터공학부 교수  
 <주관심분야 : DC-DC 컨버터, MCM IC, 아날로  
 그 CMOS IC 설계>