

논문 2008-45SD-6-3

홉필드 신경회로망을 위한 단일전자 소자

(Single-Electron Devices for Hopfield Neural Network)

유 윤 섭*

(Yun Seop Yu)

요 약

본 논문은 새롭게 제안된 단일전자 소자(single-electron device) 및 회로를 이용한 새로운 형태의 홉필드 신경회로망(Hopfield neural network)을 소개한다. 홉필드 신경회로망의 전기적 모델 내부에서 가변저항으로 사용되는 단일전자 시냅스(single-electron synapse)와 비선형 활성화함수(nonlinear activation function)로 사용되는 두 단의 단일전자 인버터(single-electron inverter)를 몬테-칼로(Monte-Carlo) 방식의 단일전자 회로 시뮬레이터로 동작을 검증한다.

Abstract

This paper introduces a new type of Hopfield neural network using newly developed single-electron devices. In the electrical model of the Hopfield neural network, a single-electron synapse, used as a voltage(or current)-variable resistor, and two stages of single-electron inverters, used as a nonlinear activation function, are simulated with a single-electron circuit simulator using Monte-Carlo method to verify their operation.

Keywords : Neural network, Single-electron transistor, Single-electron trap, Hopfield network

I. 서 론

단일전자 회로(single-electron circuit)는 초저전력(ultra-low power consumption)과 초고집적(high integration density)이 가능하기 때문에 차세대 집적회로(integrated-circuit) 후보 중의 하나이다^[1]. 그러나 단일전자소자(single-electron device)은 제작 공정이나 동작 중에 생기는 random background charge로 인해서 스위칭 문턱전압(threshold)이 변하고 그로인해 스위칭 문턱전압들이 임의의 분포를 가지는 불안정성(instability)을 가지는 고유한 문제점이 있다^[2]. 이 문제점을 해결하기

위해서 단일전자 메모리(single-electron memory)^[3]나 궤환회로(feedback loop)를 이용한 charge-locked loop의 회로^[4]등이 발표되었으나 실제 논리회로에 이 단일전자 메모리나 회로를 사용하는 것은 거의 불가능할지도 모른다. 신경회로망(neural network)과 같은 병렬처리구조(parallel processing architecture)는 국소영역의 변동(local fluctuation)에 강인(robust)하므로 단일전자 소자를 신경 회로망에 적용하면 단일전자 소자의 고유한 문제점을 완벽히 해결할 수 있다고 보고되어 지고 있다^[5]. 대규모의 신경회로망을 위한 하드웨어는 초고집적 및 초저전력 조건이 만족해야지만 가능하다. 그러므로 단일전자 소자로 구성된 신경회로망은 단일전자 소자의 고유한 문제점도 해결하면서 초고집적 및 초저전력도 가능할 수 있어서 많은 연구가 진행 중이다^[5~11]. Guimarães 등은 단일전자 회로를 이용한 Hamming 신경망 회로를 제안해서 문자인식을 성공적으로 수행했다^[7]. Goosens 등은 단일전자 소자를 이용해서 시냅스(synapse)나 뉴런(neuron)과 같은 다양한 신경망 내부 구성요소들을 제안했다^[8]. Yamada 등은 단일전자 신경 회로를 이용해서 다

* 평생회원, 한경대학교 정보제어공학과 및 전자기술융합연구소

(Department of Information & Control Engineering and Electronic Technology Institute, Hankyong National University)

※ 본 논문은 2006년 정부(교육인적자원부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임 (KRF-2006-311-D00648).

접수일자: 2008년1월31일, 수정완료일: 2008년5월26일

치(multi-valued) 홉필드 신경망 회로(Hopfield neural network)를 제안했다^[9]. Oya 등은 단일전자 depressing 시냅스를 제안해서 신경 동기 검출 (neural synchrony detection)의 동작을 보여주었다^[10]. Türel 등은 시냅스로 단일전자 래치 소자를 사용하고 축색돌기(axon)와 수상돌기(dendrite)를 위해 나노선을 사용하고 뉴런 셀 몸체(neural cell body)를 위해 고급 CMOS 회로가 사용된 제안을 했다^[5]. Shin은 단일전자 터널 접합 어레이가 병렬 결합된 단일전자 시냅스 소자를 제안했다^[11]. 특히, 시냅스 및 뉴런 비선형 활성화 함수(nonlinear activation function)를 단일전자 소자로 설계하는데 많은 연구가 수행되고 있다^[5~11].

본 논문은 새로운 구조의 단일전자 소자 및 회로를 이용한 새로운 홉필드 신경회로망을 소개한다. 홉필드 신경회로망을 위한 새롭게 제안된 단일전자 소자 및 회로들의 특성을 몬테-칼로(Monte-Carlo) 방식의 단일전자 회로 시뮬레이터^[12, 13]로 동작을 검증한다.

II. 본 론

1. 홉필드 신경회로망의 전기적 모델

[그림 1]은 전압(전류)제어 가변저항, 외부 전류원 및 증폭기로 구성된 기본적인 홉필드 신경회로망의 전기적 모델을 나타낸다^[14]. [그림 1]의 두 선이 겹쳐지는 곳을 확대해서 원 안에 보여진 것처럼, 신경회로망의 시냅스는 가변저항으로 등가모델이 가능하다^[14]. 만약 N 개의 신경이 서로서로 연결이 되면 하나의 가변저항으로 구성된 각 시냅스가 $N \times N$ 개만큼 존재한다. 이런 시스템은 i 번째 뉴런 증폭기의 입력단에 KCL (Kirchoff's

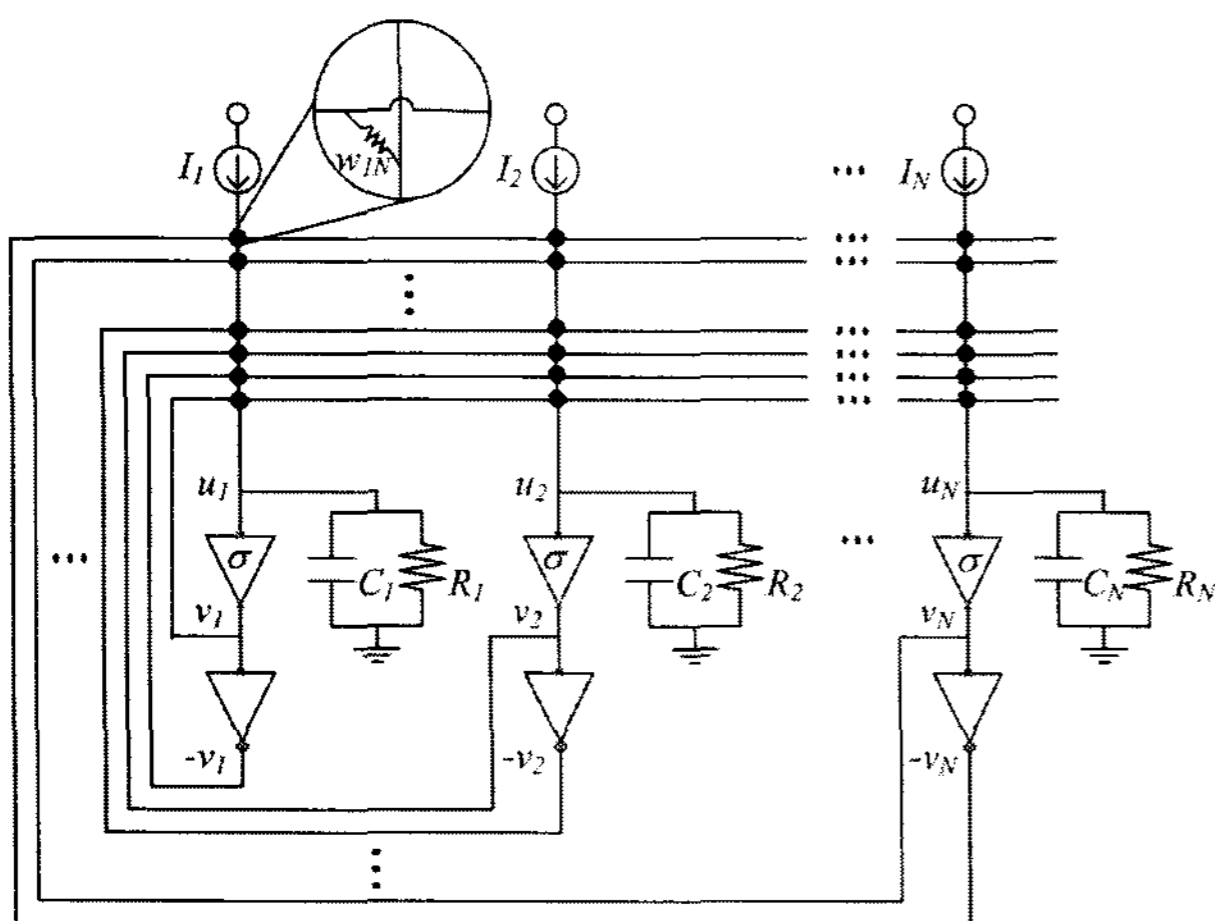


그림 1. 홉필드 신경회로망의 전기적 모델.
Fig. 1. Electrical model of a Hopfield neural network.

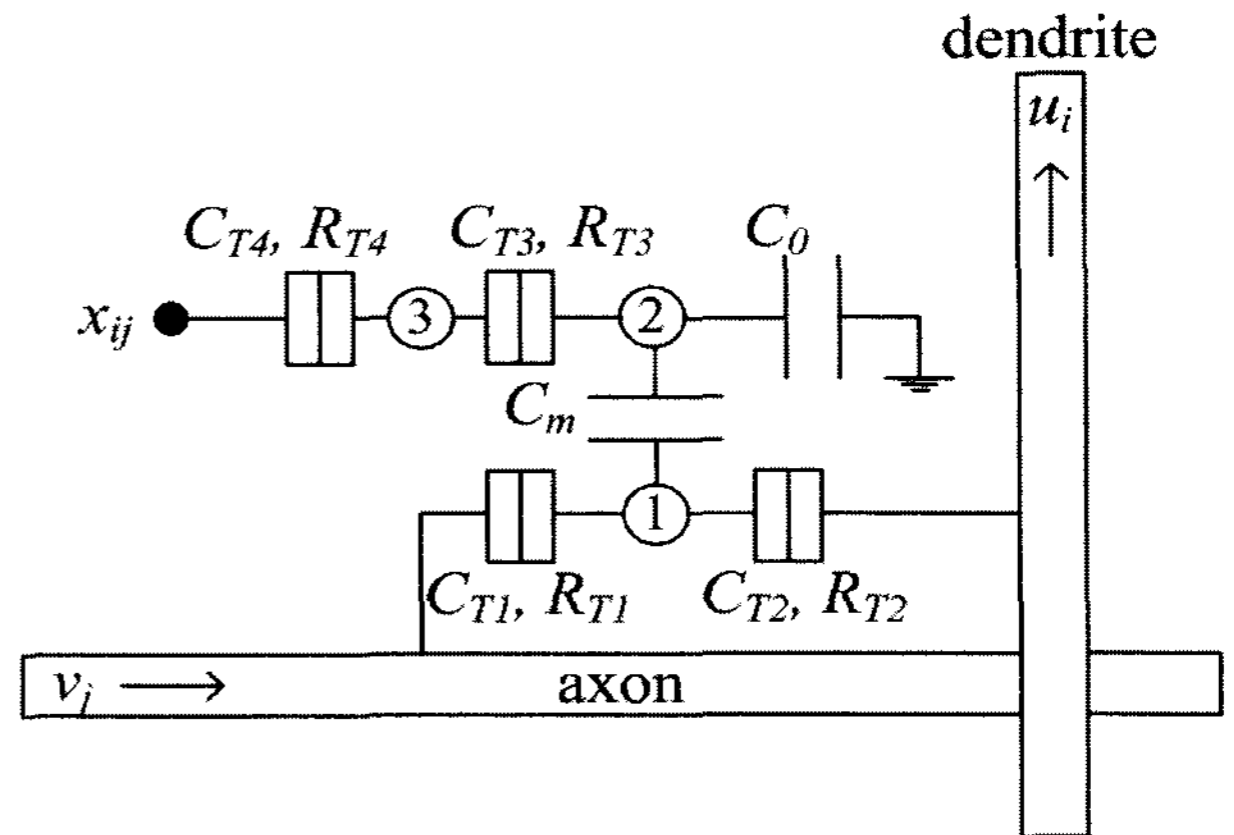


그림 2. 단일전자 시냅스 소자의 개략도.
Fig. 2. Schematic of a single-electron synapse device.

current law)을 적용하면 다음 식과 같이 표현된다^[14].

$$C_i \frac{du_i}{dt} = \sum_{j=1}^N w_{ij} v_j + I_i - G_i u_i, \quad i = 1, \dots, N. \quad (1)$$

여기서 w_{ij} 는 i 번째 뉴런의 증폭기 입력과 j 번째 뉴런의 증폭기 출력을 연결하는 연결강도(weight)로써 컨덕턴스(conductance)를 나타내고 v_j 는 j 번째 뉴런 증폭기의 출력전압, u_i 는 i 번째 뉴런 증폭기의 입력전압, I_i 는 i 번째 뉴런 증폭기로 입력되는 바이어스 전류, G_i 는 i 번째 뉴런 증폭기의 입력단에서 접지에 연결된 누설 캐패시터(leakage capacitance)이고 G_i 는 다음 식과 같이 표현된다.

$$G_i = \frac{1}{R_i} + \sum_{j=1}^N w_{ij}. \quad (2)$$

여기서 R_i 는 i 번째 뉴런 증폭기의 입력단에서 누설 캐패시터와 병렬로 연결된 누설 저항이다. 또한, i 번째 뉴런 증폭기 출력전압 u_i 는 다음 식과 같이 표현된다.

$$v_i = \sigma_i(u_i). \quad (3)$$

여기서 $\sigma(x)$ 는 뉴런 비선형 활성화 함수이다.

2. 단일전자 시냅스 소자

[그림 2]는 가변저항(시냅스)을 단일전자 소자로 새롭게 제안한 개략도를 나타낸다. 여기서 v_j 는 j 번째 축색돌기의 전압, u_i 는 j 번째 축색돌기와 연결된 i 번째 수상돌기의 전압이고 x_{ij} 는 i 번째 수상돌기와 j 번째 축색돌기가 연결된 시냅스의 바이어스 전압이다. 제안된 시냅스는 세 개의 Coulomb island, 네 개의 터널접합(tunnel junction), 두 개의 캐패시터로 구성되어 있다.

Coulomb island ①은 축색 돌기를 두 개의 단일전자 터널접합을 통해서 수상돌기와 연결하고 Coulomb island ②와 ③은 두 개의 단일전자 터널접합과 하나의 캐패시터 C_0 가 직렬로 연결된 단일전자 트랩(single-electron trap)의 저장 마디(memory node)로 사용된다. 또한, Coulomb island ①과 ②는 캐패시터 C_m 으로 연결된다. 여기서 단일전자 터널접합은 캐패시터 C_T 와 터널저항 R_T 으로 구성된다. 제안된 시냅스 구조에서 위 부분은 바이어스 x_{ij} 값에 따라서 Coulomb island ②에 전자가 트랩되는 단일전자 트랩으로 동작하고 아랫 부분은 Coulomb island ②에 저장되어 있는 전하를 검출해내는 단일전자 트랜지스터로써 동작한다. i 번째 수상돌기와 j 번째 축색돌기에 연결된 시냅스에 흐르는 전류는 시냅스 아랫 부분인 단일전자 트랜지스터 부분의 쿨롱 봉쇄(Coulomb blockade) 조건($v_j - u_i < V_{CB}$, V_{CB} 는 쿨롱 봉쇄 문턱 전압)에서 다음 식과 같이 선형적으로 표현된다^[11].

$$I_{ij} = w_{ij}(v_j - u_i). \tag{3}$$

여기서 컨덕턴스 w_{ij} 는 시냅스 내부 단일전자 트랜지스터의 쿨롱봉쇄 조건에서 x_{ij} 의 함수로써 다음 식과 같이 표현된다.

$$w_{ij} = \begin{cases} 0 & \text{if } x_{ij} < V_t, \\ a(x_{ij} - V_t)^b & \text{if } x_{ij} \geq V_t, \end{cases} \tag{4}$$

여기서 V_t 는 단일전자 트랩이 전도되어지게 하는 x_{ij} 의 임의의 문턱전압(threshold voltage)이고 a 와 b 는 임의의 파라미터이다. $x_{ij} \gg V_t$ 인 경우에 w_{ij} 는 거의 w_0 로 포화된다. 식 (3)과 (4)에서 표현된 것처럼 시냅스 바이어스인 x_{ij} 값이 V_t 보다 작으면 쿨롱 봉쇄 상태에 있어서 전류가 전혀 흐르지 않는 off 상태이나 x_{ij} 값이 V_t 보다 크면 전류가 잘 흐르는 on 상태가 된다.

3. 단일전자 뉴런 비선형 활성화 함수

[그림 3]은 홉필드 신경회로망의 비선형 활성화 함수를 위한 단일전자 인버터 회로(single-electron inverter)^[15]를 나타낸다. 이 비선형 활성화 함수는 계단함수(step function) 혹은 시그모이드 함수(sigmoid function)와 같은 포화된 비선형 함수이다^[14]. 단일전자 인버터 회로의 전압 이득은 단일전자 트랜지스터의 터널접합 캐패시터에 대한 게이트 캐패시터의 비로 정의되어지고 지금까지 보고된 단일전자 인버터의 전압이득은 5보다 작다^[16]. 이 단일전자 인버터는 인버터 특성을 가지고 있어

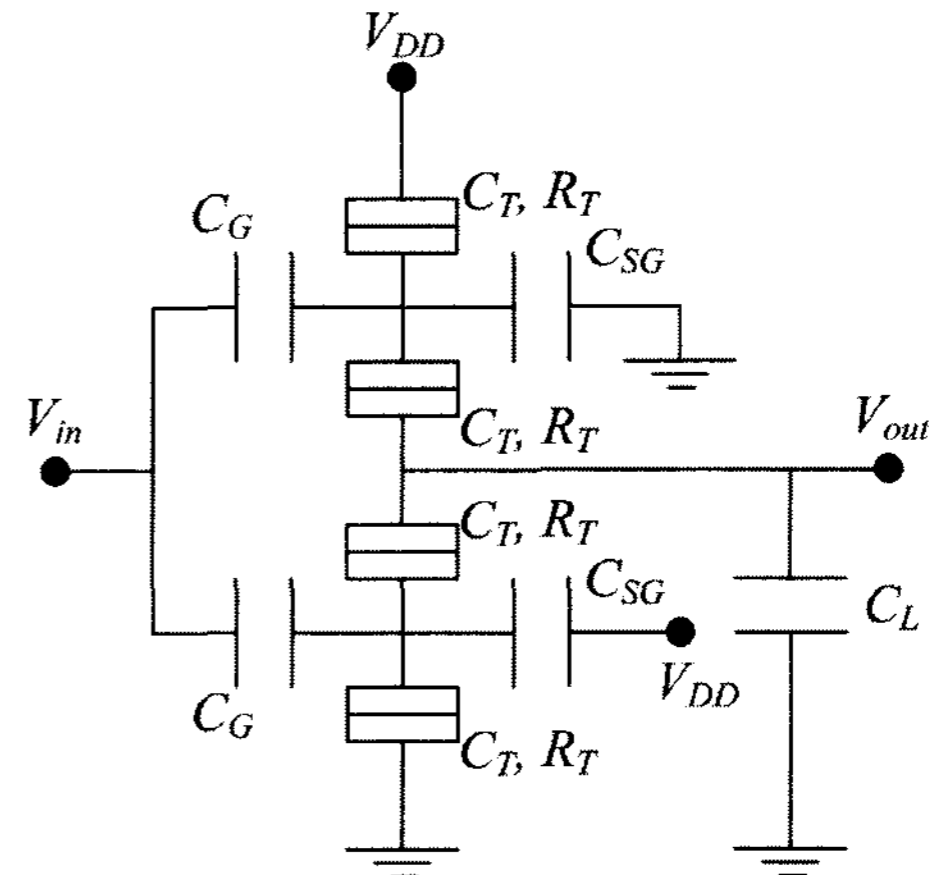


그림 3. 뉴런 비활성화 함수를 위한 단일전자 회로.
Fig. 3. Single-electron circuit for nonlinear activation function of neurons.

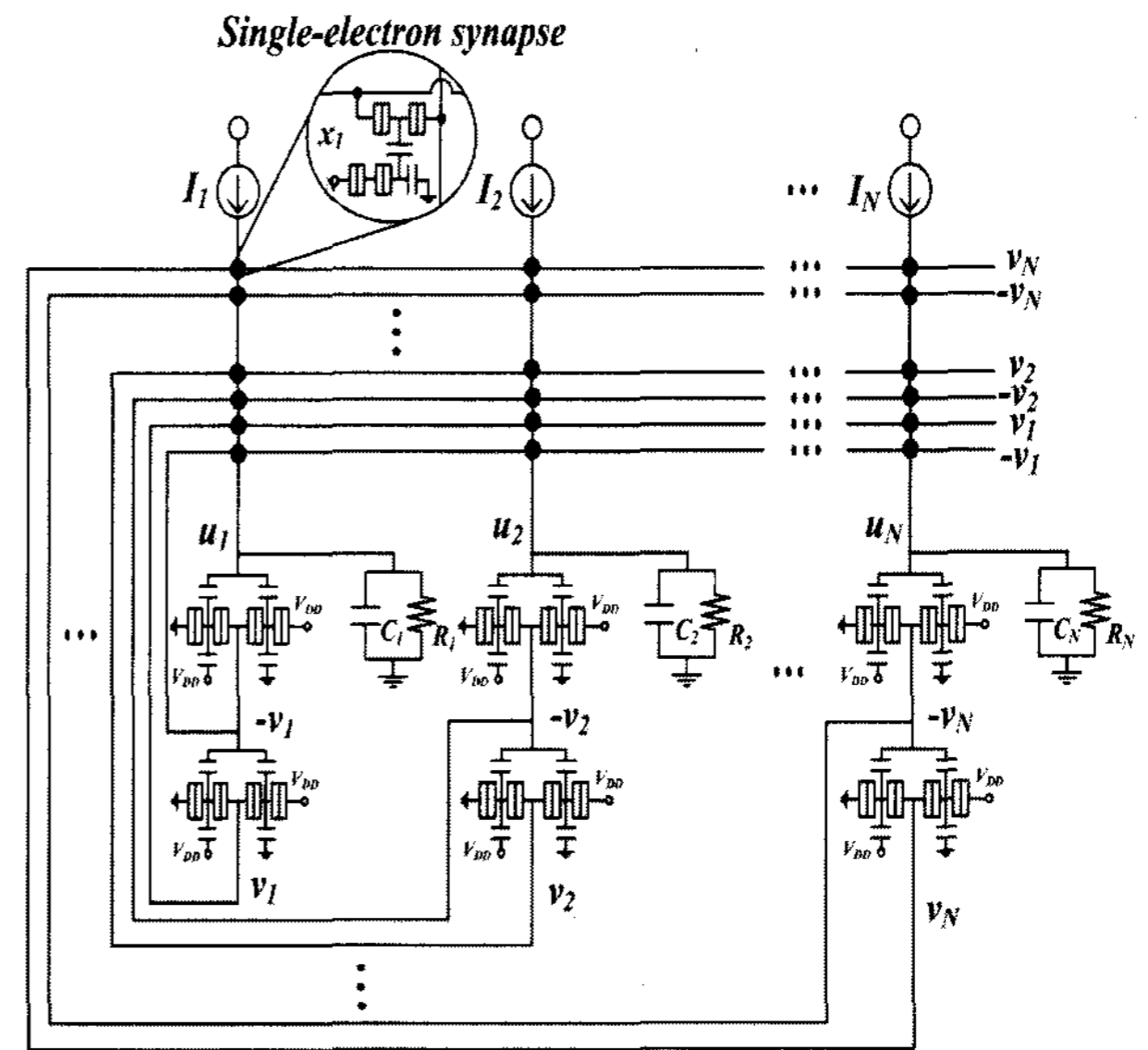


그림 4. 새롭게 제안된 단일전자 소자 및 회로를 이용한 새로운 홉필드 신경 회로망 구성.
Fig. 4. Hopfield neural network architecture using the newly developed single-electron device and circuit.

서 홉필드 신경 회로망의 비선형 활성화 함수로서 동작하기 위해서는 두개의 단일전자 인버터가 두 단으로 연결되는 cascode 구조가 필요하다. 다음 4 절에서 홉필드 신경 회로망을 위한 단일전자 회로의 전체 구성(architecture)에 대해서 자세히 설명할 것이다.

4. 단일전자 홉필드 신경 회로망 구성

[그림 4]는 단일전자 시냅스 소자와 단일전자 비선형 활성화 함수 회로로 구성된 $N \times N$ 홉필드 신경 회로망의 구성을 나타내고 있다. 가변 저항으로 모델될 수 있는 시냅스는 2절에서 소개된 단일전자 시냅스가 사용되

고 비선형 활성화 함수는 단일전자 인버터로 사용된다. [그림 1]에 보여진 것처럼 일반적으로 알려져 있는 홉필드 신경회로망과 [그림 4]에서 보여진 단일전자 홉필드 신경회로망의 차이는 다음과 같다.

- ① 가변저항으로 모델되어지는 시냅스가 단일전자 시냅스([그림 2])로 대체.
- ② 비선형 활성화 함수는 반전(inverting) 증폭기로 동작하는 단일전자 인버터를 사용.
- ③ 비선형 활성화 함수가 비반전(non-inverting) 특성을 가지므로 두 단의 단일전자 인버터가 사용.

III. 모델 검증

[그림 5]는 제안된 단일전자 시냅스에서 다양한 x_{ij} 값에 따라서 j 번째 축색돌기와 i 번째 수상돌기에 연결된 시냅스 양단에 가한 전압($v_j - u_i$)에 따른 시냅스를 통해 흐르는 전류(I) 특성을 몬테-칼로 방법을 이용한 단일전자 회로 시뮬레이터^[12]로 시뮬레이션한 결과를 나타낸다. 여기서 사용된 파라미터들은 $C_{T1} = C_{T2} = C_{T3} = C_{T4} = C_m = C_0 = 0.1$ aF, $R_{T1} = R_{T2} = 1$ M Ω , 온도 $T = 77$ K이다. 단일전자 시냅스의 바이어스 x_{ij} 가 0.53 V(단일전자 트랩의 $V_t \approx e/2(C_T/2 + C_0)$ ^[17]) 이상에서 전류는 거의 선형적인 특성을 가짐을 보이므로 이 영역에서 식 (3)과 같은 선형화된 모델의 사용이 가능하다. [그림 6]는 제안된 단일전자 시냅스에서 다양한

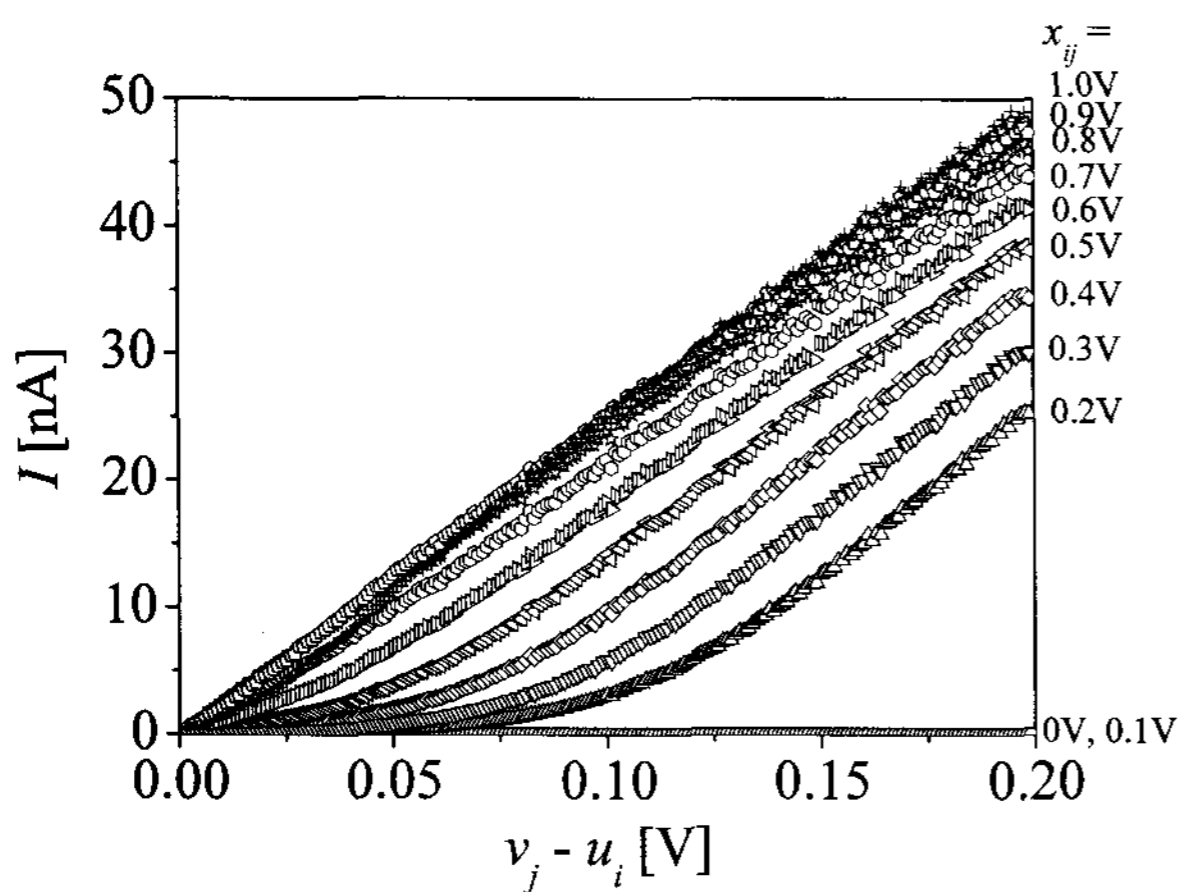


그림 5. 몬테-칼로 방법을 이용한 단일전자회로 시뮬레이터 [12]로 제안된 단일전자 시냅스의 다양한 x_{ij} 경우에 $v_j - u_i$ 전압의 함수로써 전류 특성을 시뮬레이션한 결과.

Fig. 5. Current(I) of the proposed single-electron synapse device as a function of $v_j - u_i$ at various of x_{ij} with the Monte-Carlo single-electron circuit simulator.

시냅스 양단에 걸린 전압($v_j - u_i$)에 따라서 단일전자 트랩의 문턱 전압 이상으로 인가된 $x_{ij} - V_t$ 에 따른 시냅스 양단의 컨덕턴스(w_{ij}) 특성을 나타낸다. 여기서 사용된 파라미터들은 [그림 5]에서 사용된 것과 같다. 기호들은 몬테-칼로 방법을 이용한 단일전자 회로 시뮬레이터로 시뮬레이션한 결과이고 선들은 식 (4)로 fitting 한 결과이다. 여기서 fitting한 파라미터들은 $a = 0.268 \times 10^{-6}$ 으로 공통으로 사용되고 b 는 $v_j - u_i$ 에 따라서 0.05 ~ 0.16 값을 가진다. $x_{ij} - V_t > 0.3$ V일때 w_{ij} 는 $w_0 \approx 0.25$ μ S로 포화된다. [그림 6]에 삽입된 그래프는 x_{ij} 에 따른 시냅스 양단의 전류를 나타낸다. 시냅스 바이어스인 x_{ij} 값이 V_t 보다 작으면 쿨롱 봉쇄 상태에 있어서 전류가 전혀 흐르지 않는 off 상태이나 x_{ij} 값이 V_t 보다 크면 전류가 잘 흐르는 on 상태가 됨을 보인다. [표 1]은 제안된 단일전자 시냅스와 기존에 발표된 단일전자 시냅스들 간의 비교를 나타내고 있다. 제안된 시냅스의 소자 개수는 6개로 Shin에 의해서 발표된 것과 보다 1개 많으나 비선형 활성화 함수를 단일전자 인

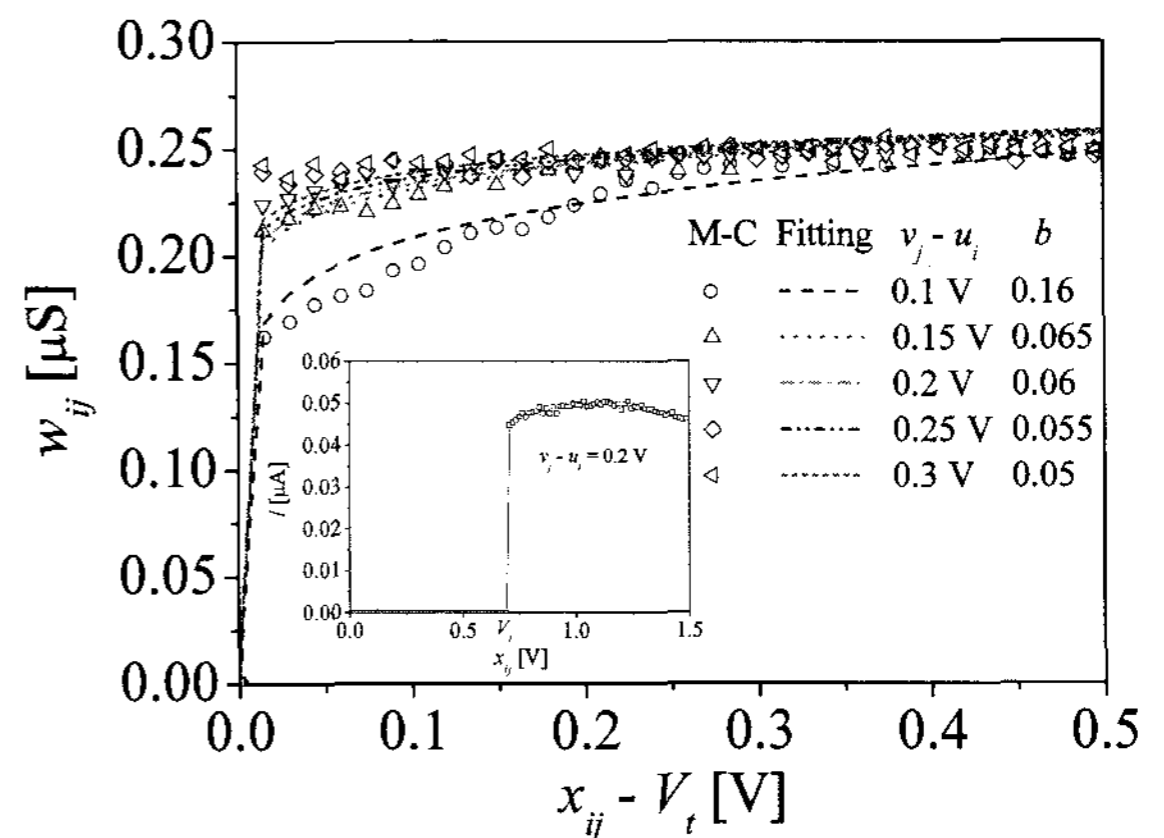


그림 6. 제안된 단일전자 시냅스의 다양한 $v_j - u_i$ 경우에 $x_{ij} - V_t$ 전압의 함수로써 컨덕턴스 특성.

Fig. 6. Conductance(w_{ij}) of the proposed single-electron synapse device as a function of $x_{ij} - V_t$ at various of $v_j - u_i$.

표 1. 단일전자 시냅스 비교

Table 1. Comparison between single-electron synapses.

	소자 개수	연결강도 바이어스 노드	비선형 활성화 함수
Türel 제안[5]	7	X	CMOS형
Shin 제안[11]	5	O	X
본 논문 제안	6	O	단일전자 인버터형

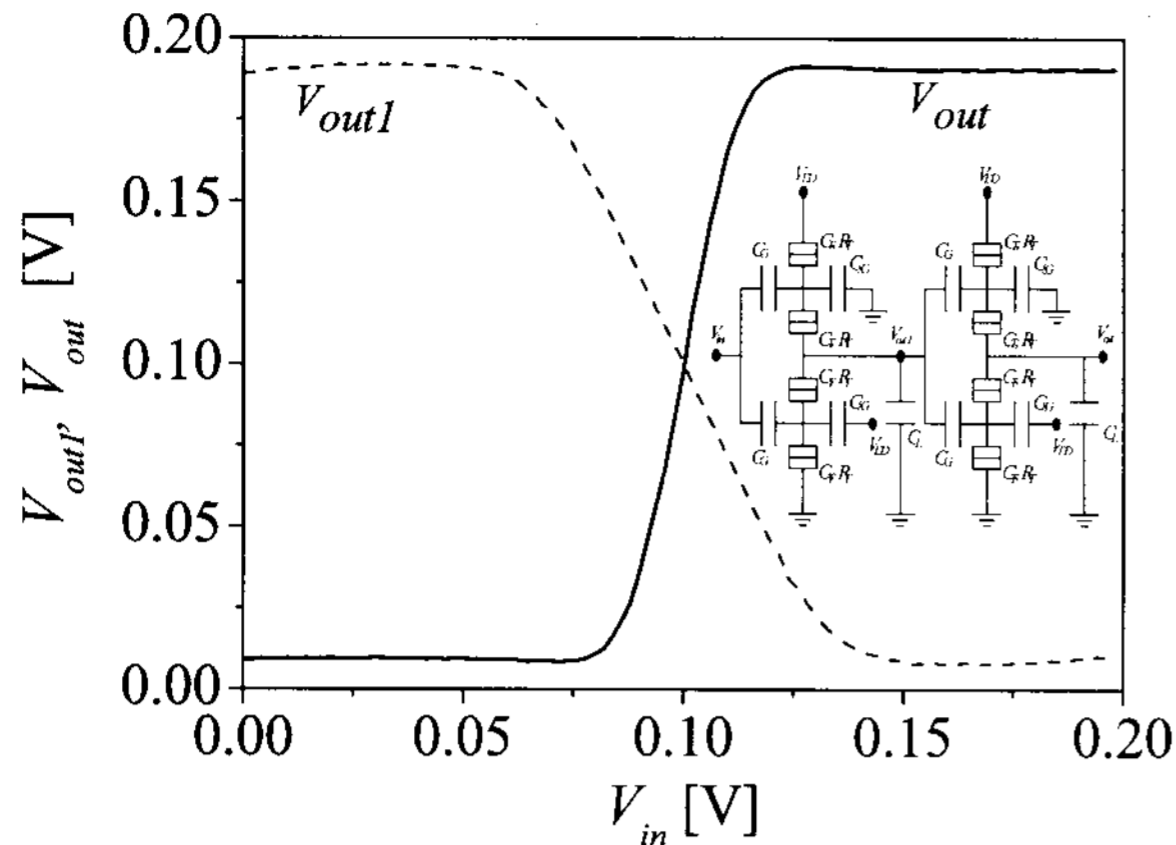


그림 7. 몬테-칼로 방법을 이용한 단일전자회로 시뮬레이터로 두 단의 단일전자 인버터(비선형 활성화 함수)의 전압전달 특성을 시뮬레이션한 결과. V_{out1} : 인버터 첫 단의 출력전압, V_{out} : 인버터 끝 단의 최종 출력전압.

Fig. 7. Voltage transfer characteristics of two stages of single-electron inverters(nonlinear activation function) with the Monte-Carlo single-electron circuit simulator.

버터형의 버퍼로 제안한 부분을 가지고 있는 특징을 가지고 있다.

[그림 7]은 [그림 3]에서 보여진 단일전자 인버터 두 단([그림 7] 삽입 그림)의 전압 전달 특성(voltage transfer characteristics) 곡선을 나타내고 있다. 점선은 인버터 첫 단의 출력전압(V_{out1})이고 실선은 인버터 끝 단의 최종 출력전압(V_{out})이다. 여기서 사용된 파라미터들은 $C_T = C_{SG} = 0.1$ aF, $C_G = 0.3$ aF, $C_L = 10$ aF, $R_T = 1$ M Ω , $T = 77$ K, $V_{DD} = 0.2$ V. [그림 4]에서 보여진 단일전자 홉필드 신경 회로망의 비선형 활성화 함수로써 단일전자 인버터가 사용될 수 있음을 [그림 7]은 보여 주고 있다.

IV. 결 론

본 논문은 새롭게 제안된 단일전자 소자 및 회로를 이용한 새로운 형태의 홉필드 신경회로망을 소개했다. 홉필드 신경회로망의 전기적 모델 내부에서 가변저항으로 사용되는 단일전자 시냅스와 비선형 활성화함수로 사용되는 두 단의 단일전자 인버터(single-electron inverter)를 몬테-칼로(Monte-Carlo) 방식의 단일전자 회로 시뮬레이터로 동작을 검증했다.

본 논문에서 제안된 홉필드 신경회로망의 단일전자 특성을 분석하기 위해 고급 계층 수준(higher hierarchical

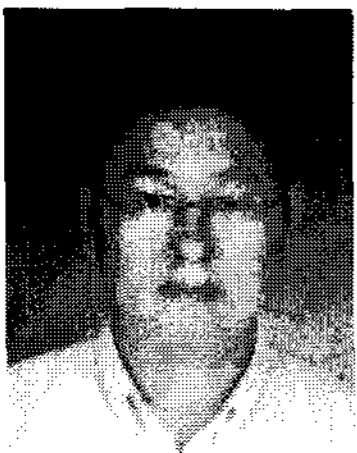
level)의 시뮬레이션을 수행하고 더불어 학습 알고리즘(learning algorithm)을 제안된 홉필드 신경망회로에 적용해서 random background charge 영향을 조사하는 연구를 수행할 수 있다.

참 고 문 헌

- [1] K. K. Likharev, "Single-electron devices and their applications", Proceedings of the IEEE, Vol. 87, No. 4, pp. 606-632, 1999.
- [2] H. Wolf, F. J. Ahlers, J. Niemeyer, H. Scherer, T. Weimann, A. B. Worin, V. A. Krupenin, S. V. Lotkovich, E. Presnov, "Investigation of offset charge noise in single-electron tunneling devices", IEEE Transactions on Instrument and Measurement, Vol. 46, pp. 303-306, 1997.
- [3] K. K. Likharev and A. N. Korotkov, "Ultradense hybrid SET/FET dynamic RAM: Feasibility of background-charge-independent room-temperature single-electron digital circuits", Proceedings of 1995 International Semiconductor Device Research Symposium, pp. 355-358, 1995.
- [4] P. Hadley, Günther Lientschnig, and Ming-Jiunn Lai, "Single-Electron Transistors", Proceedings of 29th International Symposium Compound Semiconductors 2002, pp. 125-132, 2002.
- [5] Ö Türel and K. Likharev, "Crossnets: Possible neuromorphic networks based on nanoscale components", International Journal of Circuit Theory and Applications, Vol. 31, pp. 37-54, 2003.
- [6] M. Kirihara and K. Taniguchi, "A single electron neuron device", Japanese Journal of Applied Physics, Vol. 36, No. 6B, pp. 4172-4175, 1997.
- [7] J. G. Guimarães, L. M. Nóbrega, J. C. da Costa, "Design of a Hamming neural network based on single-electron tunneling devices", Microelectronics Journal, Vol. 37, pp. 510-518, 2006.
- [8] M. J. Goosens, C. J. M. Verhoeven and A. H. M. van Roermund, "Single electron tunneling technology for neural networks", Proceedings of MicroNeuro '96, pp. 125-130, 1996.
- [9] T. Yamada and Y. Amemiya, "Multiple-valued logic devices using single-electron circuits", Superlattices and Microstructures, Vol. 27, pp. 607-611, 2000.
- [10] T. Oya, T. Asai, R. Kagaya, T. Hirose, Y. Amemiya, "Neuronal synchrony detection on single-electron neural networks", Chaos, Solitons and Fractals, Vol. 27, pp. 887-894, 2006.

- [11] M. Shin, "Neural network synapse device using single-electron tunnel junctions", Proceedings of 3th IEEE International Conference on Nanotechnology, pp. 643-646, 2003.
- [12] Y. S. Yu, S. W. Hwang, and D. Ahn, "Macromodeling of single-electron transistors for efficient circuit simulation", IEEE Transactions on Electron Devices, Vol. 46, No. 8, pp. 1667-1671, 1999.
- [13] C. Wasshuber, H. Kosina, and S. Selberherr, "SIMON-A Simulator for Single-Electron Tunnel Devices and Circuits", IEEE Transactions on Computer-Aided Design, Vol. 16, No. 9, pp. 937-944, 1997.
- [14] J. A. Freeman and D. M. Skapura, Neural Networks: Algorithms, Applications, and Programming Techniques, Addison-Wesley, pp. 146, 1991.
- [15] J. R. Tucker, "Complementary digital logic based on the Coulomb blockade", Journal Applied Physics, Vol. 72, No. 9, pp. 4399-4413, 1992.
- [16] H. Harata, M. Saito, and T. Hiramoto, "Silicon single-hole transistor with large Coulomb blockade oscillations and high voltage gain at room temperature," Japanese Journal of Applied Physics, Vol. 44, No. 20, pp. L640-L642, 2005.
- [17] Y. Takahashi, Y. Ono, A. Fujiwara and H. Inokawa, "Silicon single-electron devices", Journal of Physics: Condensed Matter, Vol. 14, pp. R995 - R1033, 2002.

 저 자 소 개



유 윤 섭(평생회원)

1995년 고려대학교 전자공학과
학사 졸업.

1997년 고려대학교 전자공학과
석사 졸업.

2001년 고려대학교 전자공학과
박사 졸업.

현재 한경대학교 정보 제어공학과 조교수

<주관심분야 : 반도체 소자 및 회로 설계>