

논문 2008-45SD-6-5

# UHF 대역 RFID 태그 칩을 위한 저전력 CMOS 아날로그 Front-End 회로 설계

(Design of a Low-Power CMOS Analog Front-End Circuit for UHF Band RFID Tag Chips)

심현철\*, 차충현\*, 박종태\*\*, 유종근\*\*\*

(Hyun-Chul Shim, Chung-Hyun Cha, Jong-Tae Park, and Chong-Gun Yu)

## 요약

본 논문에서는 UHF 대역 RFID 태그(tag) 칩을 위한 저전력 CMOS 아날로그 회로를 설계하였다. 설계된 아날로그 front-end 블록은 국제표준인 ISO/IEC 18000-6C 표준규격을 따르며, 성능테스트를 위한 메모리 블록을 포함하고 있다. 모든 회로를 1V에서 동작하도록 하여 세부 회로들의 전력소모를 최소화 하였으며, 보다 적은 전류소모로 정확한 복조를 위해 전류 모드 슈미트 트리거를 이용한 ASK 복조기를 제안 하였다. 설계된 회로는 0.18 $\mu\text{m}$  CMOS 공정을 이용하여 칩으로 제작되었으며, 측정결과 최소 0.25V<sub>peak</sub> 입력으로 동작 가능하였고, 1V 전원전압에서 2.63 $\mu\text{A}$ 의 전류소모를 갖는다. 칩 면적은 0.12mm<sup>2</sup>이다.

## Abstract

This paper describes a low-power CMOS analog front-end block for UHF band RFID tag chips. It satisfies ISO/IEC 18000-6C and includes a memory block for test. For reducing power consumption, it operates with an internally generated power supply of 1V. An ASK demodulator using a current-mode schmitt trigger is proposed and designed. The proposed demodulator can more exactly demodulate than conventional demodulator with low current consumption. It is designed using a 0.18 $\mu\text{m}$  CMOS technology. Measurement results show that it can operate properly with an input as low as 0.25V<sub>peak</sub> and consumes 2.63 $\mu\text{A}$ . The chip size is 0.12mm<sup>2</sup>.

**Keywords :** UHF, RFID, Tag chip, Low power, Current mode, ASK demodulator

## I. 서론

최근 UHF 대역 RFID 시스템은 표준화를 완료하고, 센서 태그 및 모바일 RFID 등의 응용 시스템을 주축으로 u-KOREA 사회 구현에 큰 역할을 하고 있다. 특히 모바일 RFID 시스템은 우리의 생활환경에 매우 밀접해 있는 무선 이동통신 단말기와 접목하여 많은 부가가치

창출의 가능성을 보여주고 있어 이목이 집중되고 있으며, 이에 대한 표준화를 두고 많은 연구 및 개발이 이루어지고 있다. 하지만 RFID 기술의 궁극적인 목표인 USN(Ubiquitous Sensor Network) 환경을 위해서는 몇 가지 도전적 과제가 존재하며, 그 중 가장 시급한 두 과제가 태그의 가격 문제와 소형화이다.

이러한 두 가지 과제를 해결하고자 본 논문에서는 UHF 대역 RFID의 국제표준인 ISO/IEC 18000-6 type C(EPCglobal class1 generation2) 표준<sup>[1]</sup>을 만족하는 태그 칩을 위한 저전력 CMOS 아날로그 회로를 설계하였으며, 기존과는 다른 방식으로 설계된 bias 회로와 ASK 복조기를 제안하였다.

설계된 아날로그 회로는 성능 테스트를 위한 메모리 블록을 포함하고 있으며, 칩 면적의 최소화를 고려한

\* 학생회원, \*\* 평생회원, \*\*\* 평생회원-교신저자,  
인천대학교 전자공학과

(Dept. of Electronics Engineering, University of Incheon)

※ 본 논문은 정보통신부 출연금으로 ETRI, SoC산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업의 연구결과이며, IDEC 지원에 의해서도 일부 수행되었음.

접수일자: 2007년12월18일, 수정완료일:2008년4월7일

저전력 기준전압 및 전류 발생회로와 보다 적은 전류소모로 데이터 신호를 정확히 복원할 수 있는 전류모드 슈미트 트리거를 이용한 ASK 복조기를 포함한다. 설계된 모든 회로는 태그의 인식률과 경제성을 위해 저전력화 및 칩 면적의 최소화에 중점을 두었다.

## II. 회로 설계

그림 1은 설계한 UHF 대역 RFID 태그 칩을 위한 아날로그 front-end의 전체 블록 다이어그램으로 설계된 회로는 크게 아날로그 블록과 성능 테스트를 위한 메모리 블록으로 구성된다.

아날로그 블록은 정류기(rectifier), 레귤레이터(regulator), ASK 복조기(demodulator), bias 회로, 클럭 발생기(clock generator), POR(Power on Reset), 역확산 변조기(backscatter modulator)등으로 구성되며, 리더로부터 들어오는 RF 신호를 DC 전압으로 변환하여 안정된 전원전압, bias 전류, 클럭 등을 공급하는 역할을 한다.

디지털 블록은 mask ROM, ripple counter, word line detector, serializer등으로 구성되며, POR의 리셋신호에 의해 메모리에 저장된 데이터를 역확산 변조기를 통해 리더로 보내는 역할을 한다.

본 논문에서는 저전력화 및 칩 면적의 최소화를 위해 bias 회로와 ASK 복조기를 기존과 다른 방식으로 설계하였다.

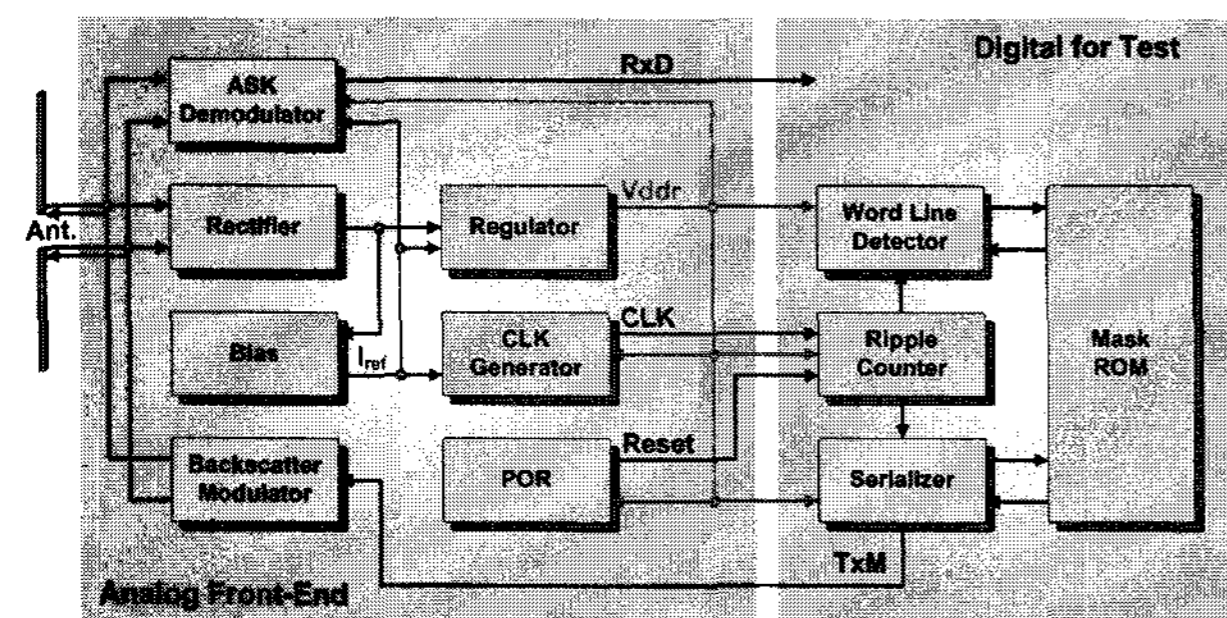


그림 1. 설계된 회로의 블록 다이어그램  
Fig. 1. Block diagram of the designed circuits.

### 1. 정류기

UHF 대역 RFID 태그 칩의 정류회로는 동작거리가 길고 주파수가 높기 때문에 궁극적으로는 내부저항이 적은 쇼트키 다이오드를 이용하여 구현되어야 하지만 본 논문에서는 공정상의 제약으로 인해 쇼트키 다이오드 대신 NMOS 트랜지스터를 사용하여 구현하였다.

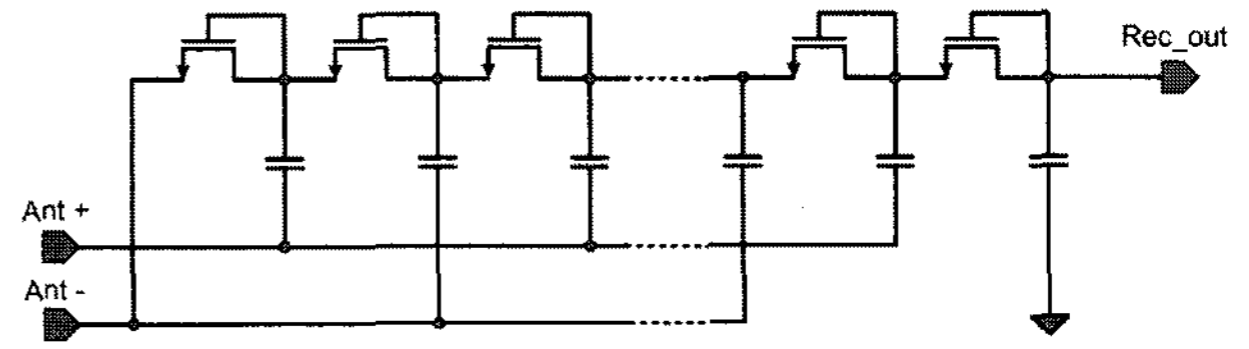


그림 2. 설계된 정류기의 회로도  
Fig. 2. Schematic of the designed rectifier.

설계된 정류기는 문턱전압으로 인한 승압제한을 최소화하기 위해 낮은 문턱전압을 갖는 MOSFET를 사용하여 구현하였으며, 6단으로 구성하였다<sup>[2]</sup>. 설계된 정류기의 회로도를 그림 2에 나타내었다.

### 2. 레귤레이터

정류기에 의해 생성된 DC 전압은 리더와 태그 사이의 거리에 따라 DC 전압의 변화가 크기 때문에 레귤레이터를 통해 안정화하여 태그의 전원전압으로 사용하여야 한다. 설계된 레귤레이터는 그림 3과 같이 오차증폭기(error amplifier)와 전달 트랜지스터( $M_{pass}$ )로 구성된다. 설계된 오차증폭기는 높은 이득을 위해 2단 구조로 설계하였으며, 높은 주파수 안정도를 보장하기 위해 밀러보상과 pole/zero cancellation을 통해 적절한 phase margin을 갖도록 설계하였다<sup>[3]</sup>.

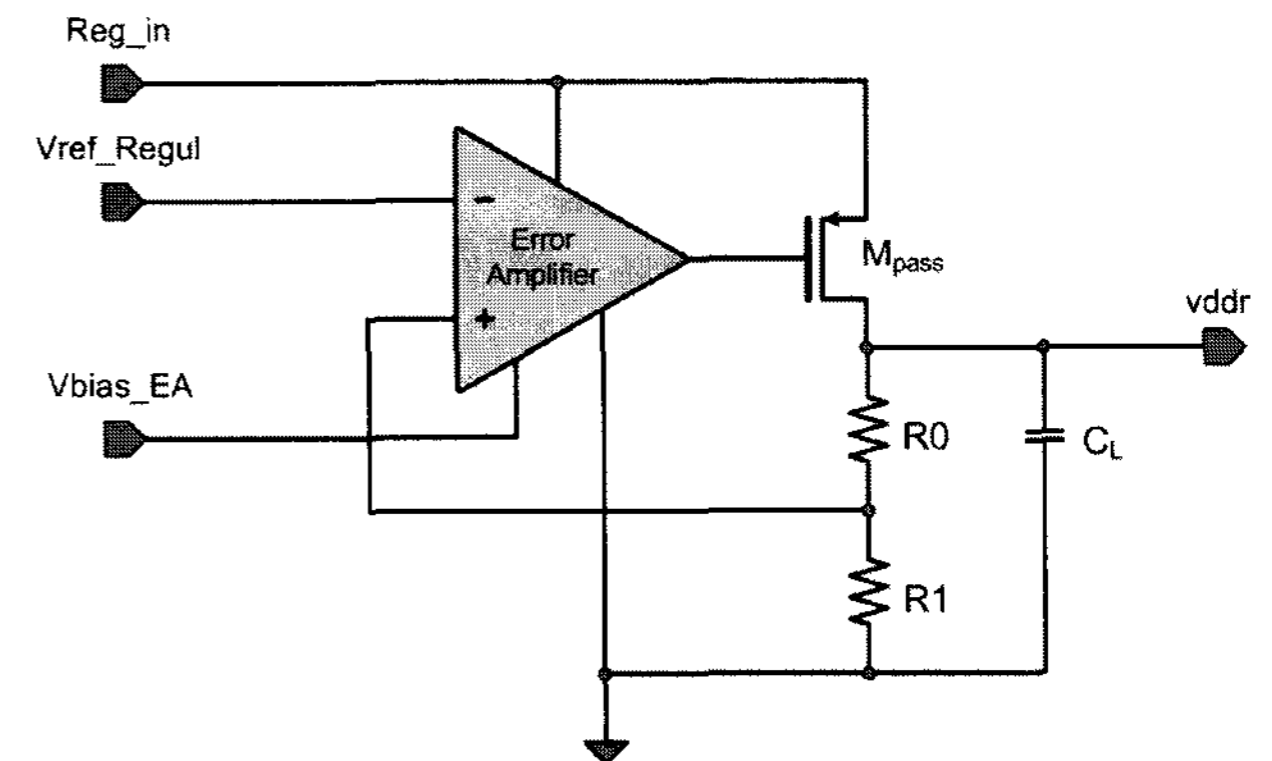


그림 3. 설계된 레귤레이터의 회로도  
Fig. 3. Schematic of the designed regulator.

### 3. Bias 회로

집적회로내의 회로들이 안정적인 동작을 하기 위해서는 전원전압이나 온도 변화 또는 외부환경요인의 변화에도 안정된 기준전압 또는 기준전류를 발생시켜 주는 회로가 필수적으로 요구된다. 본 논문에서는 CMOS 공정을 사용하여 면적이나 전력소모와 같은 추가적인 비용을 최소화하면서도 좋은 특성을 갖는 기준전압 및 기준전류 발생회로를 설계하였다.

설계된 bias 회로<sup>[4]</sup>는 그림 4와 같이 음의 온도계수를 갖는 문턱저압  $V_T$ 에 비례하는 전류 발생기와 양의 온도계수를 갖는 열전압  $V_t$ 에 비례하는 전류 발생기로 구성되며, 두 전류 발생기에서 발생하는 전류를 합하여 온도변화에 둔감한 전류를 생성하게 된다. 이때 두 전류성분을 공급전압 변화에 무관하게 생성하는 것이 중요하다. 설계된 회로는  $V_t$ 에 비례하는 전류와  $V_T$ 에 비례하는 전류를 각각 subthreshold 영역에서 동작하는 MOSFET와 문턱전압 근처에서 동작하는 MOSFET를 이용하여 발생시키기 때문에, 작은 전류를 사용하며 저전력 소모 특성을 갖게 된다.

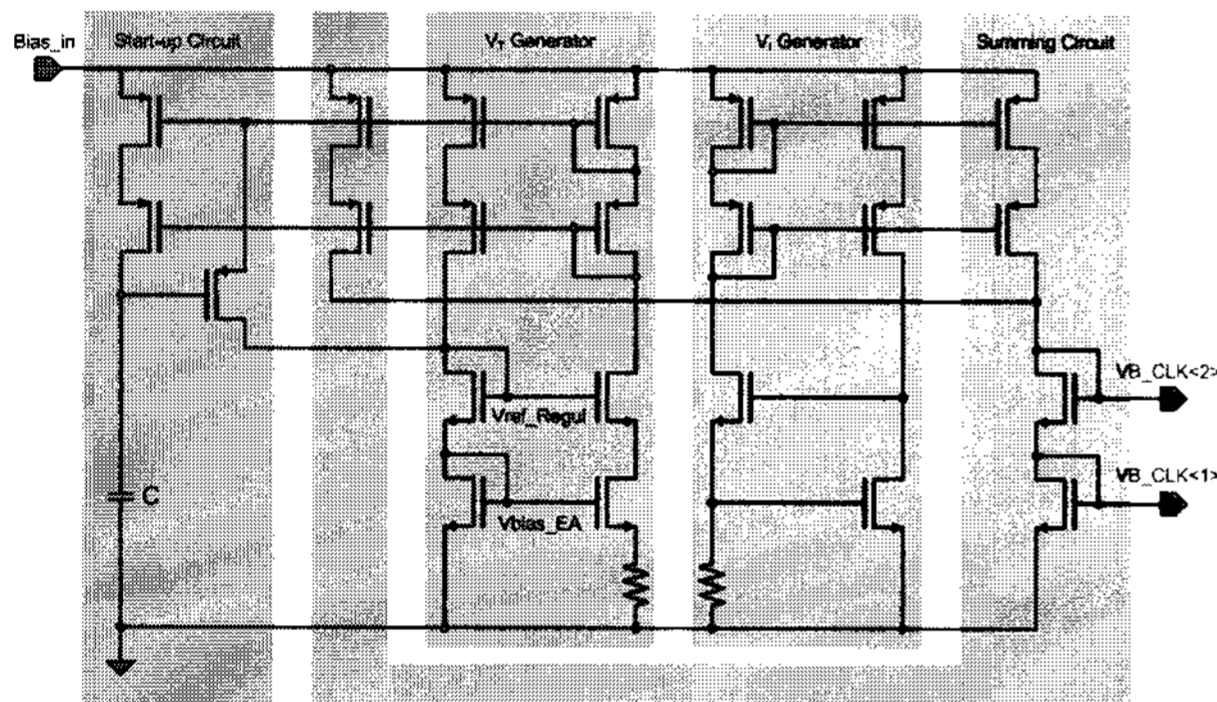


그림 4. 설계된 저전력 Bias 회로도  
Fig. 4. Schematic of the designed low-power bias circuit.

#### 4. ASK 복조기

##### 가. 기존의 ASK 복조기

그림 5는 기존의 ASK 복조기이다. 기존의 ASK 복조기의 복조방식은 포락선 검출기에 의해 검출된 포락선 신호와 저역통과 필터에 의한 포락선 신호의 평균화된 신호를 비교기를 통해 포락선 신호와 평균화된 신호를 비교하여 데이터 신호를 복조하게 된다<sup>[5]</sup>.

이때 포락선 신호의 평균화된 신호를 얻기 위해 큰 시정수를 갖는 저역통과 필터가 필요하게 되며, 비교기 또한 오프셋 오차, 전달 지연, 입력 노이즈에 의해 정확한 데이터 복조가 어렵게 된다.

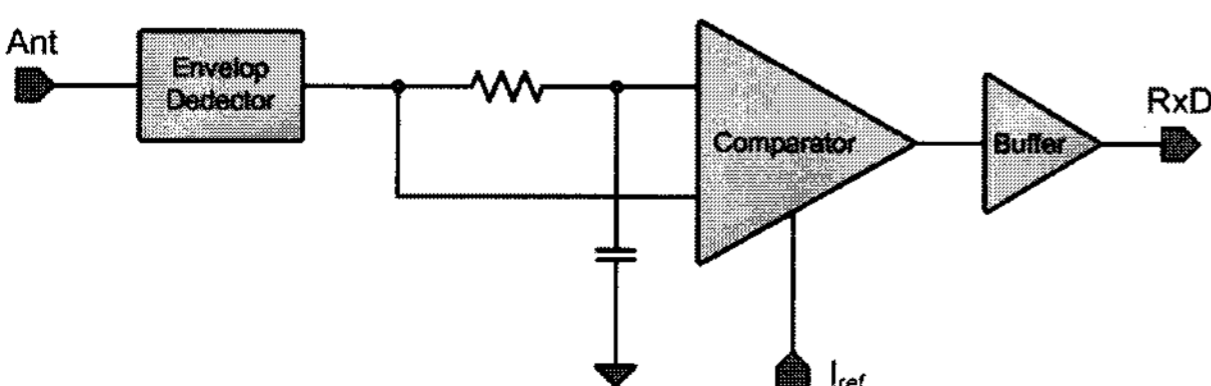


그림 5. 기존의 ASK 복조기  
Fig. 5. Conventional ASK demodulator.

##### 나. 제안된 ASK 복조기

본 논문에서는 기존의 큰 시정수를 갖는 저역통과 필터로 인한 면적문제와 비교기로 인한 복조의 정확도 문제를 개선하기 위해 적은 전류소모 특성을 갖는 전류모드 슈미트트리거<sup>[6]</sup>를 이용한 ASK 복조기를 제안하였다. 제안된 ASK 복조기를 그림 6에 나타내었다.

제안된 ASK 복조기는 포락선 검출기, 노이즈 필터, 미분회로, 전압-전류 변환회로, 전류모드 슈미트트리거로 구성되며, ASK 변조된 RF 신호로부터 풀 스윙(full swing) 비트열을 얻기 위해 포락선 검출된 신호( $V_E$ )를 미분하여 차동신호( $I_D$ )를 생성하고 생성된 차동신호를 전류모드 슈미트트리거를 통해 데이터신호( $RxD$ )로 복조한다.

설계된 전류모드 슈미트트리거는 SR latch에 의해 낮은 기준전류원 이하의 입력이 들어올 때 '1'을 출력으로 갖고, 높은 기준전류원 이상의 입력이 들어올 때 '0'을 출력으로 갖는다. 그리고 중간 값을 갖는 전류가 입력 될 때는 출력이 이전 값을 유지하게 되어 변조된 파형으로부터 데이터를 복조한다. 노이즈 필터는 포락선 검출된 신호의 잡음을 줄이기 위한 필터로, 능동소자로 구성하여 면적을 최소화 하였다.

제안된 복조기는 기존의 큰 시정수를 갖는 저역통과 필터의 필요성을 제거하고 노이즈 필터 또한 능동소자로 구현하여 기존의 복조기 보다 적은 면적을 갖으며, 적은 전류소모로 보다 정확한 복조가 가능하다.

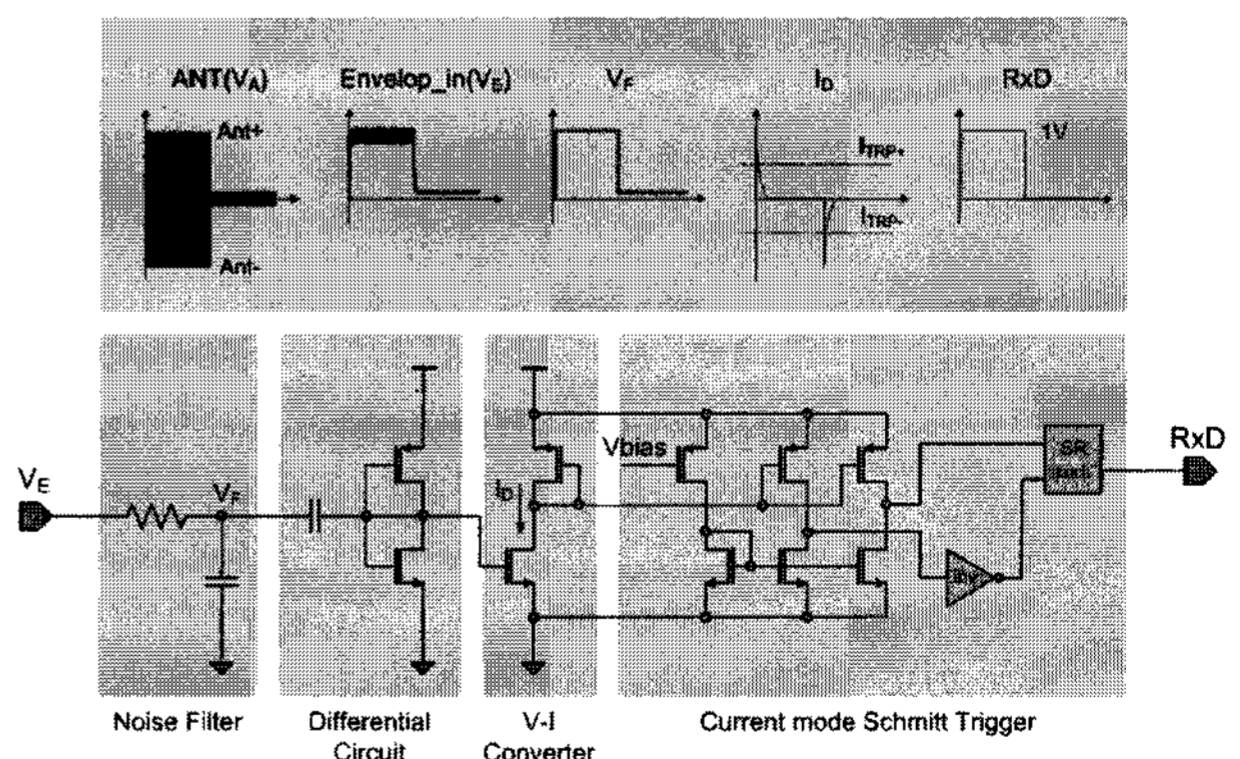


그림 6. 제안된 ASK 복조기  
Fig. 6. Proposed ASK demodulator.

#### 5. 역확산 변조기

UHF 대역 RFID 시스템은 역확산 변조를 통해 태그의 저장된 정보를 리더로 전달하며, 역확산 변조 방식에서는 ASK 방식과 PSK 방식이 있다<sup>[7]</sup>. ASK 방식은 그림 7(b)의 (1)경우와 같이 변조 임피던스( $Z_{mod}$ )의 실



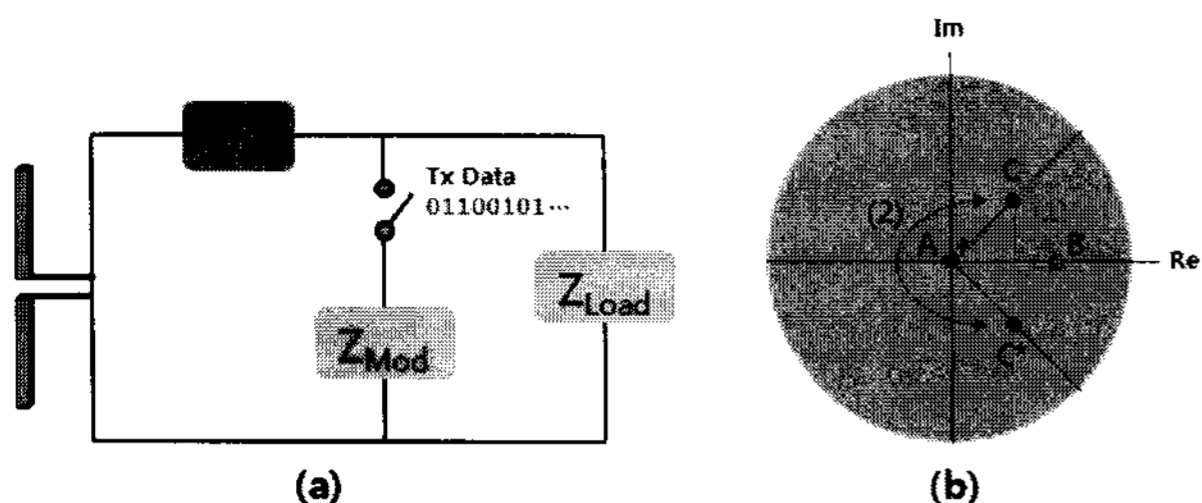


그림 7. (a) 등가회로, (b) 변조 임피던스 스미스차트  
 Fig. 7. (a) Equivalent circuit of a tag,  
 (b) Smith chart of a modulated impedance.

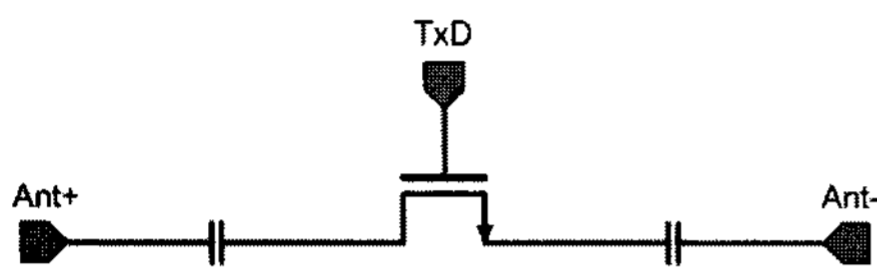


그림 8. 설계된 PSK modulator의 회로도  
 Fig. 8. Schematic of the designed PSK modulator.

수성분을 변화시키며, PSK 방식은 그림 7(b)의 (2)경우와 같이 변조 임피던스의 허수 성분만 변화시켜 태그에 저장된 데이터를 전달한다. PSK 방식의 경우 태그에 입력되는 전력이 리더에서 보낸 데이터와 무관하게 되어 높은 DC전력효율과 역확산 전력을 얻을 수 있다. 따라서 본 논문에서는 높은 DC전력효율과 역확산 전력을 위해 PSK 방식으로 변조기를 설계였으며, 설계된 회로의 회로도를 그림 8에 나타내었다.

6. 클럭 발생기

그림 9는 설계된 클럭발생기의 회로도이다. 온도변화에 관계없는 안정된 클럭을 디지털 블록에 공급하기 위해 앞서 설계된 bias 회로에서 발생하는 전류를 사용하였다. 또한 저전력 이면서 간단한 구조를 갖는 current starved ring oscillator를 사용하여 전류소모 및 면적을 최소화 하였다.

7. Power on Reset

그림 10은 설계된 POR의 회로도이다. POR은 태그의 전압이 정상상태에 이를 때 태그가 정상적인 동작을 시작하도록 디지털 블록에 리셋신호를 보내는 역할을 한다.

설계된 클럭발생기는 적은 전력으로 가장 많은 주파수로 분주가 가능한 1.92MHz를 생성한다.

설계된 POR 회로<sup>[8]</sup>는 슈미트트리거의 입력으로 사용되는 커패시터(C<sub>POR</sub>)의 양 단의 전압(V<sub>POR</sub>)은 v<sub>ddr</sub>보다 늦게 상승하게 된다. 따라서 V<sub>POR</sub>이 식 (1)로 주어지는 천이점(switching point) V<sub>SP</sub>에 도달했을 때 리셋신호는

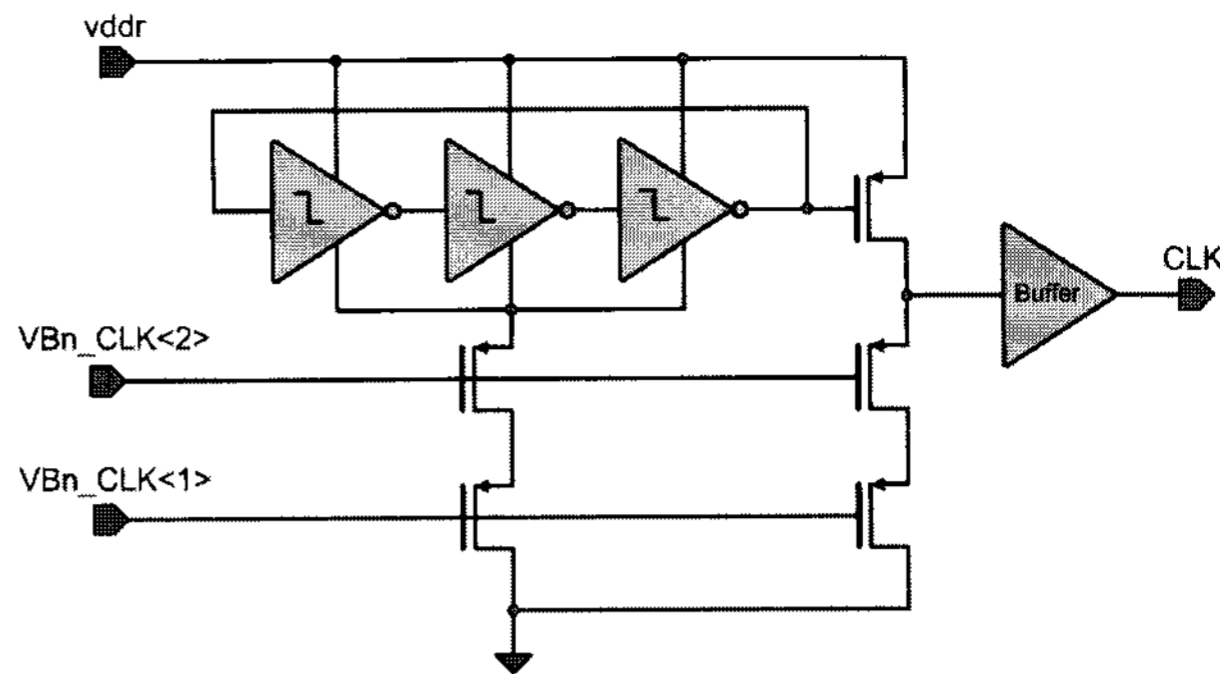


그림 9. 설계된 클럭발생기의 회로도  
 Fig. 9. Schematic of the designed clock generator.

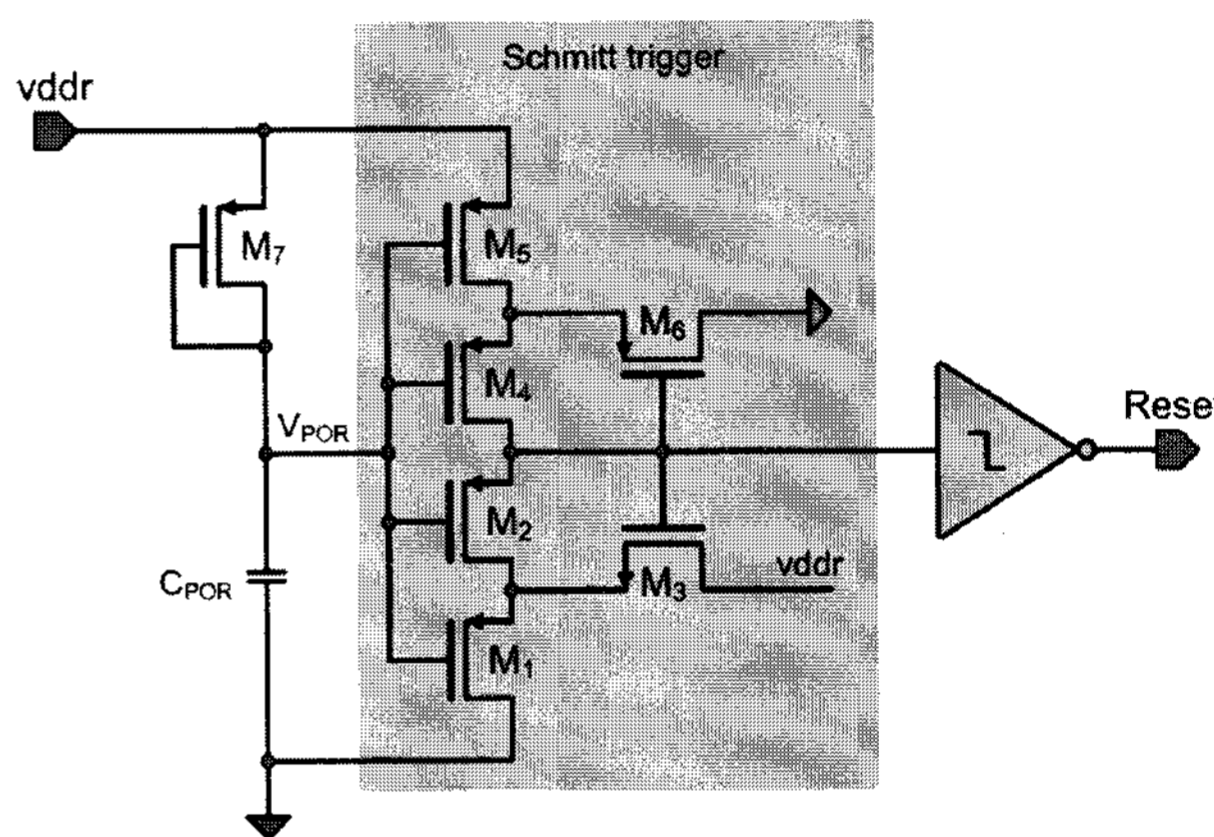


그림 10. 설계된 POR의 회로도  
 Fig. 10. Schematic of the designed POR.

'low'에서 'high'로 변하게 된다.

$$V_{SP} = \frac{V_{ddr} + V_{THn} \sqrt{\beta_1/\beta_3}}{1 + \sqrt{\beta_1/\beta_3}} \tag{1}$$

여기서,  $\beta_1 = \mu_n C_{ox} \frac{W_1}{L_1}$ ,  $\beta_3 = \mu_n C_{ox} \frac{W_3}{L_3}$  이고, V<sub>THn</sub>는 M<sub>1</sub>의 문턱전압이다. C<sub>POR</sub>는 NMOS 트랜지스터를 사용하여 구현하였다.

8. 메모리 블록

메모리 블록은 사용자의 ID 및 태그가 부착될 사물의 정보를 저장하기 위한 블록으로 읽고 쓰기가 가능한 EEPROM과 이를 제어하기 위한 디지털 블록으로 구성되어야 한다. 하지만 본 논문에서는 설계된 아날로그 블록의 성능 테스트를 위해 mask ROM을 사용하여 구현하였다.

그림 11은 설계된 메모리 블록의 블록 다이어그램으로, 설계된 메모리 블록은 ripple counter, word line detector, serializer로 구성되며, 태그의 전원전압이 정상상태에 이를 때 ripple counter의 enable 신호에 의해

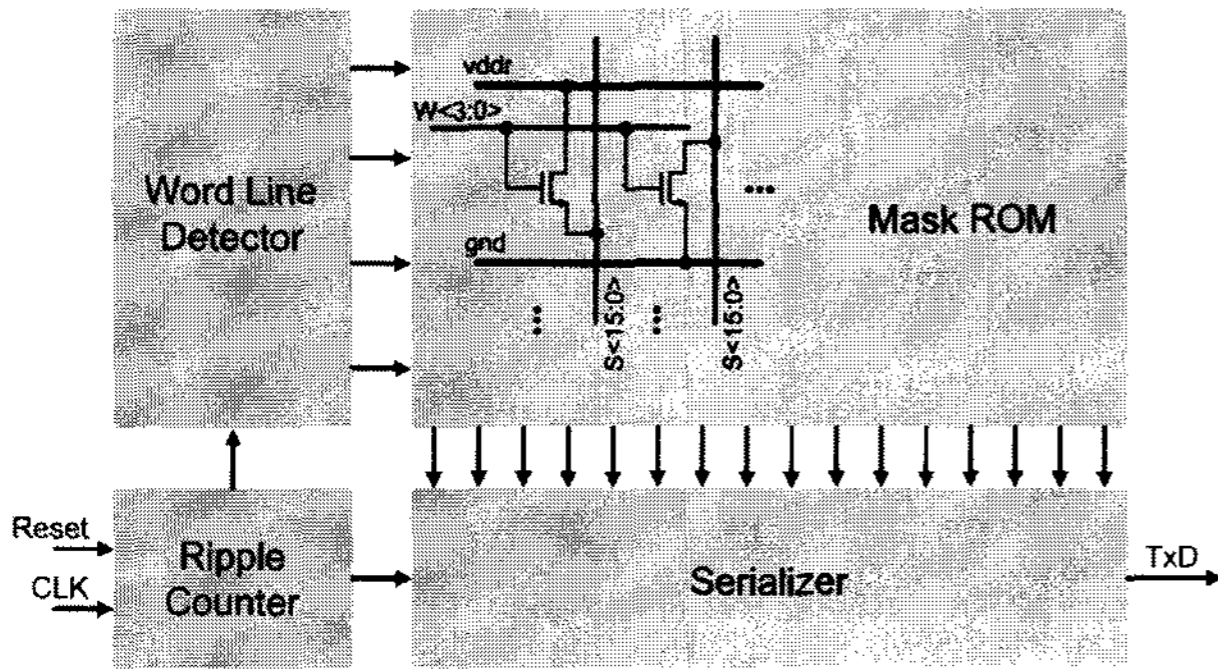


그림 11. 설계된 메모리 블록의 블록 다이어그램  
Fig. 11. Block-diagram of the designed memory block.

표 1. 메모리에 저장된 TX data  
Table 1. TX data stored in memory.

	$S_{15}$	$S_{14}$	$S_{13}$	$S_{12}$	$S_{11}$	$S_{10}$	$S_9$	$S_8$	$S_7$	$S_6$	$S_5$	$S_4$	$S_3$	$S_2$	$S_1$	$S_0$
$W_3$	0	0	0	1	1	1	1	1	1	0	0	0	1	1	1	1
$W_2$	0	0	0	0	0	0	1	0	0	1	1	1	0	0	0	0
$W_1$	0	0	0	1	0	1	1	0	0	0	0	0	0	0	1	1
$W_0$	1	0	0	1	1	1	0	1	0	0	0	0	1	1	1	1

카운트를 시작한다. ripple counter의 4bit은 serializer를, 2bit은 word line detector를 제어하게 되며, serializer의 1bit씩 차례로 역확산 변조기에 전달되어 진다.

메모리는 64bit의 mask ROM으로 NMOS 트랜지스터만으로 구현하여 면적을 최소화 하였다. 메모리에 임의로 저장한 데이터를 표 1에 정리하여 나타내었다.

### III. 모의실험 및 측정결과

#### 1. 모의실험

설계된 회로를 0.18 $\mu$ m CMOS 공정변수를 사용하여 RF-Spectre 시뮬레이션 하였다.

그림 12는 설계된 전체회로의 모의실험결과를 나타내며, 0.3V<sub>peak</sub>의 RF 신호가 태그에 입력될 때를 가정하여 수행하였다. 0.3V<sub>peak</sub>의 CW(Continuous Wave) 신호 입력이 정류기에 의해 2.3V까지 승압(A)되고, 약 3 $\mu$ s에서 태그 내부의 전원전압(B)이 1.002V로 안정화 되며, 원하는 주파수의 클럭(C)을 발생한다. 그리고 충분히 클럭이 안정화 되었다고 예상되어지는 약 50 $\mu$ s에서 리셋신호(D)가 발생되고, 이와 동시에 디지털 블록이 동작을 시작하여 메모리에 저장된 데이터(E)가 역확산 변조기로 전달되는 것을 확인 할 수 있다.

그림 13(A)은 레귤레이터에 의해 생성되는 태그 내부의 전원전압 파형을 확대한 파형으로, 1.68mV의 흔들림을 보인다. 그림 13(B)은 클럭 발생기에서 발생하는

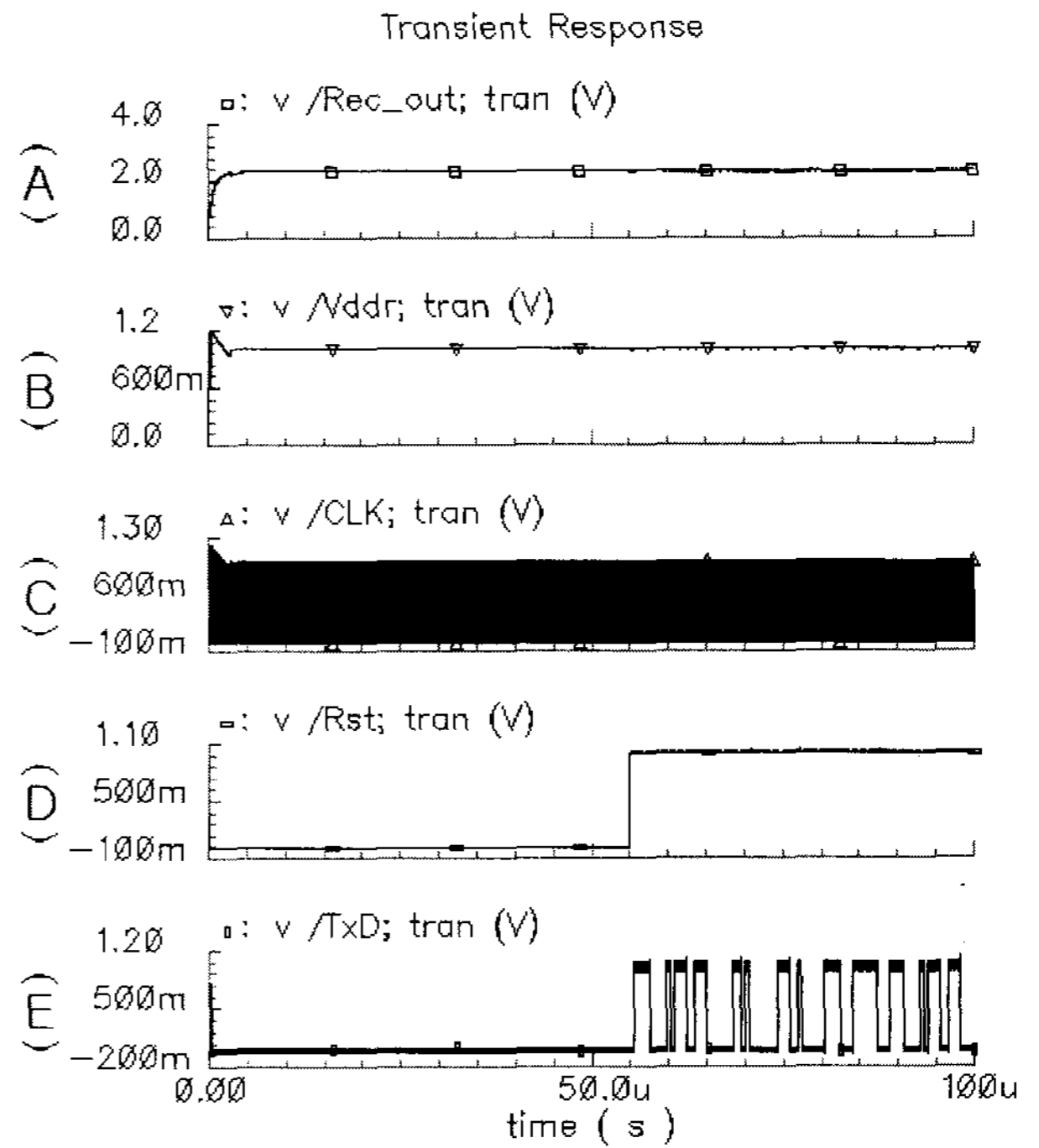


그림 12. 설계된 아날로그 블록의 출력파형  
Fig. 12. Output waveforms of the designed analog front-end.

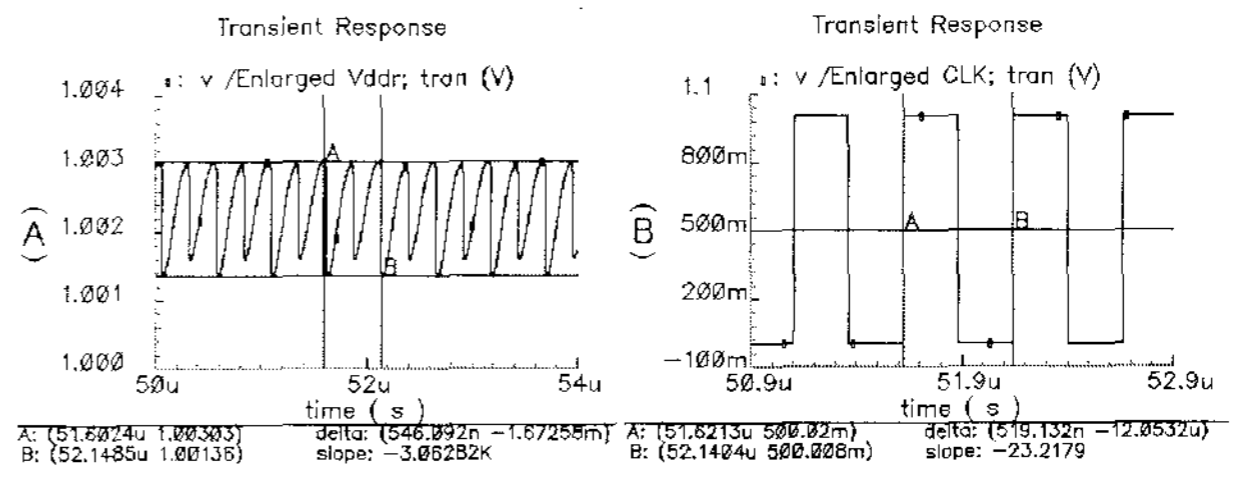


그림 13. 확대된 (A) 레귤레이터 출력과 (B) 클럭발생기의 출력파형  
Fig. 13. The enlarged output waveform of the (A) regulator and (B) clock generator.

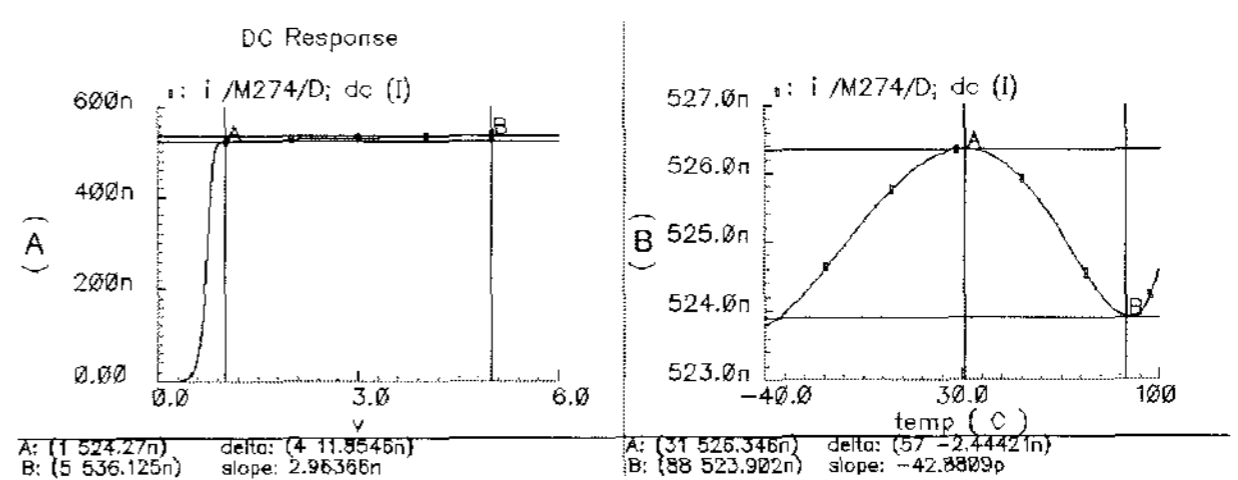


그림 14. (A) 공급전압 변화와 (B) 온도 변화에 따른 기준전류 특성  
Fig. 14. Dependence of the bias current on the variation of (A) supply voltage and (B) temperature.

클럭의 파형을 확대한 것으로, 원하는 주파수인 1.92 MHz(519.13ns)의 클럭이 발생하는 것을 확인 할 수 있다.

그림 14는 설계한 bias 회로의 (A)공급전압과 (B)온도변화에 따른 기준 전류의 특성을 모의 실험한 결과이

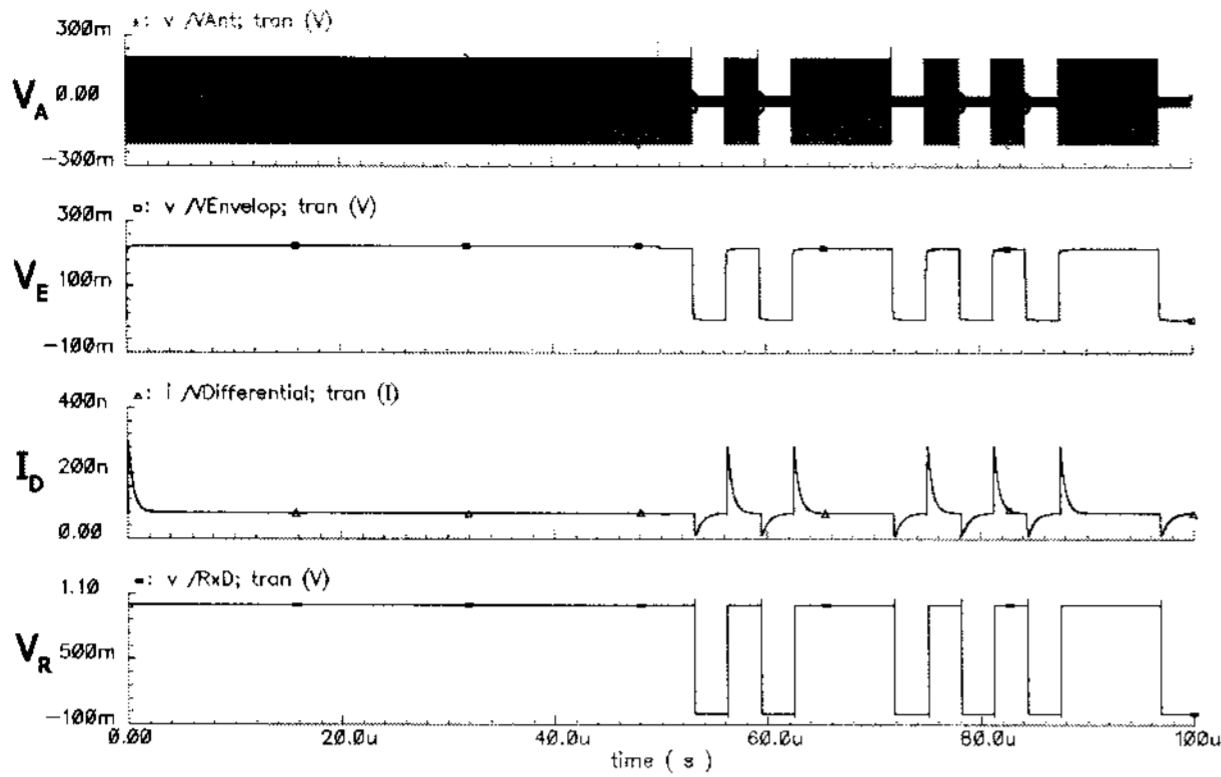


그림 15. 제안된 ASK 복조기의 각 노드 파형  
Fig. 15. Node waveforms of the proposed ASK demodulator.

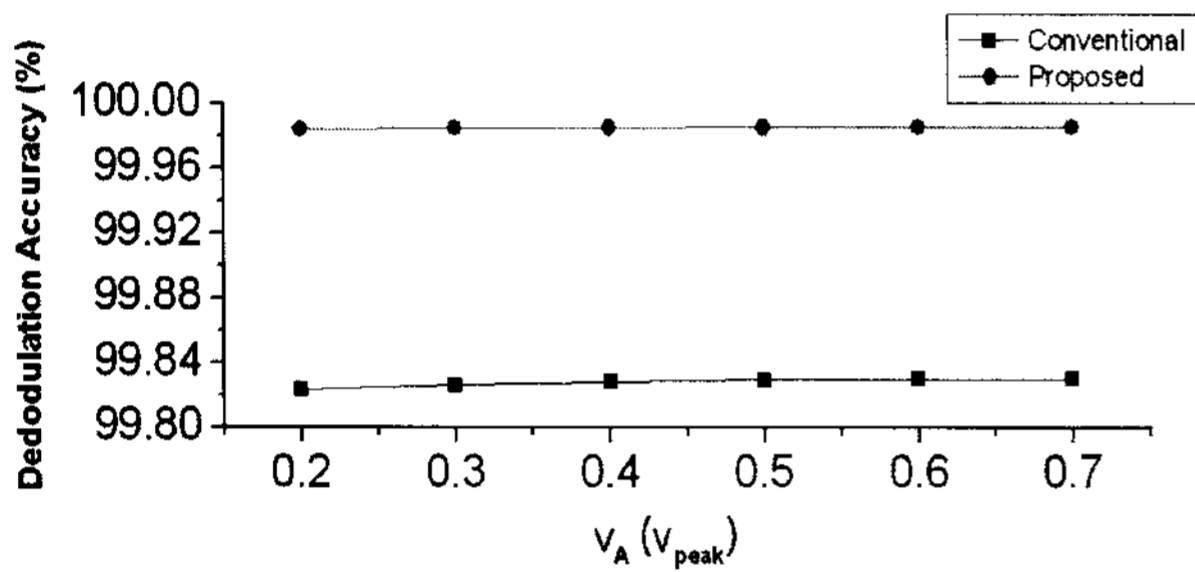


그림 16. 기존의 복조기와 제안된 복조기의 복조 정확도  
Fig. 16. The demodulation accuracy of between the conventional and proposed demodulators.

다. 설계된 회로의 기준전류는 0~100°C의 온도범위에서 약 2.5 $\mu$ A의 변화량을 갖으며, 1~5V의 공급전압 변화에 대하여 약 11nA의 변화량을 갖는다. 설계된 회로는 1.5V 공급전압에서 2.4 $\mu$ A의 전류소모를 보인다.

그림 15는 ASK 복조기의 각 노드의 파형으로, V<sub>A</sub>는 안테나 입력되는 90% 변조된 ASK 변조신호, V<sub>F</sub>는 포락선 검출기의 해서 검출된 포락선 신호를 노이즈 필터를 통해 노이즈가 억압한 포락선 신호, I<sub>D</sub>는 미분회로에 의한 I<sub>LH</sub>과 I<sub>HL</sub>에서만 피크를 갖는 차동신호, V<sub>R</sub>은 ASK 복조기에 의해 복조된 데이터 신호파형이며, 0.2V<sub>peak</sub> 변조신호가 수신될 때의 결과파형이다. 동작 확인을 위해 임의의 파형(CW-001001)을 인가하였다.

기존의 복조기와 제안된 복조기의 복조의 정확도를 비교하여 그림 16에 나타내었다. 제안된 복조기는 기존의 복조기에 비해 0.8 $\mu$ A 적은 전류소모로 0.163% 더 정확히 복조하며, 입력신호(V<sub>A</sub>)의 진폭변화에도 일정한 복조의 정확도를 갖는다. 비교에 사용된 기존의 복조기는 1.78 $\mu$ A 전류소모로 99.823% 복조의 정확도를 갖는다.

설계된 아날로그 회로는 1.5V 전원전압에서 16.48 $\mu$ A, 1V 전원전압에서 2.63 $\mu$ A 전류소모를 보이며, 0.12mm<sup>2</sup>의 면적을 갖는다. 설계된 아날로그 회로는 전력소모 및

면적에서 우수한 특성을 보이며, 저전력 고성능의 bias 회로 설계를 통해 BGR(Bandgap Reference)의 필요성을 제거하여 전류소모 및 면적을 줄일 수 있었다. 또한 전류모드 슈미트 트리거를 이용한 ASK 복조기를 제안하여 기존의 복조기 보다 적은 전력소모로 보다 정확히 복조가 가능하다.

## 2. 측정결과 및 고찰

### 가. IC 제작

설계된 아날로그 회로를 0.18 $\mu$ m 1-poly 6-metal CMOS 공정을 사용하여 실제 칩으로 제작하였다. 실제 제작된 칩의 면적은 370 $\times$ 336mm<sup>2</sup>로, 그림 17에 나타내었다. 그림 17(A)은 제작된 실제 칩 사진이며, 그림 17(B)은 칩의 동작특성을 확인하기 위한 테스트 보드이다.

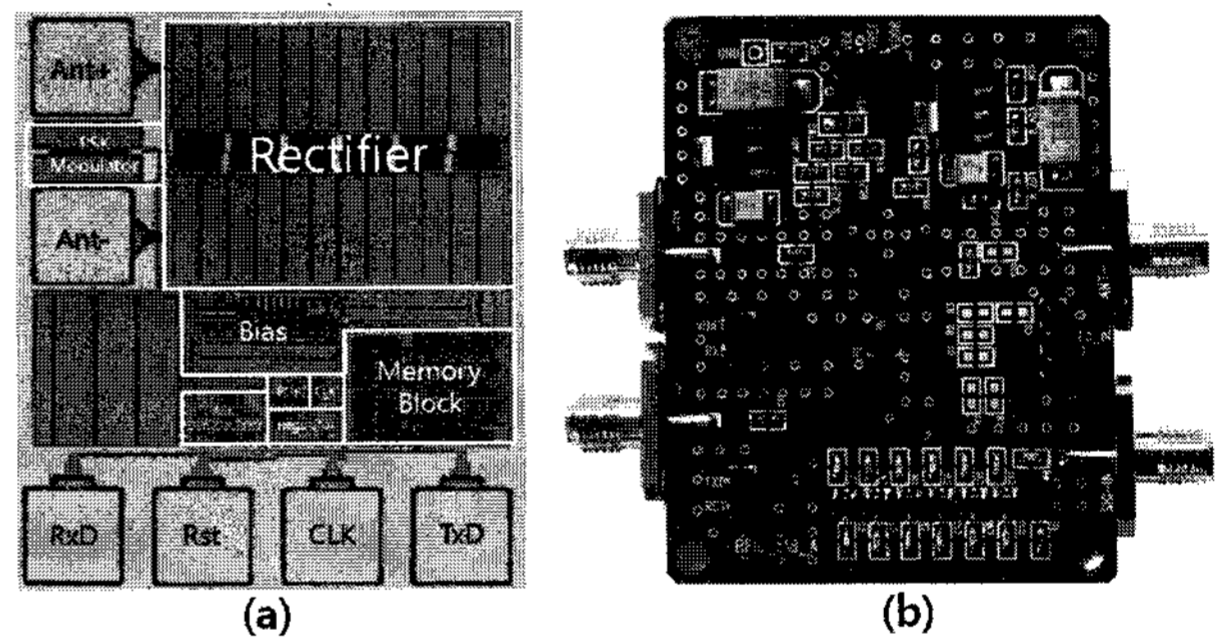


그림 17. (a) 칩 사진, (b) 테스트 보드  
Fig. 17. (a) Chip photo, (b) Test board.

### 나. 측정결과

그림 18은 제작된 IC에 0.3V<sub>peak</sub>의 RF신호가 입력될 때의 정류기의 출력파형을 측정된 결과로 1.82V까지 승

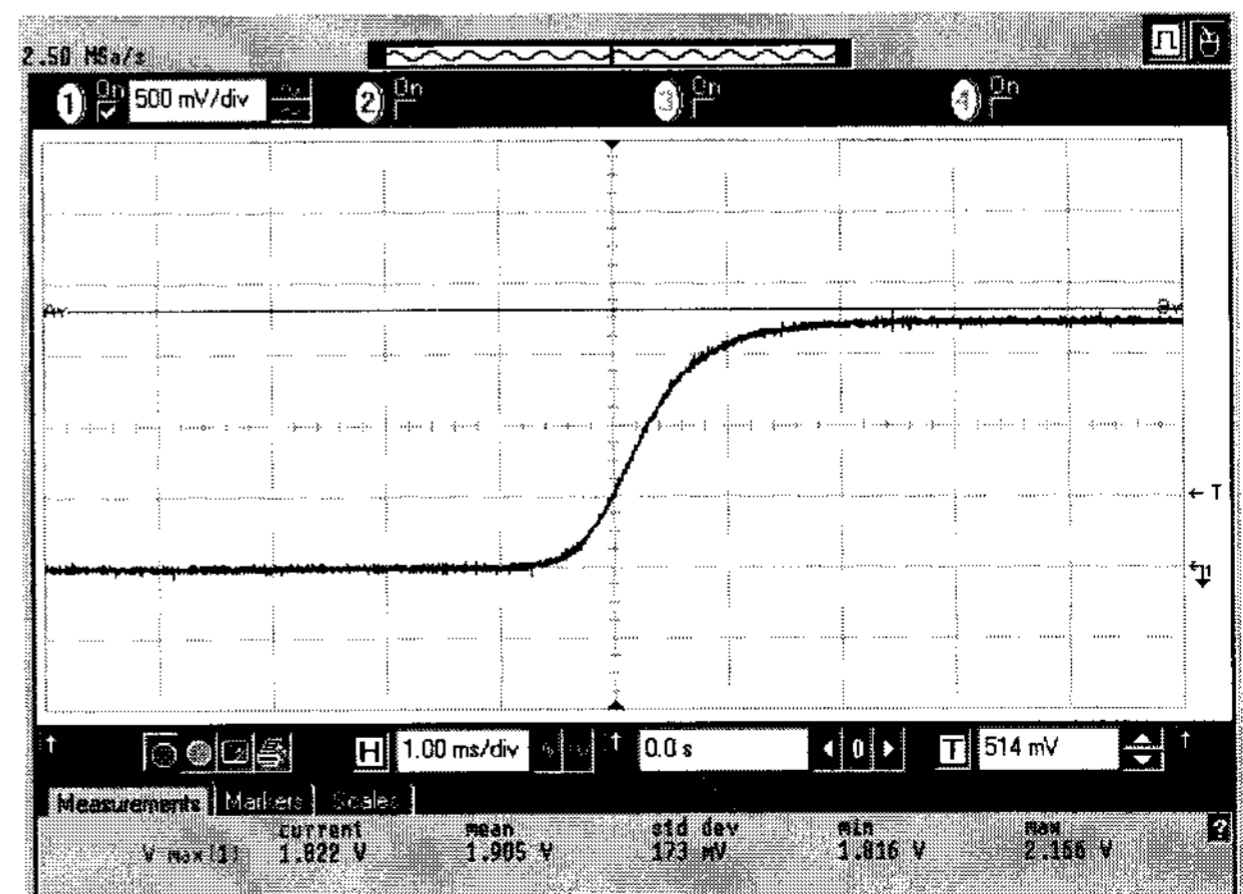


그림 18. RF-입력파형과 정류기 출력파형  
Fig. 18. RF-input signal and output signal of the designed rectifier.



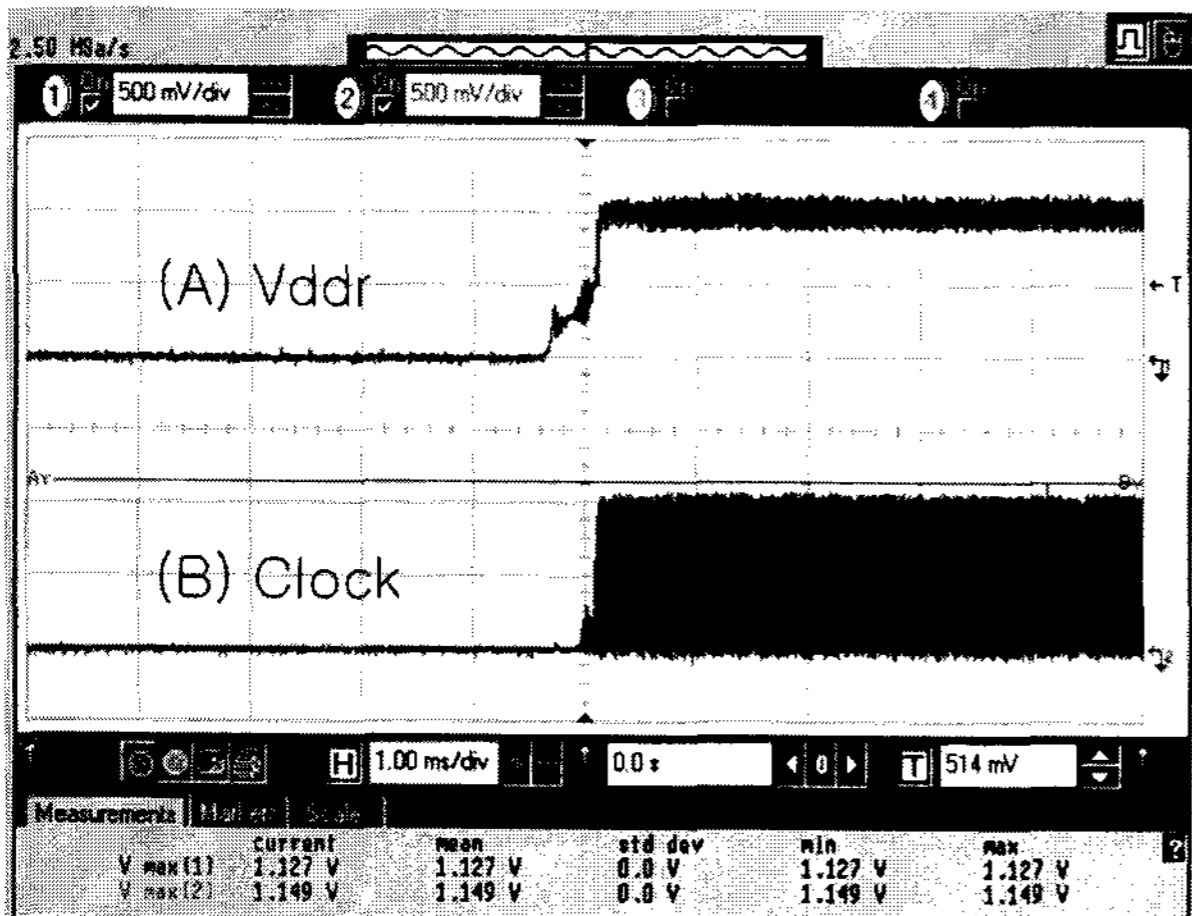


그림 19. 레귤레이터 출력파형과 클럭발생기 출력파형  
Fig. 19. Output signal of the regulator and clock signal of the clock generator.

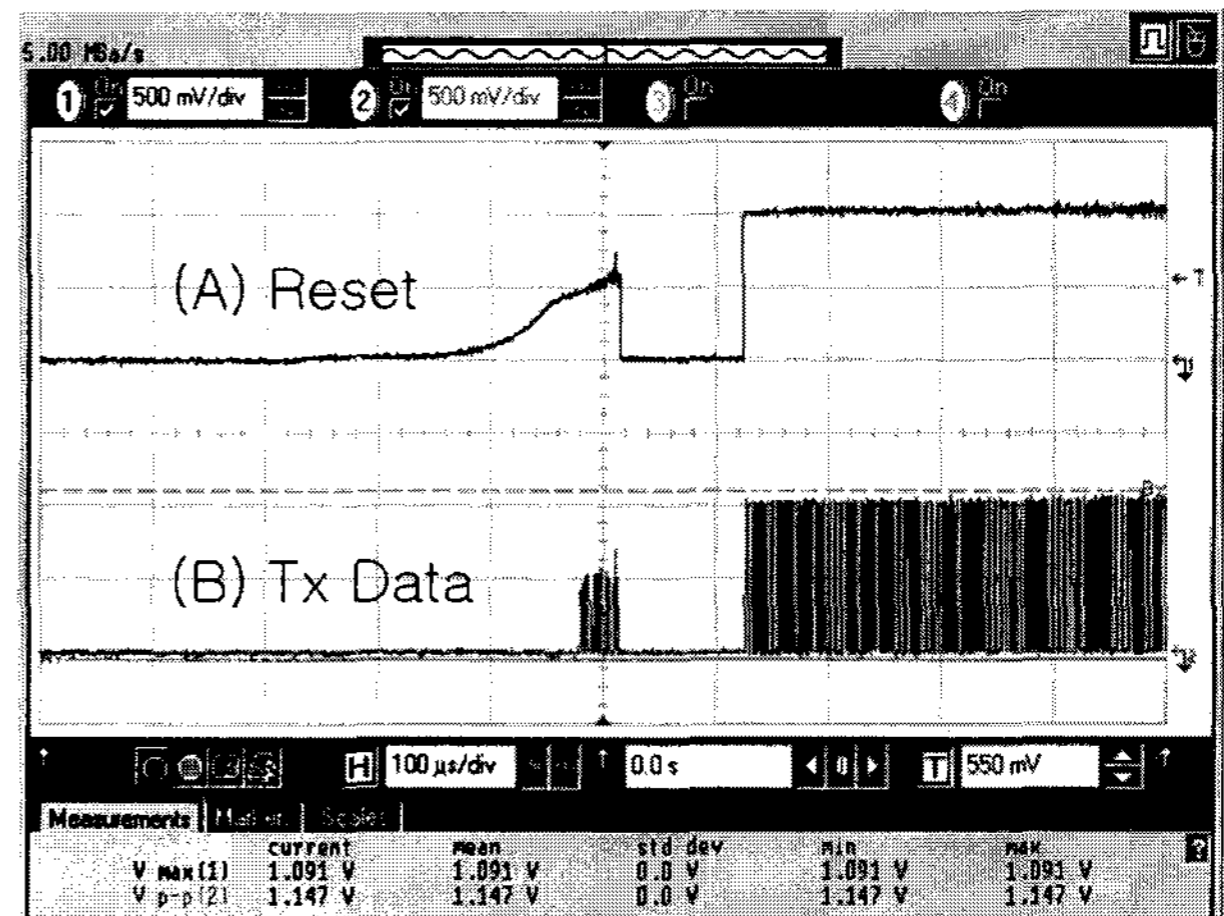


그림 21. POR의 reset 신호와 메모리 블록의 데이터신호  
Fig. 21. Reset signal of the POR and Tx data signal of the memory block.

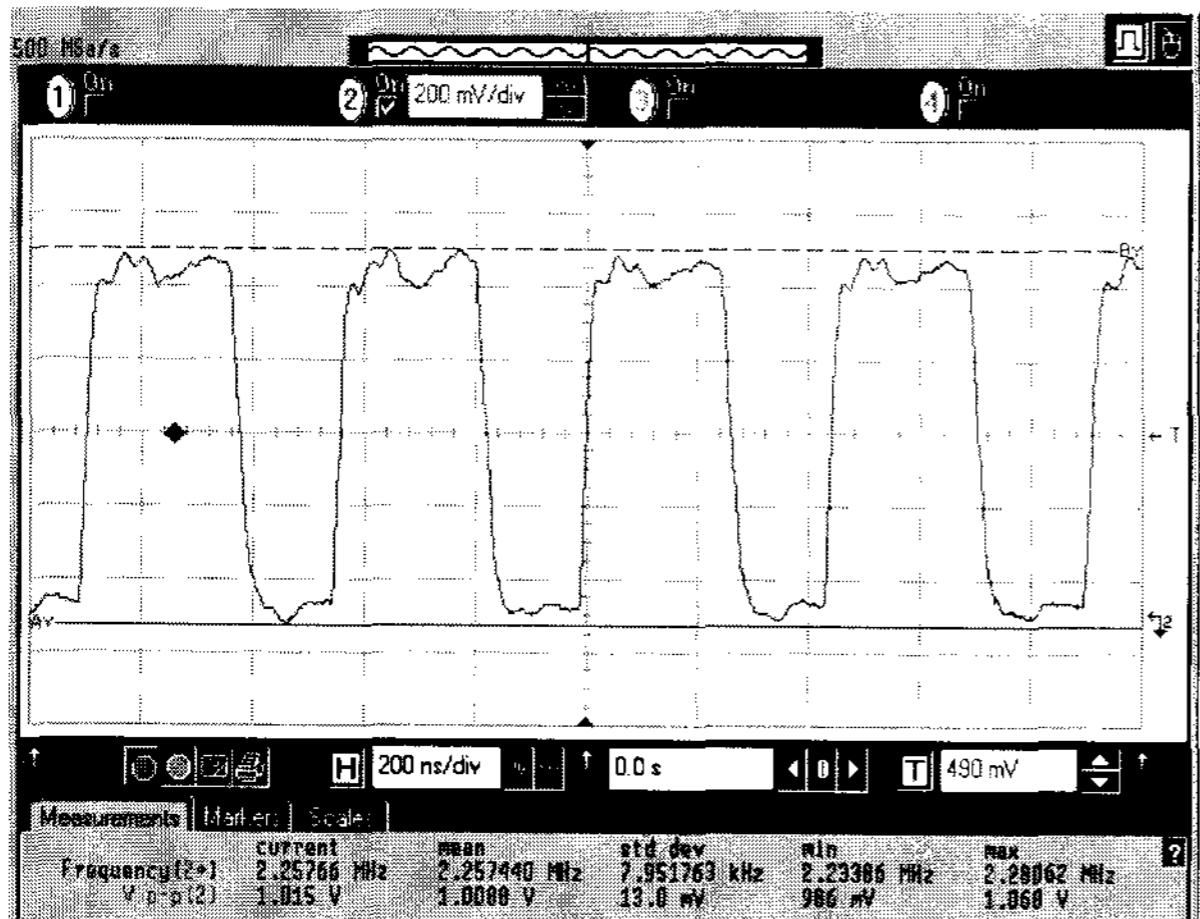


그림 20. 확대된 클럭 신호  
Fig. 20. Enlarged clock signal.

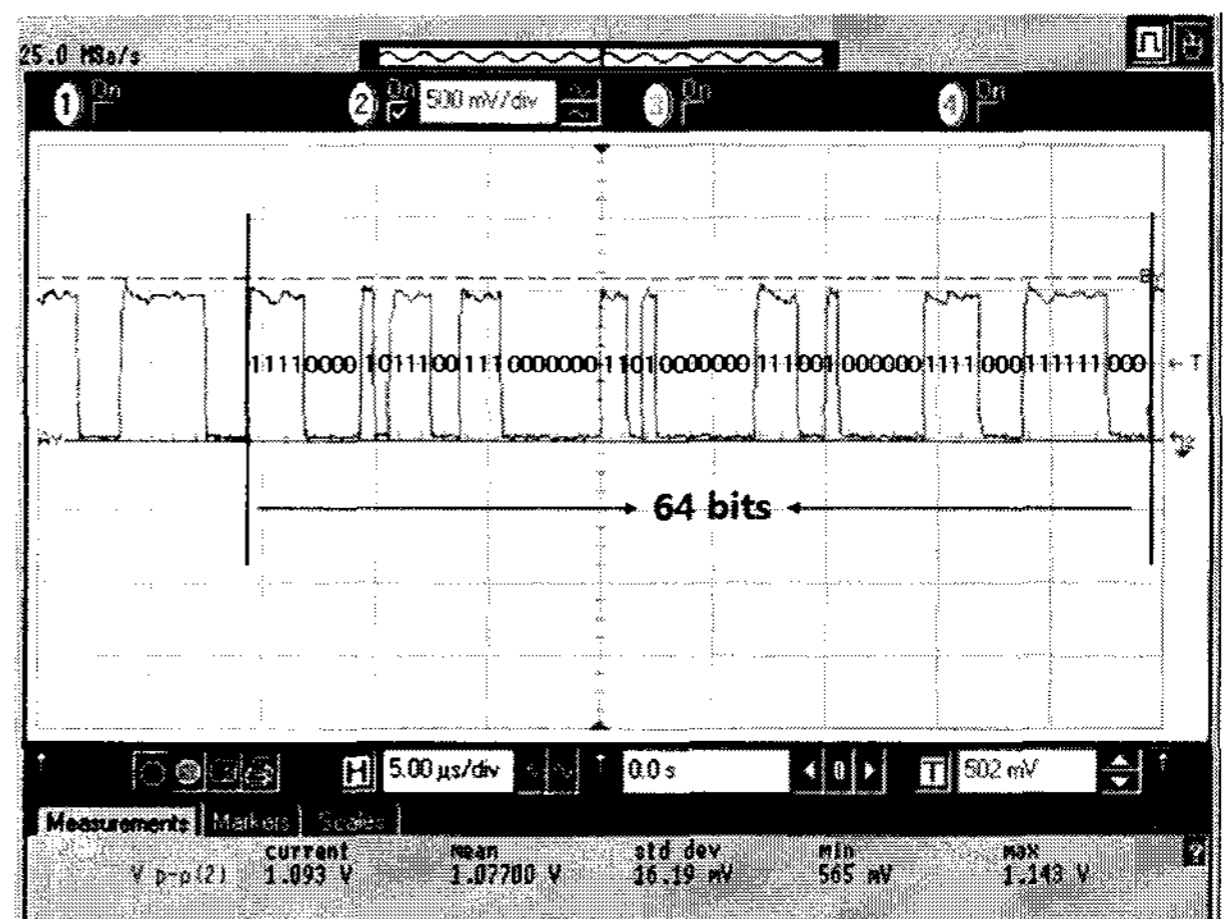


그림 22. 확대된 Tx 데이터 신호  
Fig. 22. Enlarged Tx data signal.

압되는 것을 확인 할 수 있다. 승압전압이 모의실험 결과인 2.3V와 다소 차이가 나는 이유는 레귤레이터의 안정도 문제로 인해 증가된 전력소모 때문인 것으로 예상된다.

그림 19는 레귤레이터와 클럭발생기의 측정결과로, 레귤레이터에 의해 1V의 전원전압(A)을 발생하며, 클럭 발생기에 의해 1V<sub>P-P</sub>의 클럭신호(B)가 발생하는 것을 확인 할 수 있다.

측정된 클럭신호의 경우 1.92MHz 주파수를 발생하도록 설계되었지만 공정변화에 의해 2.26MHz의 주파수가 발생되었다. UHF 대역 RFID 시스템의 경우 클럭을 preamble과 delimiter에 실려 오는 타리(tari)값을 계산하기 위한 분주의 기준신호로 사용하기 때문에 원하는 주파수의 정확한 발생보다는 온도변화 혹은 전원전압의 변화에도 흔들림 없는 클럭을 발생하도록 설계하는 것

에 중점을 두어야 한다. 따라서 공정변화에 의한 약 0.3 MHz 정도의 주파수 변화는 무관하다. 하지만 궁극적으로는 디지털 블록의 전력소모를 최소화하기 위해 공정변화를 보상할 수 있는 추가적인 기술이 요구된다. 측정된 클럭 신호의 확대된 파형을 그림 20에 나타내었다.

그림 21은 POR과 메모리 블록의 측정결과로, 전원전압이 정상상태에 이를 때 POR에 의해 리셋신호(A)가 발생되며 발생된 리셋신호에 의해 1V<sub>P-P</sub>의 Tx 데이터 신호가 발생(B)하는 것을 확인 할 수 있다.

그림 22는 Tx 데이터 신호를 확대한 파형으로, 측정된 Tx 데이터 신호는 표 1에 명시한 데이터와 일치함을 확인 할 수 있다.

표 2에 0.3V<sub>peak</sub>의 900MHz 신호가 인가되었을 때의 모의실험 결과와 제작된 IC의 측정결과를 비교하여 나타내었다. 제작된 IC는 정류기의 전력효율과 레귤레이

표 2. 모의실험 결과와 측정결과 비교표  
Table 2. Comparative table of the simulation and measurement results.

Categories	모의실험 결과	측정 결과
정류기 (Rectifier output)	2.3 V	1.82 V
레귤레이터 (V <sub>ddr</sub> )	1.003 V	1 V
클럭 발생기 (Clock)	1.92 MHz 1 V <sub>P-P</sub>	2.2 MHz 1 V <sub>P-P</sub>
POR 회로 (Reset)	55 $\mu$ s delay	$\approx$ 50 $\mu$ s delay
메모리 블록 (T <sub>x</sub> Data)	1 V <sub>P-P</sub>	1 V <sub>P-P</sub>
동작 최소 입력	0.2 V <sub>peak</sub>	0.25 V <sub>peak</sub>

표 3. 성능 비교표  
Table 3. Performance comparison.

Categories	[9]	[10]	[11]	This work
Process	0.25 $\mu$ m	0.35 $\mu$ m	0.5 $\mu$ m	0.18 $\mu$ m
ASK Demodulator	-	-	-	0.98 $\mu$ A
POR	-	-	-	1.2 $\mu$ A
CLK Generator	1.2 $\mu$ A	-	-	0.45 $\mu$ A
Operation Voltage	1.5V	1.5V	1.5V	1V
Power Consumption	5.14 $\mu$ W	-	2.7 $\mu$ W	2.63 $\mu$ W
Chip Size	0.42mm <sup>2</sup>	0.41mm <sup>2</sup>	0.26mm <sup>2</sup>	0.12mm <sup>2</sup>
Memory	Mask ROM	-	ROM	Mask ROM

터의 안정도 면에서 모의실험 결과보다 다소 낮은 결과를 얻었으나 정확히 동작하는 것을 확인 할 수 있었다. 또한 제작된 IC의 동작을 위한 최소 입력진폭은 모의실험결과 보다 0.05V<sub>peak</sub> 떨어진 0.25V<sub>peak</sub> 입력으로 동작 가능함을 확인 하였다.

본 논문에서 제작된 IC를 기존의 설계된 태그 칩들과 비교하여 표 3에 나타내었다. 제작된 아날로그 front-end IC는 기존의 태그 칩들과의 정확한 성능비교에는 어려움이 있으나, 기존의 태그 칩들에 비해 전류 소모와 면적 면에서 우수한 특성을 보인다. 설계된 아날로그 블록의 면적은 0.12mm<sup>2</sup>이며, 1V 전원전압에서 2.63 $\mu$ W의 전력소모를 보인다.

#### IV. 결 론

본 논문에서는 UHF 대역 RFID 태그를 위한 저전력 고성능 아날로그 회로를 설계하였다. 태그의 인식률을

높이기 위해 설계된 모든 회로들을 태그 내부에서 발생되는 1V 전원전압으로 동작하도록 설계하였으며, 저전력의 bias 회로설계를 통한 BGR의 필요성을 제거하고, 보다 정확한 데이터 복조를 위해 전류모드 슈미트 트리거를 이용한 ASK 복조기를 제안하였다. 설계된 아날로그 회로의 모의실험 결과 0.2V<sub>peak</sub> RF 입력으로 동작 가능하였으며, IC로 제작하여 측정결과 최소 0.25V<sub>peak</sub> 입력으로 동작 가능하였다. 설계된 아날로그 회로는 1.5V 전원전압에서 16.48 $\mu$ A의 전류소모 특성을 갖으며, 레귤레이터 출력인 1V 전원전압에서는 2.63 $\mu$ A의 전류소모 특성을 갖는다.

#### 참 고 문 헌

- [1] EPC Global Radio-Frequency Identity Protocols Class-1 Generation2 UHF RFID, Version 1.0.9, 2005.
- [2] F. Kocer, P. M. Walsh, and M. P. Flunn "An Injection Locked, RF Powered, Telemetry IC in 0.25 $\mu$ m CMOS," *2004 Symposium on VLSI Circuits*, 17-19, pp. 24-27, June 2004.
- [3] D. Chen, L. He, and X. Yan, "A Low-dropout Regulator with Unconditional Stability and Low Quiescent Current," in *Proc. of International Conf. on Communications, Circuits and Systems*, vol. 4, pp. 2215-2218, June 2006.
- [4] 권덕기, 박종태, 유종근 "저전력 CMOS On-Chip 기준전압 발생회로," *전기전자학회논문지*, 제4권, 제2호, 9-19쪽, 2000년 12월
- [5] Z. Zhu, B. Jamali, and P. H. Cole, "An HF/UHF RFID Analogue Front-end Design and Analysis," *Auto-ID Centre White Paper Series*, no. 1, 2005.
- [6] S. R. Ramirez Chavez, "Mixed-mode Schmitt trigger equivalent circuit," *Electronics Letters*, vol 31, no 3, pp. 152-154, Feb. 1995.
- [7] U. Karthaus and M. Fischer, "Fully Integrated Passive UHF RFID Transponder IC With 16.7 $\mu$ W Minimum RF Input Power," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 10, pp. 1602-1608, Oct. 2003.
- [8] W. S. Oh, J. T. Park, and C. G. Yu, "A CMOS Transponder IC Using a New Damping Circuit," *IEICE Transactions on Electronics*, vol. E85-C, no. 6, pp. 1351-1355, June 2002.
- [9] N. J. Cho, S. J. Song, S. Y. Kim, S. H. Kim, and H. J. Yoo, "A 5.1 $\mu$ W UHF RFID Tag Chip intergrated with Sensors for Wireless Environmental Monitoring," *IEEE International symposium on Circuits and Systems*, pp.



279-282, 2005.

- [10] N. Tran, B. Lee, and J. W. Lee, "Development of Long-Rang UHF-band RFID Tag chip Using Schottky Diodes in Standard CMOS Technology," *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 281-284, 2007.
- [11] W. Jeon, J. Melngailis, and R. W. Newcomb, "CMOS Passive RFID Transponder with Read-Only Memory for Low Cost Fabrication," *IEEE International Proceedings of SoC Conference*, pp. 181-184, 2005.

---

저 자 소 개

---



심 현 철(학생회원)  
2006년 인천대학교 전자공학과  
학사 졸업.  
2006년~현재 인천대학교  
전자공학과 석사과정.  
2008년 인천대학교 전자공학과  
석사 졸업.  
2008년~현재 (주)FCI 연구원.  
<주관심분야 : RFID 리더 및 태그 설계, CMOS  
Analog IC, 고성능 PLL 설계>



박 중 태(평생회원)  
1981년 경북대학교 전자공학과  
학사 졸업.  
1983년 연세대학교 전자공학과  
석사 졸업.  
1987년 연세대학교 전자공학과  
박사 졸업.  
1991년 1월~1991년 12월 MIT Port Doc.  
2000년 7월~2001년 8월 UC Davis 방문교수  
1987년 3월~현재 인천대학교 전자공학과 교수  
<주관심분야 : CMOS Reliability, Nano-scale  
CMOS, SOI/MOSFET, RF-CMOS>



차 충 현(학생회원)  
2007년 인천대학교 전자공학과  
학사 졸업.  
2007년~현재 인천대학교  
전자공학과 석사과정.  
<주관심분야 : 고성능 CDR 설계,  
CMOS Analog IC 설계>



유 중 근(평생회원)  
1985년 연세대학교 전자공학과  
학사 졸업.  
1987년 연세대학교 전자공학과  
석사 졸업.  
1993년 Iowa State University  
전기 및 컴퓨터공학과  
박사 졸업.  
1989년 9월~1991년 8월 Texas A&M  
University 전기공학과 연구조교  
1994년 3월~현재 인천대학교 전자공학과 교수  
<주관심분야 : CMOS Analog/Mixed-mode IC  
설계, RFIC 설계>