

논문 2008-45SD-6-9

2.4GHz ISM 대역 응용을 위한 저전력 CMOS Fractional-N 주파수합성기 설계

(Design of a Low-Power CMOS Fractional-N Frequency Synthesizer
for 2.4GHz ISM Band Applications)

오근창*, 김경환*, 박종태**, 유종근***

(Kun-Chang Oh, Kyung-Hwan Kim, Jong-Tae Park, and Chong-Gun Yu)

요약

본 논문에서는 Bluetooth, Zigbee, WLAN 등 2.4GHz 대역 ISM-band 응용 분야를 위한 저전력 주파수 합성기를 설계하였다. 저전력 특성을 얻기 위해 전류소모가 큰 VCO, prescaler, Σ - Δ modulator 등의 전력소모를 최적화하는데 중점을 두고 설계하였다. VCO는 전력소모 측면에서 유리한 NP-core 유형의 구조를 선택하여 위상잡음 특성과 전력소모를 최적화하였으며, prescaler는 정적 전류소모가 거의 없는 동적 회로 기술이 적용된 D-F/F을 사용하여 전력소모를 줄였다. 또한 다수의 로직으로 구성되는 3차 Σ - Δ modulator는 'mapping circuit'으로 구조를 단순화하여 작은 면적과 저전력소모 특성을 갖도록 하였다. 0.18 μ m CMOS 공정으로 IC를 제작하여 성능을 측정하고 설계된 주파수 합성기는 1.8V 전원전압에서 7.9mA의 전류를 소모하고, 100kHz offset에서 -96dBc/Hz, 1MHz offset에서 -118dBc/Hz의 위상 잡음 특성을 보였다. 또한 spur 잡음 특성은 -70dBc이며, 25MHz step의 주파수 변화에 따른 위상 고정 시간은 약 15 μ s이다. 설계된 회로의 칩 면적은 pad를 포함하여 1.16mm²이며 pad를 제외한 면적은 0.64mm²이다.

Abstract

A low-power 2.4GHz fractional-N frequency synthesizer has been designed for 2.4GHz ISM band applications such as Bluetooth, Zigbee, and WLAN. To achieve low-power characteristic, the design has been focused on the power optimization of power-hungry blocks such as VCO, prescaler, and Σ - Δ modulator. An NP-core type VCO is adopted to optimize both phase noise and power consumption. Dynamic D-F/Fs with no static DC current are employed in designing the low-power prescaler circuit. The Σ - Δ modulator is designed using a modulus mapping circuit for reducing hardware complexity and power consumption. The designed frequency synthesizer which was fabricated using a 0.18 μ m CMOS process consumes 7.9mA from a single 1.8V supply voltage. The experimental results show that a phase noise of -118dBc/Hz at 1MHz offset, the reference spur of -70dBc at 25MHz offset, and the channel switching time of 15 μ s over 25MHz transition have been achieved. The designed chip occupies an area of 1.16mm² including pads where the core area is only 0.64mm².

Keywords : Fractional-N Frequency Synthesizer, PLL, Low-power, VCO, CMOS

I. 서론

* 학생회원, ** 평생회원, *** 평생회원-교신저자,
인천대학교 전자공학과

(Dept. of Electronics Engineering, University of Incheon)

※ 본 논문은 정보통신부 출연금으로 ETRI, SoC산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업의 연구결과이며, IDEC 지원에 의해서도 일부 수행되었음.

접수일자: 2007년12월19일, 수정완료일:2008년5월7일

현대의 무선통신시스템은 급속히 증가하는 주파수의 수요와 데이터 전송량의 증가로 점차 광대역과 고주파수의 비중이 높아지고 있으며, 이에 따라 다양한 통신 방식이 운용되고 있다. 2.4GHz 주파수 대역은 ISM (Industrial Scientific Medical) 대역으로 IEEE 802.11b/g

WLAN(Wireless Local Area Network), ZigBee, Home RF(Radio Frequency), Bluetooth 등의 많은 서비스에 사용되고 있다.

이러한 현대 무선통신시스템을 구성하는 중요한 회로들 중 하나로 주파수 합성기(frequency synthesizer)를 꼽을 수 있으며, 이는 한 개 혹은 여러 개의 주파수 원으로부터 단일 출력 주파수 혹은 서로 다른 여러 출력 주파수를 발생시키는 장치로서 무선통신시스템 내에서 매우 중요한 역할을 담당한다. 따라서 무선통신용 주파수합성기는 높은 주파수 동작영역에서 전력소모가 작아야 하며, 위상잡음(phase noise)과 spur 특성이 좋아야 한다. 이러한 특성들은 단말기에서 수신 감도와 송신 신호의 출력 전력 스펙트럼 등에 크게 영향을 준다^[1]. 칩 면적 또한 비용 감소를 위해서는 최소화되어야 한다. 그러나 기존의 2.4GHz 대역 주파수합성기들은 여전히 10mA이상의 비교적 큰 전류소모 특성을 보이며, 1mm² 이상의 큰 칩 면적을 차지하고 있다^[2~5].

본 논문에서는 저전력 소모 특성과 작은 칩 면적을 갖는 2.4GHz 대역 Fractional-N 주파수합성기를 0.18 μ m CMOS 공정으로 설계 및 제작하였다. 설계의 주된 목표는 주어진 성능을 만족하면서 10mA이하의 저전류소모 특성과 1mm² 이하의 칩 면적(pad 제외)을 갖도록 설계하는 것이다. 이러한 목표를 만족시키기 위해 전류소모가 큰 VCO, prescaler, Σ - Δ modulator 등의 전력소모를 최적화하는데 중점을 두고 설계하였다. VCO는 전력소모 측면에서 유리한 NP-core 유형^[6]의 구조를 선택하여 위상잡음 특성과 전력소모를 최적화하였으며, prescaler는 정적 전류소모가 거의 없는 동적 회로 기술이 적용된 D-F/F^[7]을 사용하여 전력소모를 줄였다. 또한 다수의 로직으로 구성되는 3차 Σ - Δ modulator는 'mapping circuit'으로 구조를 단순화하여 작은 면적과 저 전력소모 특성을 갖도록 하였다^[8].

II. 회로 설계

그림 1은 설계한 2.4GHz 대역 Fractional-N 주파수합성기의 전체 블록도를 나타낸다. 설계한 주파수합성기는 크게 두 개의 블록(Synthesis block과 PLL)으로 구성된다. Synthesis block은 주파수를 프로그램하기 위한 주파수 분주기로서 fractional spurs를 줄이기 위해 사용되는 Σ - Δ modulator와 multi-modulus 분주를 위한 Prescaler 그리고 Divider 블록으로 구성된다. PLL 블록은 Synthesis block에서 설정된 값에 맞는 주파수를 발생시

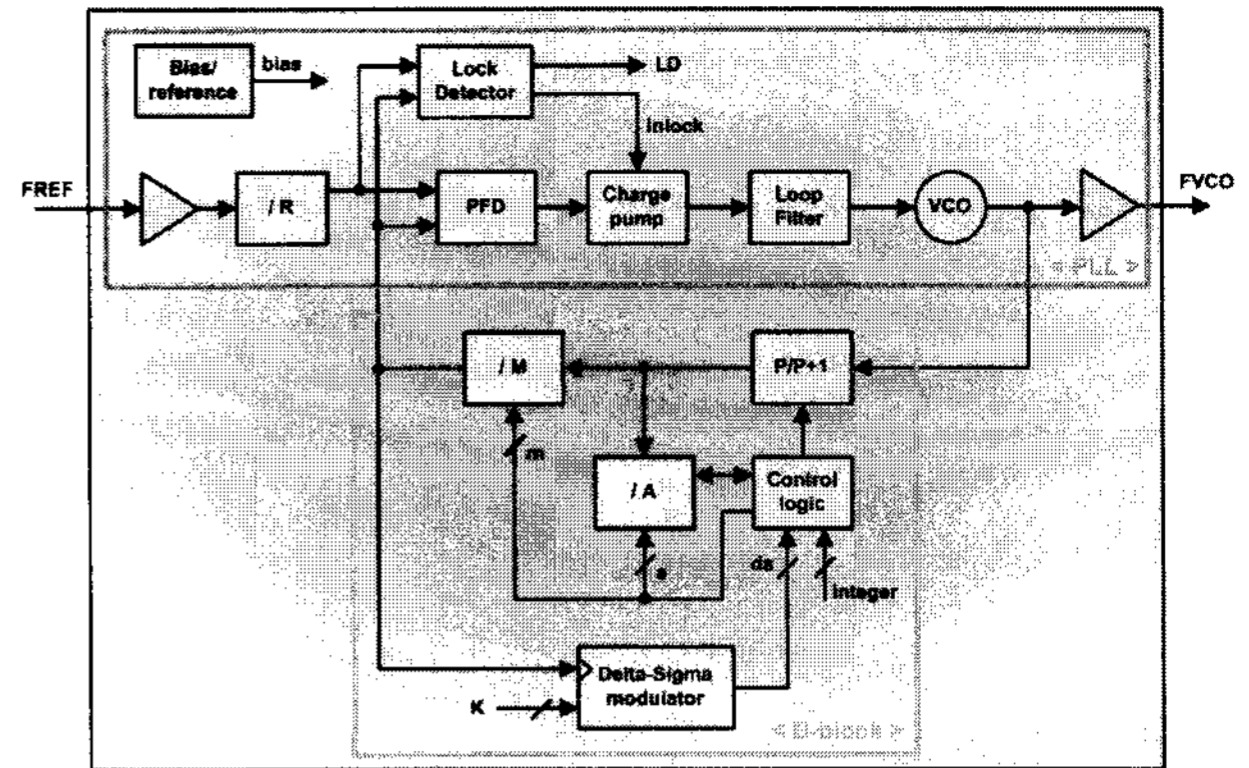


그림 1. 설계한 주파수합성기의 블록도
Fig. 1. Block diagram of the designed frequency synthesizer.

키고 안정화 시키는 역할을 하며 Bias회로, VCO(Voltage Controlled Oscillator), CP(Charge Pump), PFD(Phase Frequency Detector), LF(Loop Filter), LD(Lock Detector)등으로 구성된다.

설계한 회로는 무선 단말기에 적합하도록 낮은 소비 전력에서 동작하도록 하였으며, 단일 칩 송수신기의 구현을 위해 LF를 제외한 전 기능 블록을 내장하여 외부 소자의 필요성을 최소화하였다. 또한, 효율적인 SoC (System on Chip)의 구현을 위해 full-custom 설계 방식을 사용하여 작은 면적을 갖도록 설계하였다.

1. VCO

RF PLL에 있어서 저 전력소모 구현과 저 잡음 특성을 위해서는 VCO가 최적화되어야 한다. 본 논문에서 설계한 VCO의 회로도를 그림 2에 보였다.

VCO는 고주파에서 우수한 위상잡음 특성을 얻기 위해 LC-tank type으로 설계하였다. 3-bit 제어신호로 동작하는 cap-bank를 구성하여 작은 VCO 이득을 가지면

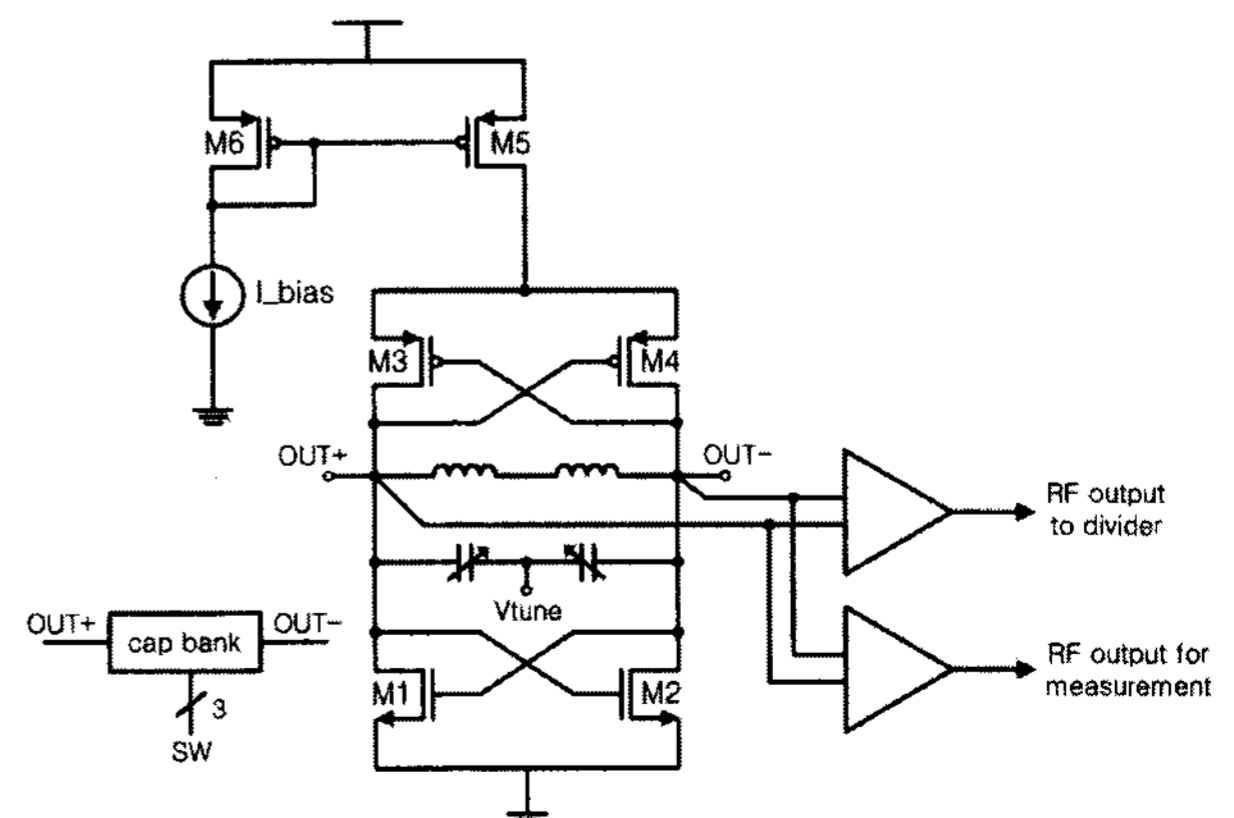


그림 2. 설계한 VCO 회로도
Fig. 2. Schematic of the designed VCO.

서 넓은 tuning range를 만족할 수 있도록 하였으며, 1/f 잡음이 상대적으로 작은 PMOS 트랜지스터로 바이어스단을 구성하여 위상잡음 특성을 향상시켰다. 또한 응용분야에서 요구되는 위상잡음 특성을 만족하면서 전력소모를 최소화하기 위해 전력소모 측면에서 유리한 NP-core 형태^[6]로 부성 저항단을 구성하고, 바이어스 전류를 VCO의 current limit 영역과 voltage limit 영역 경계점에서 최적화하였다^[9]. 설계한 VCO의 모의실험 결과 제어전압과 조절전압에 따른 전체 tuning range는 2.35GHz부터 2.7GHz의 범위를 만족하며 약 38MHz/V의 VCO 이득을 갖는다. 그리고 1MHz offset에서 -121dBc/Hz의 위상잡음 특성을 보이며, 1.8V 전원전압에서 약 2mA의 전류를 소모한다.

2. Synthesis block

설계한 주파수 합성기의 주파수 생성 계획에 따른 synthesis block의 자세한 블록도를 그림 3에 나타냈다.

설계한 synthesis block은 25MHz의 reference 주파수에서 WLAN, Zigbee, Bluetooth 등을 지원하는 2.4GHz~2.48GHz 대역의 주파수를 프로그램 할 수 있으며, 최소 주파수 채널간격을 1MHz보다 작게 하여 다양한 응용분야에 적용할 수 있도록 하였다. 설계한 synthesis block에 의해 프로그램 되는 주파수 합성기의 출력 주파수는 식 (1)을 통해 결정되며 간략한 주파수 생성 계획을 표 1에 정리하였다.

$$f_{vco} = f_{ref} \left(integer + \frac{K}{2^m} \right) = f_{ref} \left((8 \times M + A) + \frac{K}{2^{10}} \right) \quad (1)$$

여기서 'integer'는 분주비의 정수부분이며, 'K'는 frequency word, 'm'은 modulator의 bit수를 의미한다. 그리고 'M'과 'A'는 각각 Σ-Δ modulator의 3bit 출력과 7bit 정수 분주비 값이 더해진 최종 7bit 출력 중 상위 4bit의 M-counter 분주비와 하위 3bit의 A-counter 분주

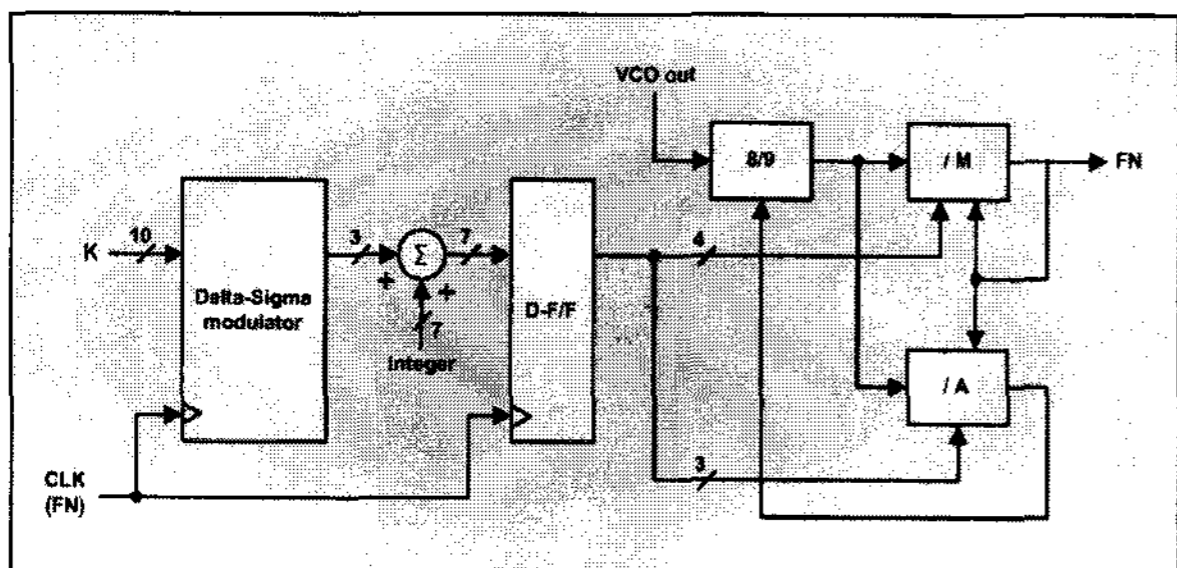


그림 3. 설계한 synthesis block 도면
Fig. 3. Block diagram of the designed synthesis block.

표 1. 주파수 생성 계획
Table 1. Frequency synthesis plan.

| 출력 주파수 (MHz) | | | | frac-tion | K | K(binary) | error (Hz) |
|--------------|------|------|------|-----------|-----|------------|------------|
| /96 | /97 | /98 | /99 | | | | |
| 2400 | 2425 | 2450 | 2475 | 0 | 0 | 0000000000 | 0 |
| 2401 | 2426 | 2451 | 2476 | 0.04 | 41 | 0000101001 | 977 |
| 2402 | 2427 | 2452 | 2477 | 0.08 | 82 | 0001010010 | 1953 |
| 2403 | 2428 | 2453 | 2478 | 0.12 | 123 | 0001111011 | 2930 |
| 2404 | 2429 | 2454 | 2479 | 0.16 | 164 | 0010100100 | 3907 |
| 2405 | 2430 | 2455 | 2480 | 0.20 | 205 | 0011001101 | 4884 |
| ⋮ | ⋮ | ⋮ | ⋮ | ⋮ | ⋮ | ⋮ | ⋮ |
| 2420 | 2445 | 2470 | 2495 | 0.80 | 819 | 1100110011 | -4883 |
| 2421 | 2446 | 2471 | 2496 | 0.84 | 860 | 1101011100 | -3906 |
| 2422 | 2447 | 2472 | 2497 | 0.88 | 901 | 1110000101 | -2930 |
| 2423 | 2448 | 2473 | 2498 | 0.92 | 942 | 1110101110 | -1953 |
| 2424 | 2449 | 2474 | 2499 | 0.96 | 983 | 1111010111 | -977 |

비이다. 이 값들이 multi-modulus 분주기의 분주비를 매 비교 cycle마다 제어하여 주파수합성기의 전체 평균 분주비를 결정한다.

가. 3rd-order MASH type Σ-Δ modulator

주파수 합성기의 분주비를 fractional 값으로 생성하며, fractional spur를 억제하기 위해 설계된 3rd-order MASH 유형의 Σ-Δ modulator를 그림 4에 보였다.

일반적인 다단 MASH 구조의 modulator는 단 수가 많아질수록 더 많은 미분기와 덧셈기 구현에 대한 부담이 커진다. 설계한 modulator는 미분기와 덧셈기를 분주비 매핑회로^[8]로 대체하여 칩 면적과 전력소모를 줄였다. 분주비 매핑회로는 각각 누산기의 carry 신호들에 의해 결정되는 분주비 제어 값(B(t))을 정의한 후 미분기와 덧셈기 부분을 보다 간단한 디지털회로로 구현한 것이다.

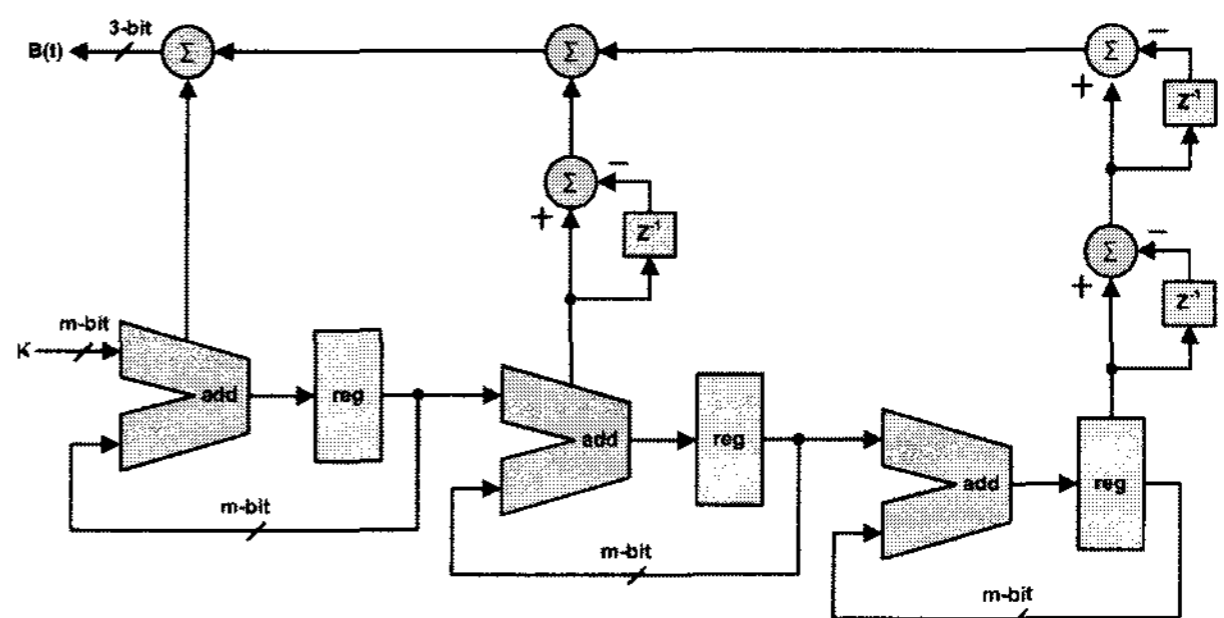


그림 4. 3차 Σ-Δ modulator 블록도
Fig. 4. Block diagram of 3rd-order Σ-Δ modulator.

나. Dual-modulus prescaler

RF PLL에 있어서 저전력 구현을 위해서는 VCO뿐만

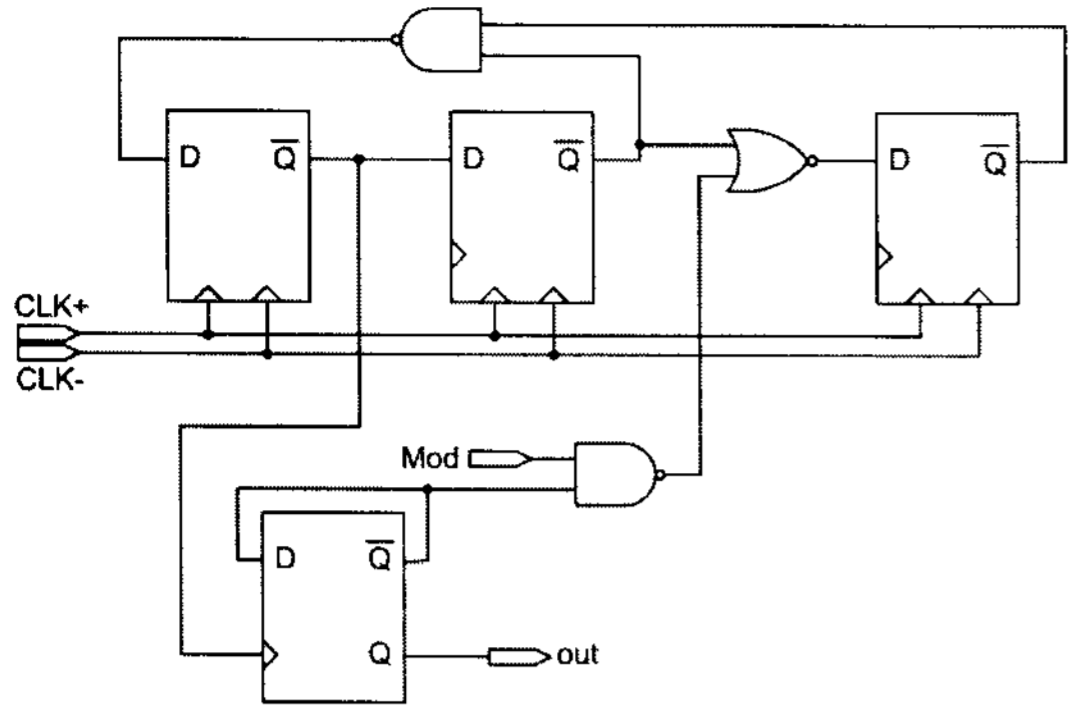


그림 5. Dual-modulus prescaler 블록도
Fig. 5. Block diagram of dual-modulus prescaler.

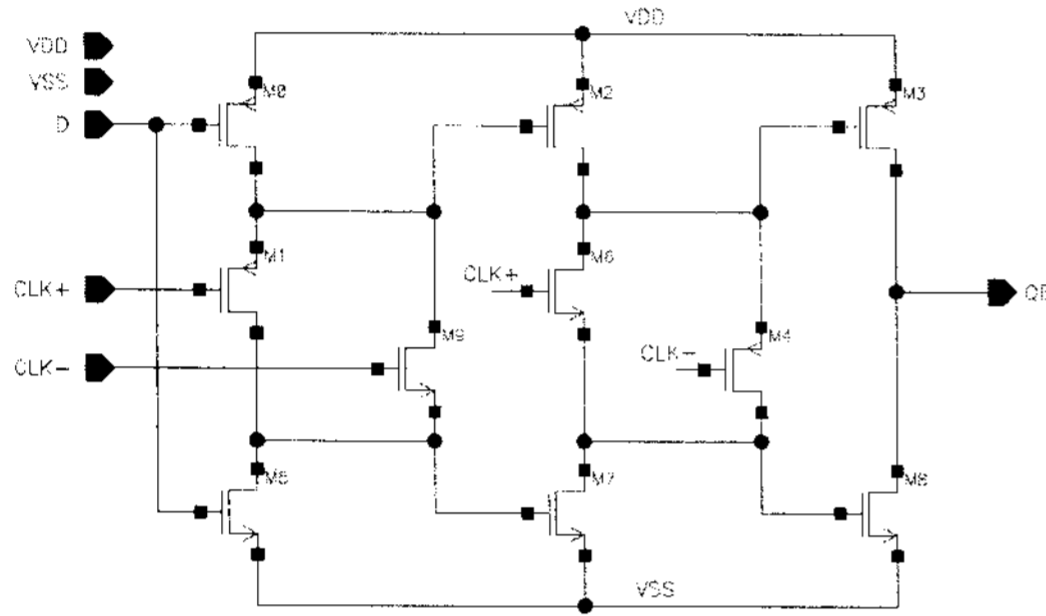


그림 6. D-F/F 회로도
Fig. 6. Schematic of D-F/F.

아니라 고속에서 동작하는 prescaler 또한 최적화 되어야 한다. 설계한 prescaler의 구성은 기존의 dual modulus prescaler^[10~11]와 유사하며 제어신호에 의해 '8'혹은 '9'분주를 한다. Prescaler 설계에 있어서 주요한 사항은 주된 구성블록인 D-F/F의 설계이다^[1]. 설계한 prescaler는 static 전류소모가 존재하지 않는 동적 CMOS 회로 기술이 적용된 D-F/F^[7]을 사용하여 저 전력 특성을 가지며 4GHz의 높은 주파수에서도 안정적으로 동작하도록 설계하였다. 그림 5와 6에 설계한 prescaler의 블록도와 D-F/F 회로도를 각각 보였다.

3. PFD/CP

주파수합성기에 있어서 위상잡음과 spur 특성은 단말기의 selectivity와 sensitivity를 확보하기 위해 중요한 parameter들이다^[1]. 본 연구에서는 spur 특성을 개선하기 위해 cascode 구조를 갖고, 보조 트랜지스터를 추가하여 전하공유 현상을 완화시킨 CP를 설계하였다^[12]. 설계한 CP의 단위 블록 회로를 그림 7에 보였으며 전체 블록을 그림 8에 나타냈다.

설계한 CP의 default pumping 전류 값은 200 μ A이며, lock 검출기에서 locking 신호가 발생하면, 즉 PLL이 위상 고정되었을 때에는 초기 조건과 상관없이 전하펌

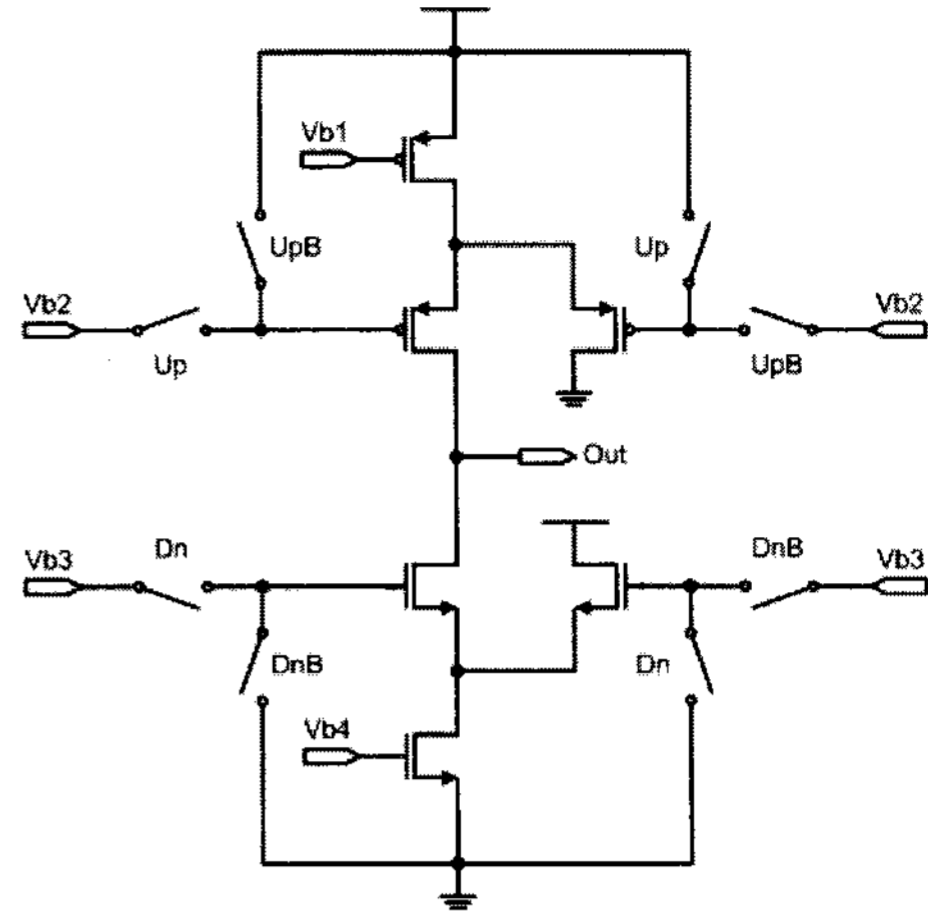


그림 7. CP 단위 블록 회로도
Fig. 7. Schematic of CP unit cell.

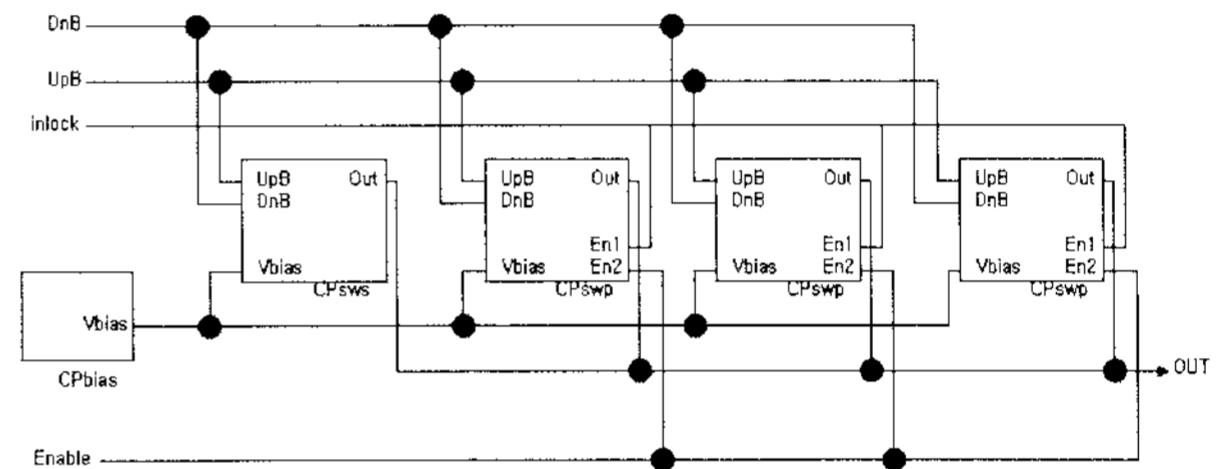


그림 8. CP 전체 블록도
Fig. 8. Top block diagram of CP.

프의 pumping 전류는 50 μ A로 고정된다. 즉, out-of-lock 상태에서는 전하펌프 전류를 증가시킴으로써 위상 고정시간을 줄이고, in-lock 상태일 때는 전하 펌프의 전류를 감소시킴으로써 spur level을 줄일 수 있도록 하였다. 따라서 lock 상태에 따라 전하펌프 전류를 변화시켜 빠른 위상고정시간과 좋은 spur특성을 얻을 수 있다. 또한 공급전류를 외부에서도 조절가능 하도록 단자를 구성하여 공정에 따른 특성변화에 대비할 수 있도록 설계하였다. 설계한 CP의 단위 구성 블록의 pumping 전류는 50 μ A로써, 출력전압(0.4V~VDD-0.4V)에 따라 up/down 전류 차이는 약 2%이내로 작은 변이를 갖는다.

4. Lock detector

Lock Detector는 기준 입력신호 ' f_R '과 분주된 신호 ' f_N '이 locking 되었는지를 판별하는 회로이다. 두 신호의 위상차가 2ns이내인 구간이 15번 반복되게 되면 locking 되었다고 판단하고, 위상차가 12ns이상 이 되게 되면 locking이 풀렸다고 간주한다. 이처럼 locking 될 때와 locking이 풀릴 때의 기준을 달리하여 hysteresis 기능을 갖도록 한 이유는 원하지 않는 잡음에 의해

locking이 풀리는 것을 방지하기 위해서이다^[12].

5. LF

본 논문에서는 spur 잡음을 더욱 감소시키기 위해 극점을 하나 더 추가해 3차 LF로 설계하였으며 이에 따라 spur가 -20dB 더 감소되도록 하였다. 게다가 Σ - Δ modulator의 차수를 3차로 설계했기 때문에 noise shaping 특성에 의해 고주파로 밀려난 잡음을 제거하기 위해서도 루프필터의 차수를 높여야 한다. LF의 각 소자 값은 표 2에 보인 PLL 성능 변수들에 근거하여 계산되었다.

표 2. 성능 변수
Table 2. Performance parameters.

| | |
|------------------------|---|
| Reference frequency | 25MHz |
| Loop bandwidth | 40kHz |
| Phase margin | 65° |
| VCO gain | 38MHz/V |
| Charge pump current | in-lock 50 μ A out-of-lock 200 μ A |
| Average division ratio | 98 |

III. 측정 결과

본 논문의 주파수합성기는 CMOS 0.18 μ m 공정변수를 사용하여 설계 및 제작되었으며, 제작된 IC를 촬영한 사진과 성능 검사를 위해 제작된 test board를 각각 그림 9, 10에 각각 나타내었다. PAD를 포함한 전체 칩 크기는 1.35mm \times 0.86mm로써 작은 면적을 차지한다.

그림 11은 VCO의 조절전압과 cap-bank 제어신호에 따른 출력주파수 특성을 측정한 결과이다. 전체적으로 2398MHz~2625MHz의 tuning range를 갖고 평균 약 36MHz의 VCO 이득을 갖는다. 레이아웃 시 발생하는

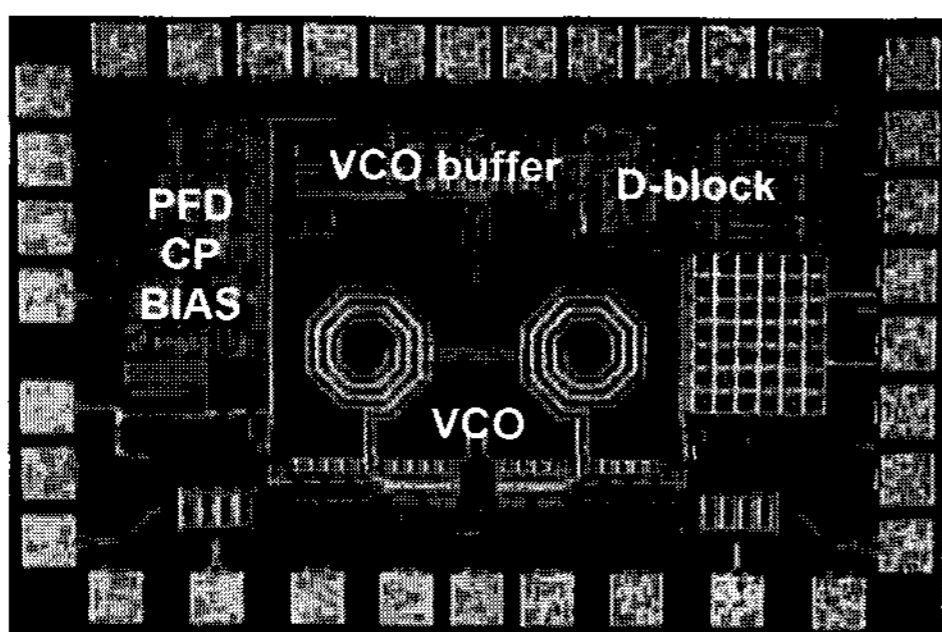


그림 9. 칩 사진
Fig. 9. Die photograph.

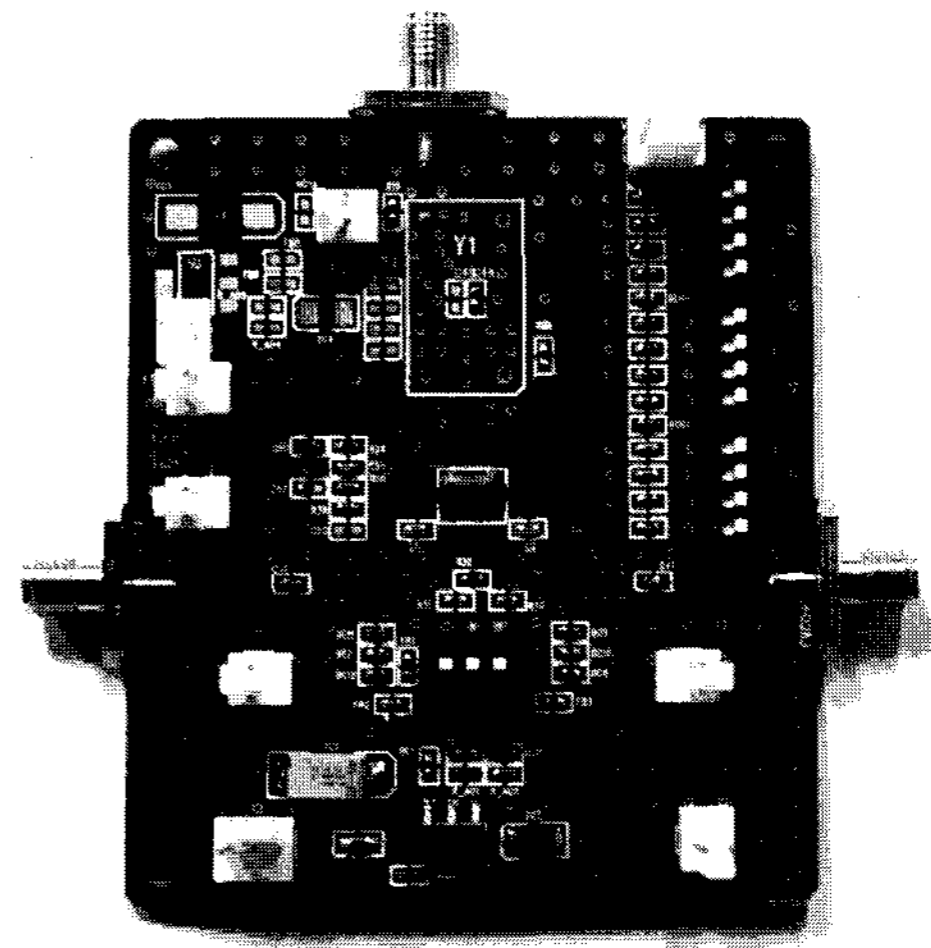


그림 10. 측정 보드
Fig. 10. Test board.

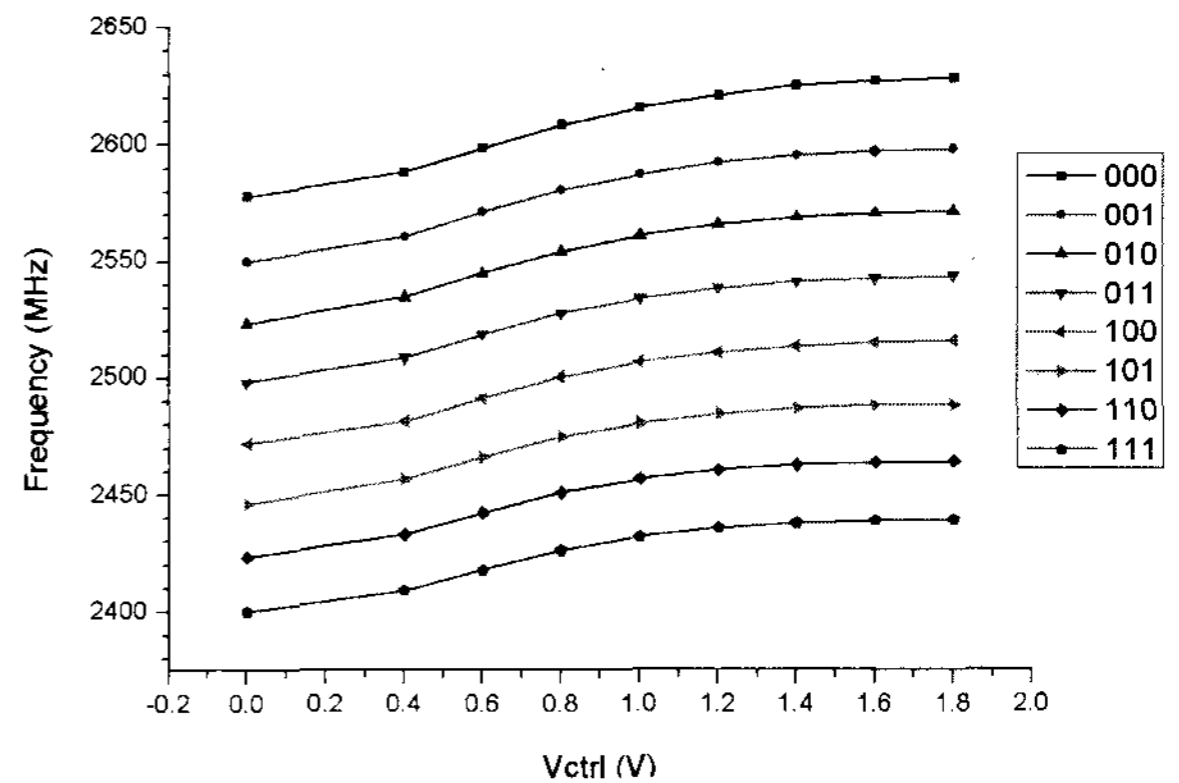


그림 11. 제어신호 및 제어전압에 따른 VCO 발진주파수
Fig. 11. VCO frequencies versus control signals and voltages.

기생성분에 의해 모의실험 결과보다 전 대역에 걸쳐 주파수가 약 60MHz shift down 되었다. 칩 제작 전에 이에 대한 대비로 VCO 발진주파수를 전 대역에 걸쳐 약 110MHz 크게 설계한 결과 주파수 합성기 대역 (2400MHz~2480MHz)은 cap-bank 제어신호 '111'~'001'에 걸쳐 분포되었다.

그림 12~13은 25MHz의 주파수를 갖는 기준 입력신호에 fractional division ratio가 97.44(출력 주파수 2436MHz)로 설정되었을 때 프로그램 된 주파수 합성기의 출력 신호 스펙트럼을 나타낸다. 위상잡음 특성은 100kHz offset에서 -96dBc/Hz이고 1MHz offset에서 -118dBc/Hz이다. 측정된 위상잡음 특성이 모의실험 결과와 차이가 나는 이유는 칩 측정 시 공급된 전원전압의 잡음과 외부 수동소자들의 자체적인 잡음, 그리고 differential 출력을 single-ended로 측정한 결과 등 다양한 요인에 의한 것으로 분석된다.

그림 14는 주파수합성기의 spur 잡음 특성을 측정한

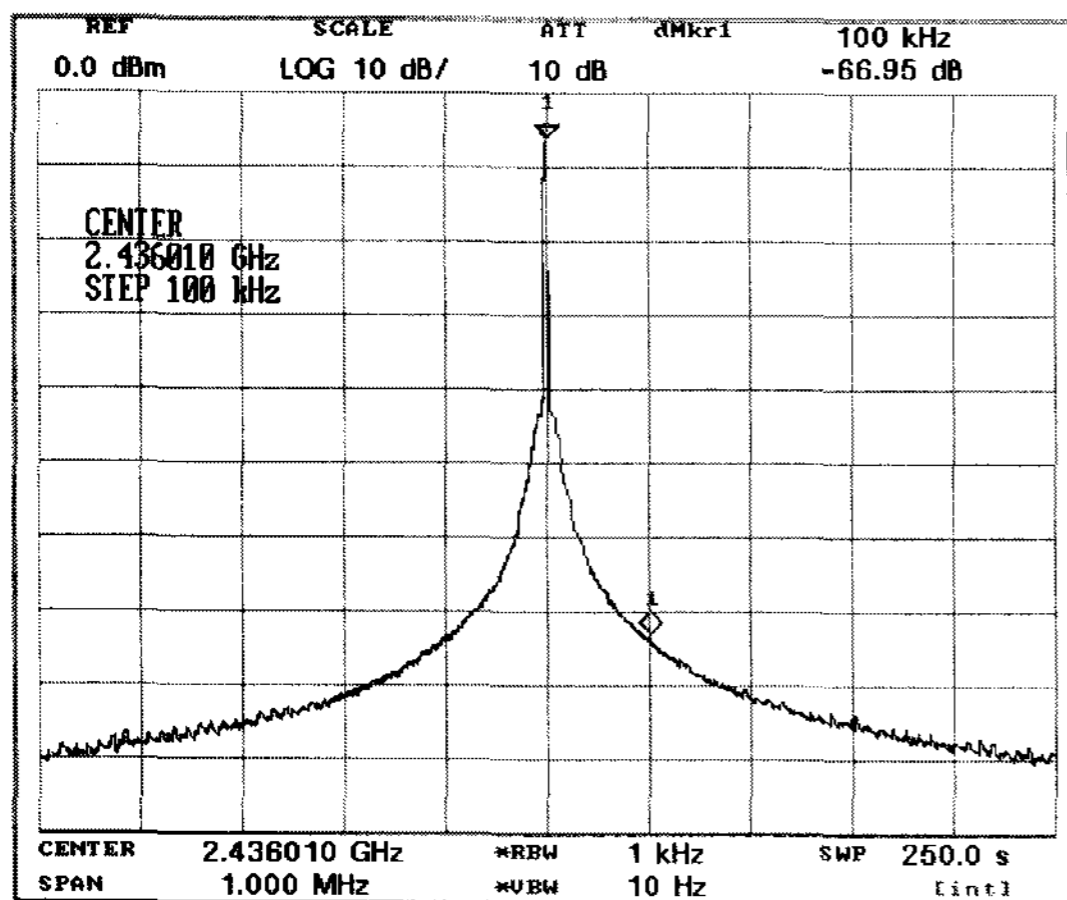


그림 12. 주파수합성기 출력 스펙트럼
Fig. 12. Output spectrum at 2436MHz(1MHz span).

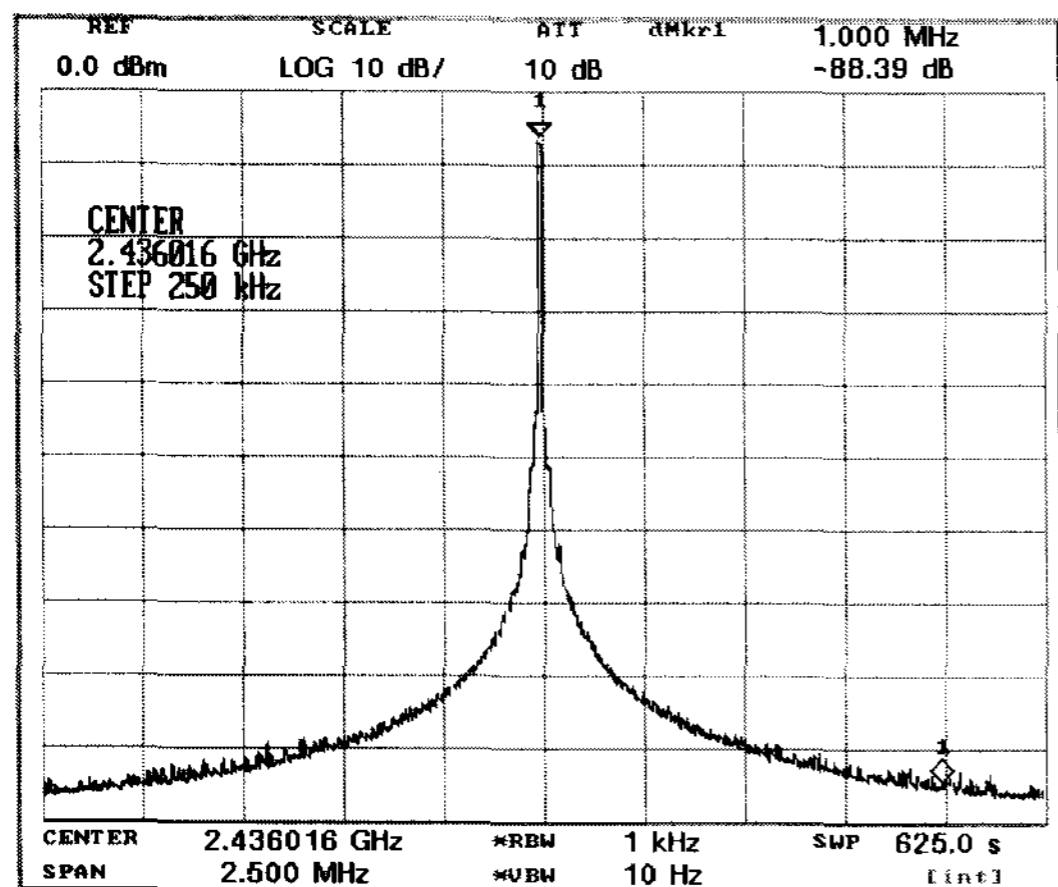


그림 13. 주파수 합성기 출력 스펙트럼
Fig. 13. Output spectrum at 2436MHz(2.5MHz span).

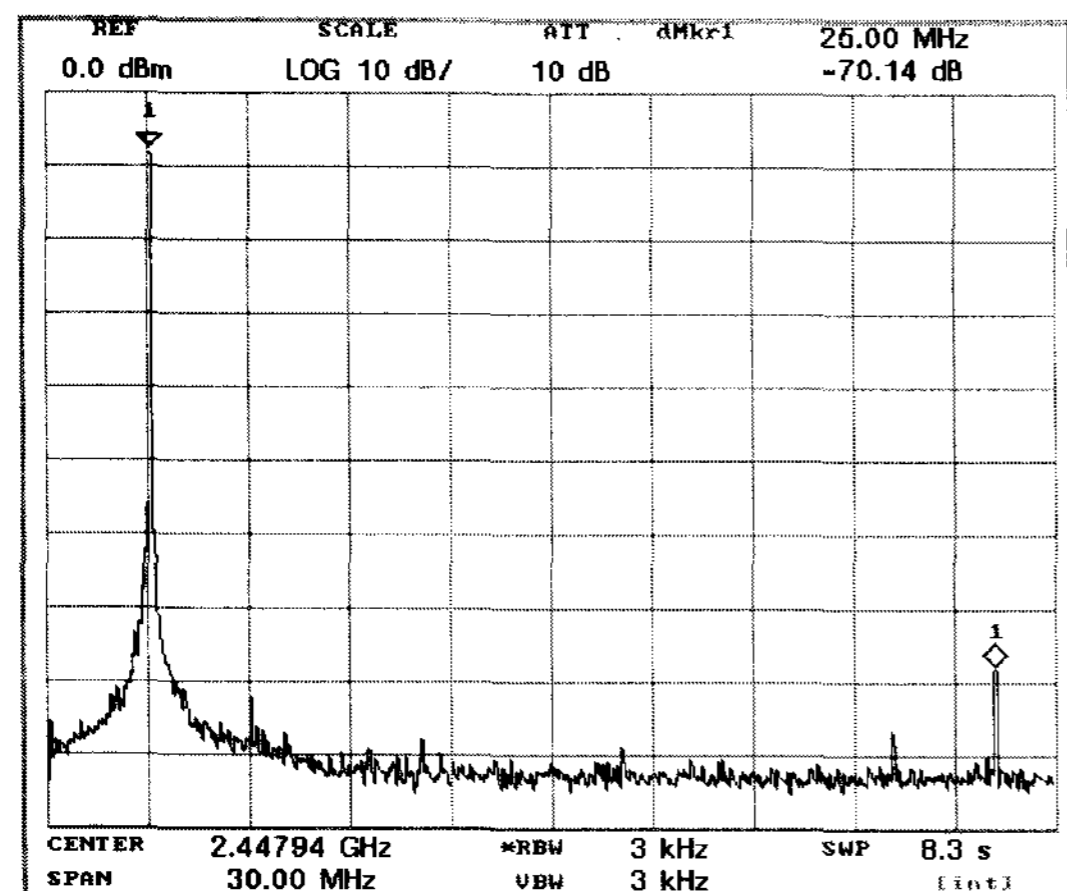


그림 14. Spur 특성
Fig. 14. Spurs characteristic.

결과이다. 문제시 될 만한 fractional spurs는 발견되지 않았으며 약 -70dB의 reference spurs 특성을 보인다.

그림 15~17은 주파수합성기의 tracking 과정을 VCO 조절전압 관찰을 통해 확인한 결과이다. 그림 15~16은

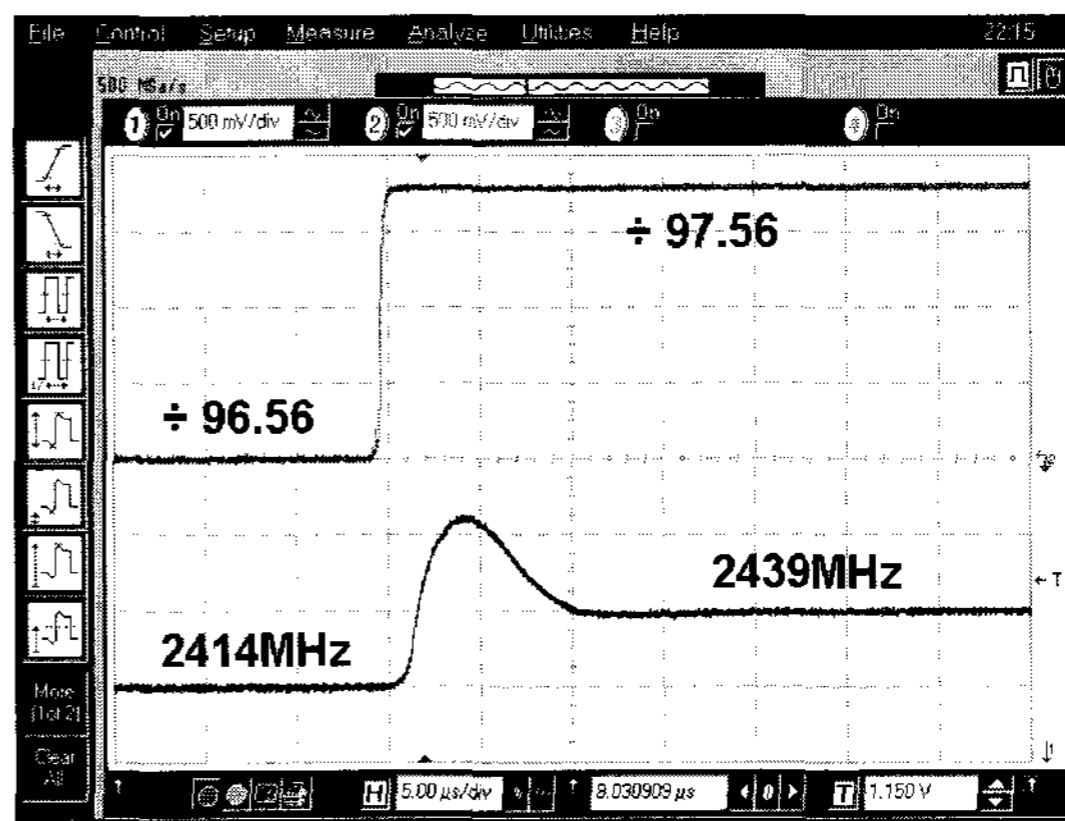


그림 15. 분주비 변화에 따른 tracking 과정
Fig. 15. Measured settling time (2414M→2439M).

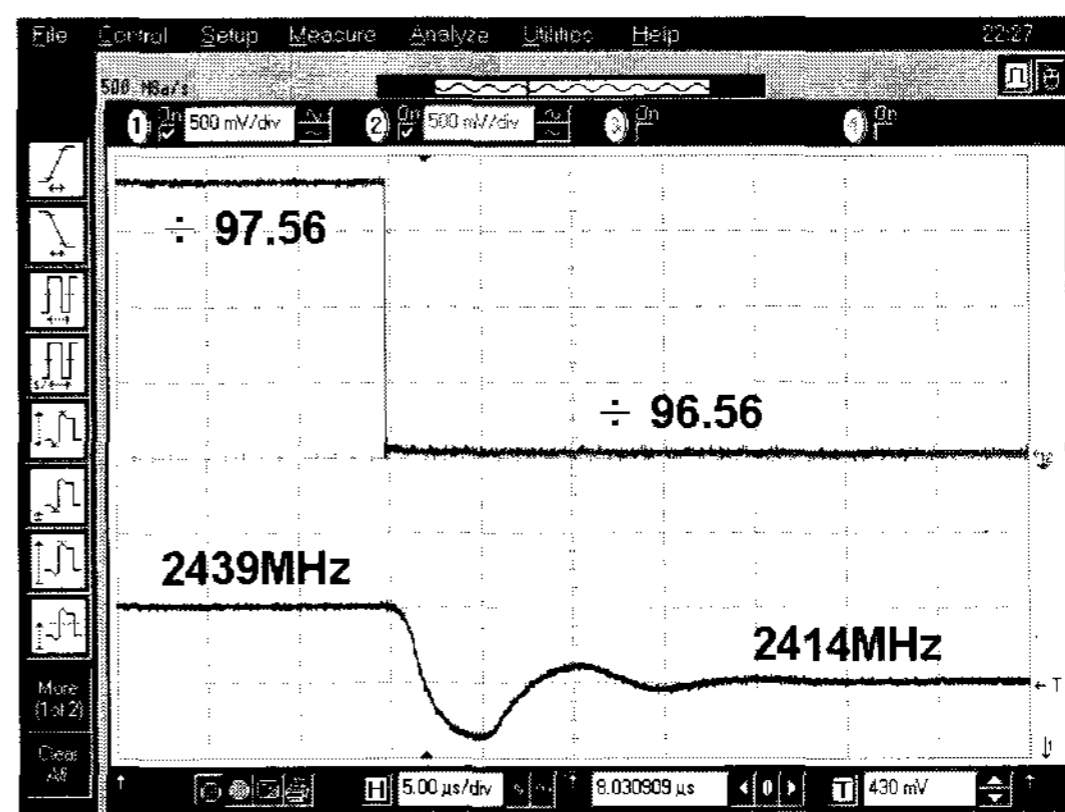


그림 16. 분주비 변화에 따른 tracking 과정
Fig. 16. Measured settling time (2439M→2414M).

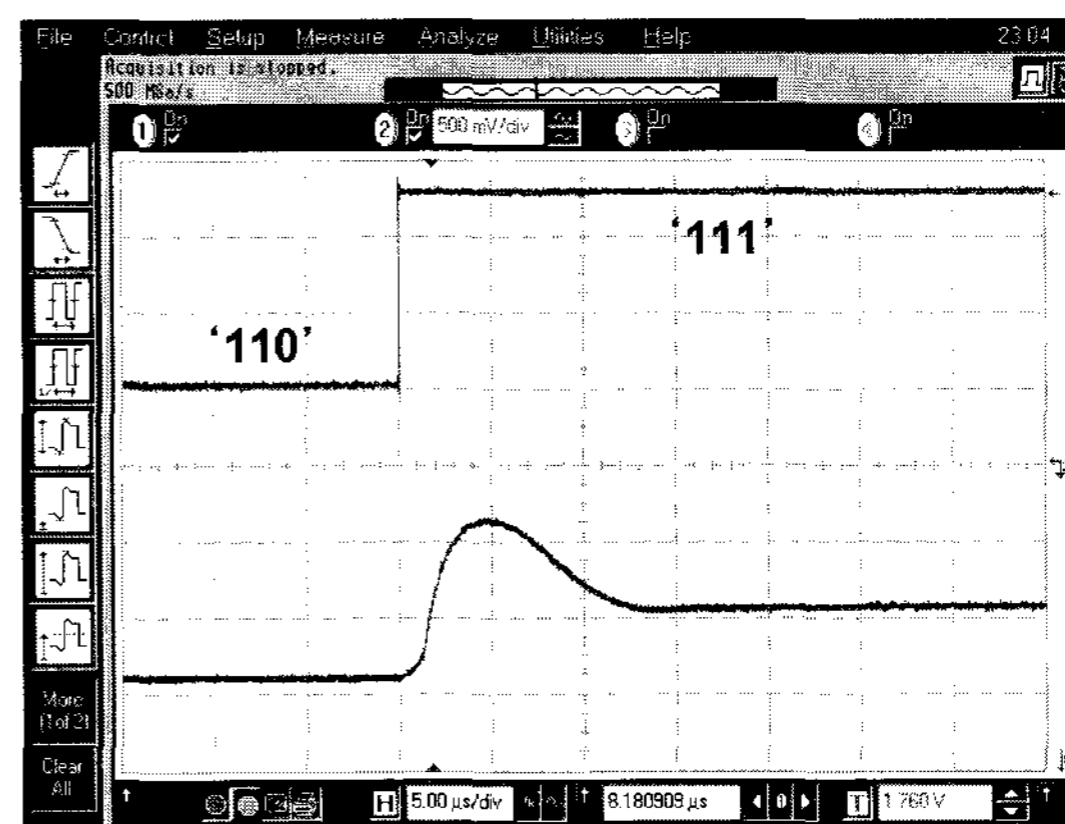


그림 17. VCO 제어신호 변화에 따른 tracking 과정
Fig. 17. VCO coarse tuning (110→111).

각각 VCO cap-bank 제어신호를 '111'로 고정된 후 fractional division ratio를 96.56에서 97.56로(2414MHz에서 2439MHz)로 변화시켰을 때와 그 반대의 경우를 나타낸다.

그림 17은 fractional division ratio를 97.64 (2441MHz)로 고정된 후 cap-bank 제어신호를 '110'에서 '111'로 변화시켰을 때를 확인한 결과이다. 측정 결

표 3. 성능 요약

Table 3. Performance Summary.

| Design Details | | | |
|--|--------------------------------------|-------------|-------------|
| Technology | TSMC 0.18 μ m 1P6M CMOS | | |
| Frequency band | 2402 + k MHz, k=0,1,2,...,78 | | |
| Reference freq. | 25MHz | | |
| Loop bandwidth | 40kHz | | |
| Performance | | | |
| Phase Noise | -96dBc/Hz@100kHz -118dBc/Hz@ 1MHz | | |
| Spurious tone | -70dBc | | |
| Current consumption | TCXO buffer | 505 μ A | |
| | VCO core | 2mA | |
| | VCO buffer | 2mA | |
| | BIAS | 314 μ A | |
| | PFD | 23 μ A | |
| | Charge Pump | out-of-lock | 690 μ A |
| | | in-lock | 376 μ A |
| | Lock detector | 164 μ A | |
| | D-block | 2.5mA | |
| Total : 7.9mA (excluding 50 Ω driver) | | | |
| Locking time | 15 μ s (25MHz step) | | |

표 4. 성능 비교

Table 4. Performance Comparison.

| | [3] | [4] | [5] | This work |
|----------------------|---------------------|---------------------|---------------------|--|
| Technology | 0.5 μ m BiCMOS | 0.18 μ m CMOS | 0.18 μ m CMOS | 0.18 μ m CMOS |
| Supply(V) | 2.75 | 1.8 | 1.8-2.2 | 1.8 |
| Frequency Band(GHz) | 2.4, 5.1-5.3 | 2.4-2.48 | 2.4-2.48 | 2.4-2.48 |
| Phase noise (dBc/Hz) | -120@1M | -123@1M | -121@3M | -118@1M |
| Spurious tone | -50dBc | -64dBc | -65dBc | -70dBc |
| Locking time | N.A | 20 μ s | N.A | 15 μ s |
| Current consumption | 36mA | 13mA | 34.4mA | 7.9mA |
| Chip area | 3.22mm ² | 2.04mm ² | 6.72mm ² | 1.16mm ² (core: 0.64mm ²) |
| Notes | Off-chip LF | Fully integrated | Off-chip LF | Off-chip LF |

과로부터 25MHz 분주비 변화에 따른 주파수 합성기의 위상 고정 시간과 VCO coarse tuning에 따른 위상 고정 시간은 약 15 μ s임을 알 수 있다.

설계된 주파수 합성기의 성능과 기존에 발표된 주파수 합성기와의 성능 비교를 표 3과 4에 각각 보였다. 기존의 2.4GHz 대역 주파수 합성기들의 성능과 비교시 설계된 주파수 합성기는 유사한 위상잡음 특성을 보이며, 7.9mA의 작은 전류소모 특성과, 1.16mm²(core size: 0.64mm²)의 작은 칩 면적을 갖는다. 따라서 설계 목표였던 10mA 이하의 전류소모 특성과 1mm² 이하의 칩 면적 특성을 만족한다.

IV. 결론

본 논문에서는 2.4GHz ISM 대역 응용을 위한 Fractional-N 주파수합성기를 설계 및 제작하였다. 설계된 주파수합성기는 응용분야에서 요구되는 위상잡음 특성을 만족하면서 저전력 소모 특성을 갖도록 적절한 topology 선정과 성능 최적화에 노력하였으며 측정결과 응용분야의 모든 규격을 양호하게 만족하는 결과를 얻을 수 있었다. 또한 루프필터를 제외한 전 기능 블록을 내장하고, 구성 블록 설계시 면적을 최소화할 수 있는 구조를 선택하였으며, 전체 블록을 full-custom 방식으로 설계하여 작은 칩 면적을 차지한다.

설계된 주파수 합성기는 2.4GHz~2.48GHz의 주파수 범위에서 동작하며, 낮은 위상잡음과 작은 전류소모 특성을 갖으며, 작은 칩 면적을 차지하기 때문에 WLAN, Bluetooth, Zigbee, Home RF 등의 다양한 무선통신 응용분야 적용될 수 있다.

참고 문헌

- [1] B. Razavi, *RF Microelectronics*, Prentice Hall PTR, 1998.
- [2] D. Theil and C. Durdodt., "A fully integrated CMOS frequency synthesizer for Bluetooth," in *Proc. IEEE RFIC Symposium*, pp. 103-106, May 2001.
- [3] J. W. M. Rogers and C. Plett, "Design and characterization of a 5.2GHz/2.4GHz Σ - Δ fractional-N frequency synthesizer for low-phase noise performance," *EURASIP Jour. Wireless Communications and Networking*, vol. 2006, pp.1-11, Jan. 2006.
- [4] C. L. Ti and T. H. Lin, "A 2.4-GHz 18-mW

Two-Point Delta-Sigma Modulation Transmitter for IEEE 802.15.4," *IEEE VLSI-DAT*, pp. 188-191, April 2007.

[5] S. Pamarti, L. Jansson, and I. Galton, "A Wideband 2.4-GHz Delta-Sigma Fractional-N PLL with 1-Mb/s In-Loop Modulation," *IEEE JSSC*, vol. 39, no. 1, pp.49-62, Jan. 2004.

[6] J. Bhattachajee, D. Mukhejee, E. Gebara, S. Nuttinck, and J. Laskar, "A 5.8 GHz fully integrated low power low phase noise CMOS LC VCO for WLAN applications," in *Proc. IEEE RFIC Symposium*, pp.475-478, June 2002.

[7] S-H. Han, Y-S. Youn, and C-S. Kim, "Prescaler using complementary clocking dynamic flip-flop," *Electronics Letters*, vol. 39, no. 9, pp. 709-710, May. 2003.

[8] S-H. Kim, M-S. Keel, and K-W. Lee, "CMOS Delta-Sigma Frequency Synthesizer with a New Frequency Divider and a Simplified MASH Structure," *Journal of the Korean Physical Society*, vol. 41, no. 6, pp.967-973, Dec. 2002.

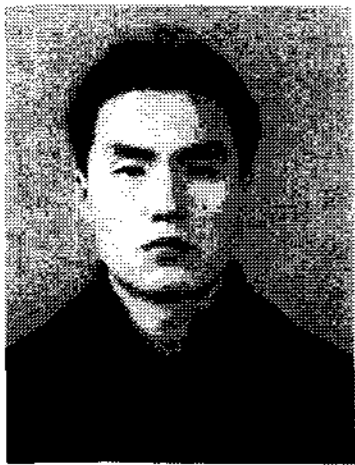
[9] A. Hajimiri and T. Lee, "Design issues in CMOS differential LC oscillators," *IEEE JSSC*, vol. 34, no. 5, pp. 717-724, May 1999.

[10] Moriaki Mizuno, "A 3-mW 1.0-GHz silicon-ECL dual-modulus prescaler IC," *IEEE JSSC*, vol. 27, no. 12, pp. 1794-1798, Dec. 1992.

[11] Dejan Mijuskovic, "Cell-based fully integrated CMOS frequency synthesizers," *IEEE JSSC*, vol. 29, no. 3, pp. 271-279, Mar. 1994.

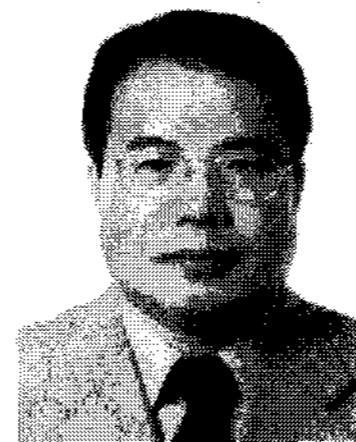
[12] 김유환, 권덕기, 문요섭, 박종태, 유종근, "CMOS IF PLL 주파수합성기 설계," *대한전자공학회 논문지*, 제40권, SD편, 제8호, pp.56-67, 2003.

저 자 소 개



오 근 창(학생회원)
2006년 인천대학교 전자공학과
학사 졸업.
2008년 인천대학교 전자공학과
석사 졸업
2008년~현재 (주)텔레칩스
연구원.

<주관심분야 : 고성능 PLL 및 주파수합성기 설계>



박 종 태(평생회원)
1981년 경북대학교 전자공학과
학사 졸업.
1983년 연세대학교 전자공학과
석사 졸업.
1987년 연세대학교 전자공학과
박사 졸업.

1991년 1월~1991년 12월 MIT Port Doc.
2000년 7월~2001년 8월 UC Davis 방문교수
1987년 3월~현재 인천대학교 전자공학과 교수
<주관심분야 : CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS>



김 경 환(학생회원)
2007년 인천대학교 전자공학과
학사 졸업.
2007년~현재 인천대학교
전자공학과 석사과정.
<주관심분야 : 고성능 PLL 및 주
파수합성기 설계, CMOS Analog
IC 설계>



유 종 근(평생회원)
1985년 연세대학교 전자공학과
학사 졸업.
1987년 연세대학교 전자공학과
석사 졸업.
1993년 Iowa State University
전기 및 컴퓨터공학과
박사 졸업.

1989년 9월~1991년 8월 Texas A&M
University 전기공학과 연구조교
1994년 3월 현재 인천대학교 전자공학과 교수
<주관심분야 : CMOS Analog/Mixed-mode IC
설계, RFIC 설계>