

논문 2008-45SD-6-13

## 필터방식 얼굴검출 하드웨어의 저전력 설계

( Low Power Design of Filter Based Face Detection Hardware )

김 윤 구\*, 정 용 진\*\*

( Yoon-Gu Kim and Yong-Jin Jeong )

## 요 약

본 논문에서는 필터방식 얼굴검출 하드웨어를 저전력 설계하고 그에 따른 전력 소모량을 분석하였다. 얼굴검출 하드웨어는 입력되는 영상에서 얼굴의 위치를 검출하며 내부적으로 6개 모듈과 11개의 모듈 간 버퍼가 삽입되어 각 모듈이 순환 연산한다. 따라서 저전력 설계를 위해 SLEEP 모드와 ACTIVE 모드를 적용하였고, 해당 하드웨어에 모듈별 그리고 레지스터별 클럭 게이팅(Clock Gating) 기술을 적용하였다. 추가적으로 모듈간 버퍼는 메모리 파티션을 통해 메모리에서 소비하는 전력량을 줄였으며 게이트 레벨에서도 저전력 설계 기술(Gate level power optimization)을 적용하였다. 이는 삼성 0.18um 공정의 STD130 라이브러리를 사용하여 Synopsis(사)의 Power-Compiler를 통해 구현되었으며 동사의 Prime-Power에 의해 소비 전력량을 측정하였다. 그 결과 저전력 설계 기술을 적용하기 전과 비교하여 ACTIVE 모드일 경우 약 68%의 전력 소모를 줄였다.

## Abstract

In this paper, we designed a low power face detection hardware and analysed its power consumption. The face detection hardware was fabricated using Samsung 0.18um CMOS technology and it can detect multiple face locations from a 2-D image. The hardware is composed of 6 functional modules and 11 internal memories. We introduced two operating modes(SLEEP and ACTIVE) to save power and a clock gating technique was used at two different levels: modules and registers. In additional, we divided an internal memory into several pieces to reduce the energy consumed when accessing memories, and fully utilized low power design option provided in Synopsis Design Compiler. As a result, we could obtain 68% power reduction in ACTIVE mode compared to the original design in which none of the above low power techniques were used.

**Keywords :** Low Power, Clock Gating, Memory Partitioning

## I. 서 론

최근 소형화, 휴대화 추세에 따라 고성능, 저전력을 필요로 하는 시스템에 대한 요구가 증가하고 있다. 따라서 과거 성능 위주의 설계와 더불어 저전력 설계는 필수적으로 고려할 사항이 되었다. 전력은 동적전력과 정적전력으로 나뉘어 정의된다. 동적 전력은 동작중에 소모되는 전력이며  $C_{eff}$ (커패시턴스),  $f_{clock}$ (시스템 클

럭),  $V_{dd}^2$ (공급전압)에 비례하고 동작하지 않을 때 소모되는 전력인 정적전력은  $I_{leakage}$ (누수전류)에 비례한다.

최근까지 동적전력은 반도체 구현시 전체 전력 소모의 대부분을 차지하였다. 그러나 최근에는 65nm 공정 등이 일반화 되어가는 등, 반도체 공정의 집적도가 향상됨에 따라 정적전력이 차지하는 비중이 커지고 있다.

본 논문에서는 삼성 0.18um 공정으로 구현된 필터방식 얼굴검출 하드웨어<sup>[1]</sup>를 저전력 기법을 적용하여 재 설계하였다. 해당 하드웨어는 동적전력의 비중이 전체 전력의 99% 이상을 차지하고 있으므로 정적 전력 보다는 동적전력을 줄이기 위해 주로  $f_{clock}$ (시스템 클럭)를 낮출 수 있는 클럭 게이팅, 메모리 분할 방식을 적용하여 저전력 설계를 구현하였다.

\* 학생회원, \*\* 정회원, 광운대학교 전자통신공학과  
(Department of Electronics and Communications  
Engineering, Kwangwoon University)

※ 본 연구는 IDEC 의 톨 지원과 IT-SOC 사업단 설계실습 프로젝트 및 서울시 혁신 클러스터 (나노 IP-SOC) 사업의 지원으로 수행되었습니다.

접수일자: 2008년1월11일, 수정완료일: 2008년5월26일

## II. 필터방식 다중 얼굴검출 하드웨어

### 1. 다중 얼굴검출 알고리즘

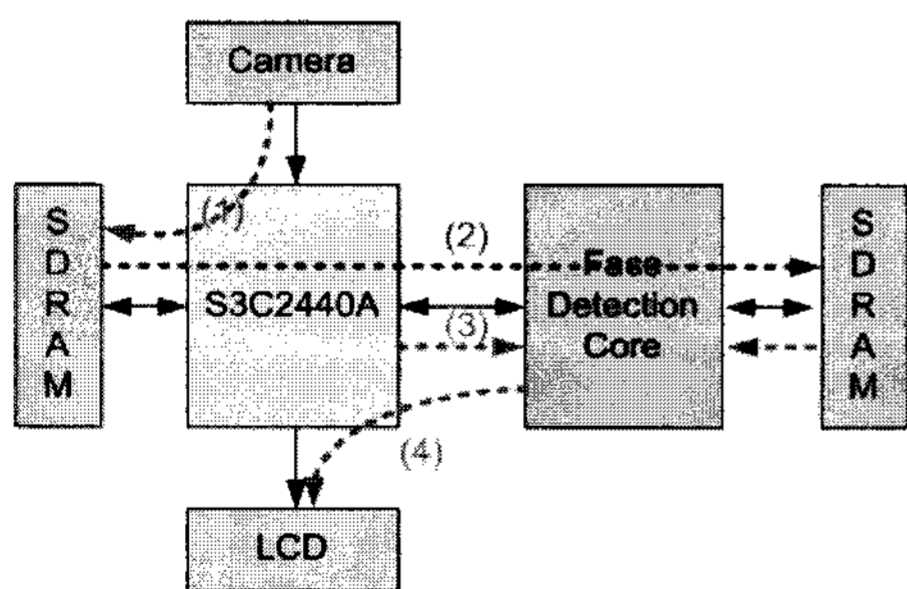
해당 하드웨어의 다중 얼굴검출 알고리즘은 그림 1과 같다. 알고리즘의 전반적인 과정은 3가지 필터를 적용하여 입력되는 영상에서 얼굴을 검출하는 것이다. 즉 그레이스케일 입력 영상을 밝기에 안정적이도록 전처리하고 변환된 이미지에 8x8 필터를 적용하여 대략적인 얼굴 후보(candidate\_range1)를 검출한 뒤, 검출된 영역을 16x16 필터와 20x20 필터를 통해 검증하여 최종 얼굴 영역(face\_range)을 출력한다. 얼굴영역은 얼굴의 중

```

input : 640*480 gray image
output : face_range

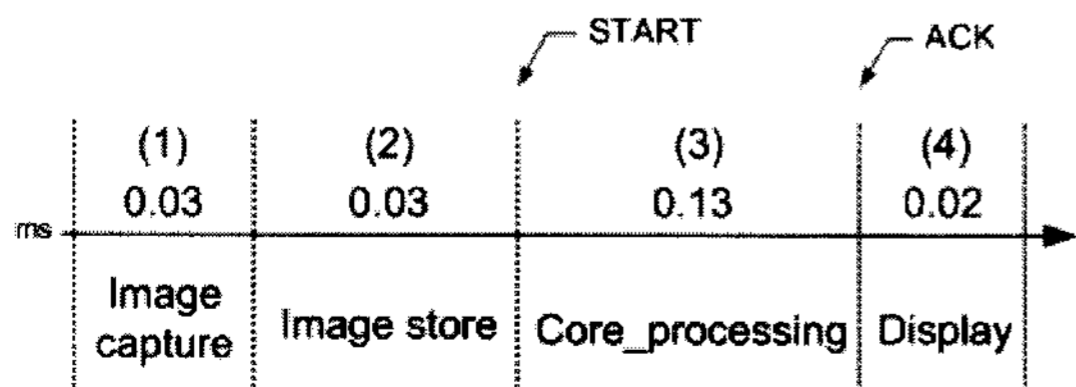
while (begin_ratio * mult_ratio > end_ratio) do {
  resize(ratio, original_image, resized_image)
  ict(resized_image, ict_image)
  find_cand(8*8 filter, ict_image, pre_candidate_range1)
  group(pre_candidate_range1, candidate_range1)
}
repeat all candidate_range1 {
  while (begin_ratio * mult_ratio > end_ratio) do {
    resize(ratio, candidate_range1, resized_image)
    ict(resized_image, ict_image)
    find_cand(16*16 filter, ict_image, pre_candidate_range2)
    group(pre_candidate_range2, candidate_range2)
  }
}
repeat all candidate_range2 {
  while (begin_ratio * mult_ratio > end_ratio) do {
    resize(ratio, candidate_range2, resized_image)
    ict(resized_image, ict_image)
    find_cand(20*20 filter, ict_image, pre_candidate_range3)
    group(pre_candidate_range3, face_range)
  }
}
    
```

그림 1. 다중 얼굴검출 알고리즘  
Fig. 1. Multiple face detection algorithm.



(a) 얼굴검출 시스템 (Face detection system)

Input Image size = 640x480      Clock = 100MHz



(b) 얼굴검출의 흐름도 (Flow of face detection)

그림 2. 얼굴검출 하드웨어  
Fig. 2. Face detection hardware.

심점과 얼굴의 가로, 세로 길이로 정의된다.

다중 얼굴검출 알고리즘은 대부분의 영상처리 알고리즘의 문제가 되는 밝기 변화에 의한 성능차를 보완하기 위하여 입력되는 영상에 ICT(Improved Census Transform) 변환을 적용한다. ICT 변환은 원본 이미지의 픽셀을 주변 픽셀과의 관계값으로 변환하기 때문에 밝기 변화에 안정적인 특징이 있다. 즉, 밝기 변화에 의해 절대적인 픽셀값은 변화가 되지만 크고 작은 관계값은 크게 변화되지 않으므로 밝기 변화에 안정적인 영상을 얻을 수 있어서 밝기 변화에 의한 전체 알고리즘 성능 변화를 완충할 수 있다.

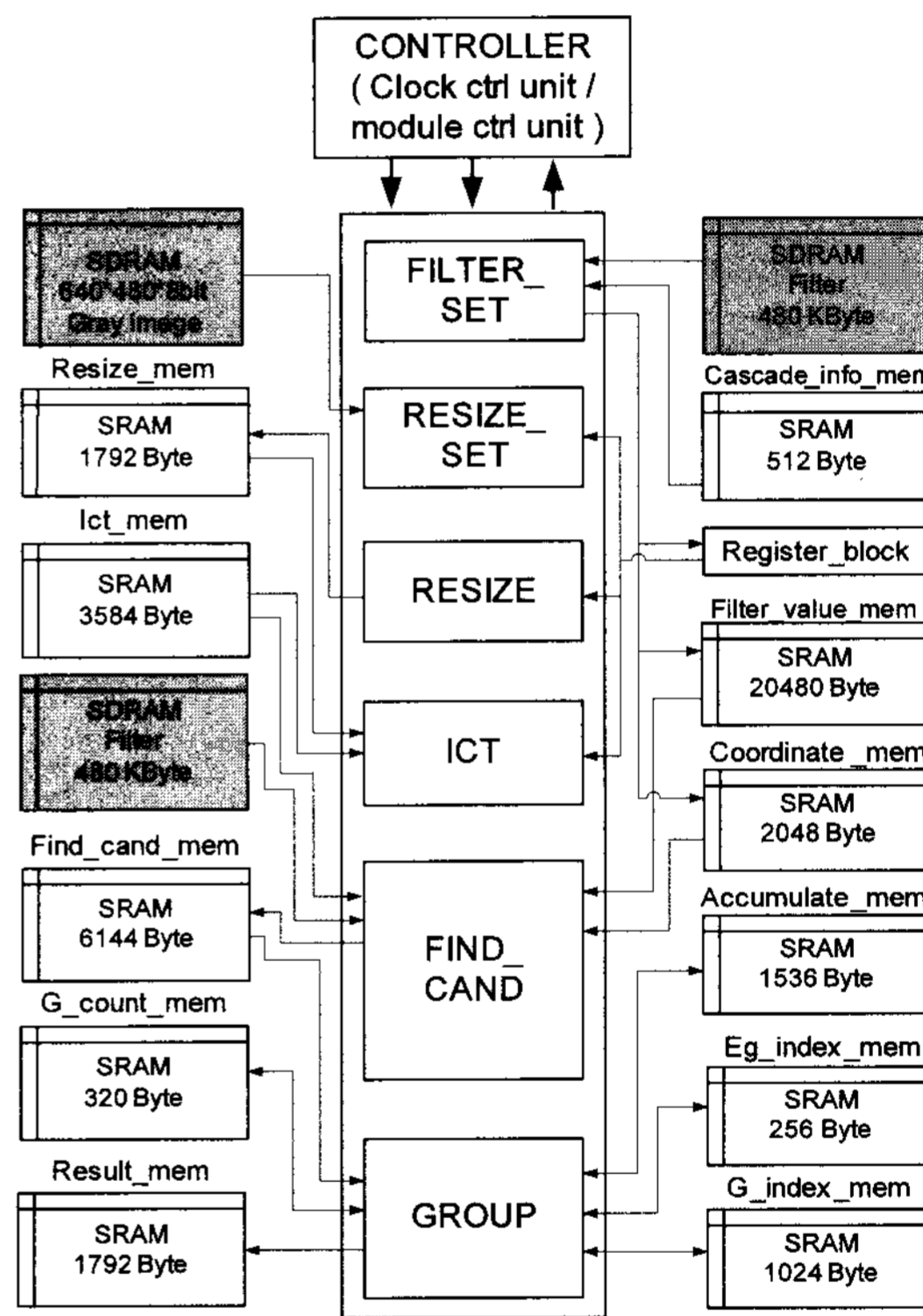


그림 3. 얼굴검출 하드웨어 블록도  
Fig. 3. Face detection hardware block diagram.

- R Resize\_set Module      I ICT Module
- F Filter\_set Module       Find\_cand Module
- R Resize Module      G Group Module

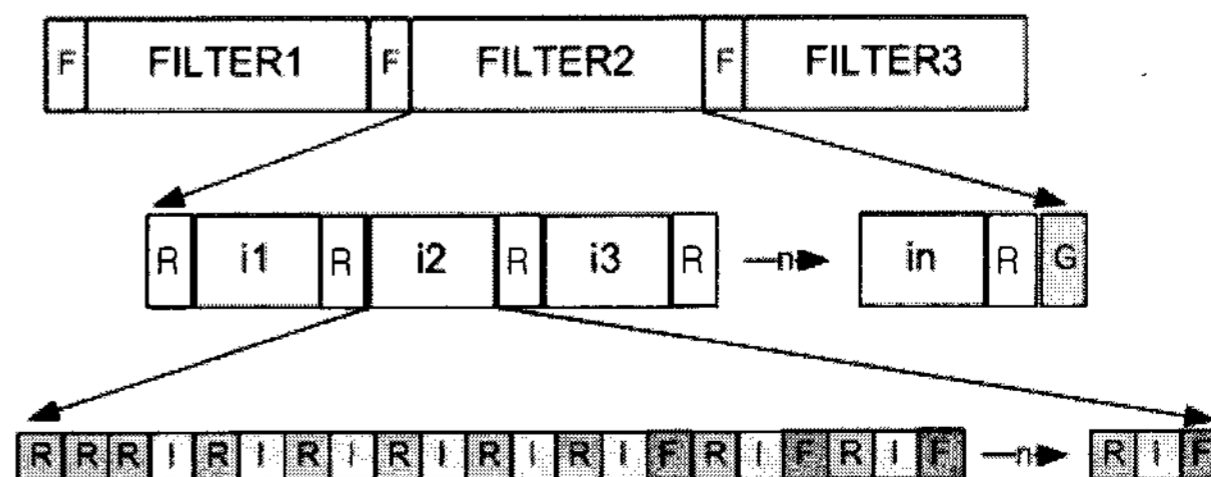


그림 4. 얼굴검출 하드웨어 실행순서  
Fig. 4. Face detection flow.

## 2. 얼굴검출 하드웨어

본 논문의 얼굴검출 하드웨어는 그림 2-(a)와 같이 ARM9 기반의 호스트 프로세서와 연결되며 한 영상을 처리하기 위해 그림 2-(b)와 같은 순서로 얼굴검출이 진행된다. 즉 프로세서는 카메라로부터 영상을 입력받아 얼굴검출 하드웨어에 종속된 SDRAM에 입력하고 START 신호를 발생한다. 얼굴검출 하드웨어는 START 신호를 입력받아 내부 동작 후 내부 메모리에 검출결과를 저장한 뒤 END 신호를 발생한다. 이에 프로세서는 해당 하드웨어의 내부 메모리로부터 결과를 읽어 LCD에 출력한다.

해당 하드웨어의 내부는 그림 3과 같이 구성되어 그림 4와 같은 과정으로 연산한다. 즉, 그림 1의 각 함수를 모듈로 설계하여 하드웨어를 구성하고, 3종류의 필터를 적용하기 위해 컨트롤러는 각 모듈의 입력 상태를 조절하여 그림 4와 같은 순서로 모듈을 순환 반복 동작시킨다. 그림 4는 컨트롤러에서 한 영상을 그림 4의 i1, i2... in와 같이 여러번 축소하면서 Resize, ICT, Find\_cand 모듈을 순차적으로 순환시키는 순서를 보여준다.

## III. 저전력 설계

해당 필터방식 얼굴검출 하드웨어를 저전력 설계하기 위해서 본 논문에서는 4가지 기법을 적용한다. 첫째, 한 영상을 처리하기 위해 얼굴검출 과정에서 실제 하드웨어가 동작하는 구간은 그림 2-(b)의 (3)부분이다. 따라서 하드웨어의 SLEEP 모드와 ACTIVE 모드를 적용하여 그림 2의 (1), (2), (4)구간에는 SLEEP 모드로 동작하고, (3)부분에서 ACTIVE 모드로 동작할 수 있도록 한다. 둘째, 그림 4와 같이 하드웨어 동작 중에는 그림 3의 6개의 모듈 중 1개의 모듈이 동작하고 나머지 5개의

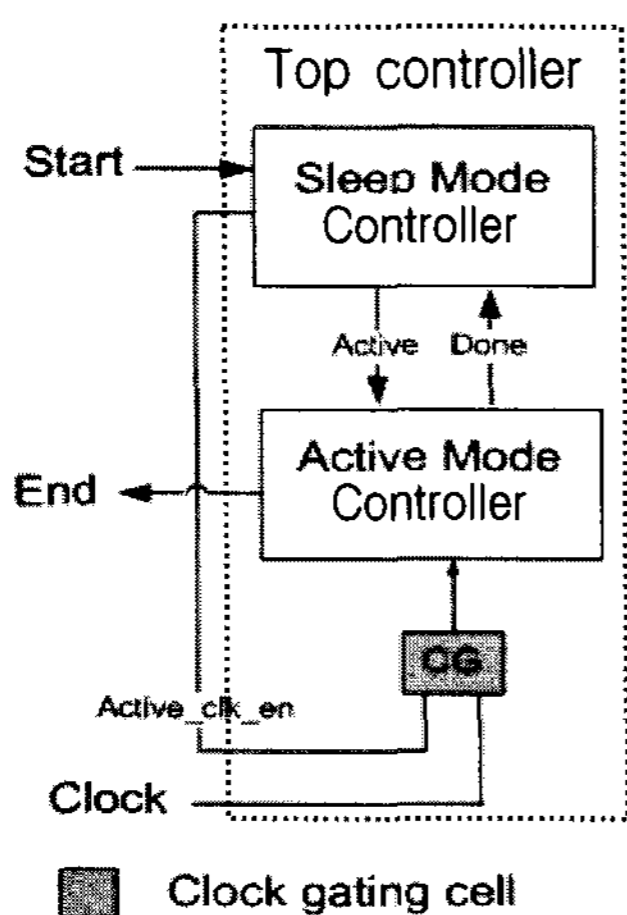


그림 5. Sleep 과 Active 모드 컨트롤 설계도  
Fig. 5. Sleep & Active mode control scheme.

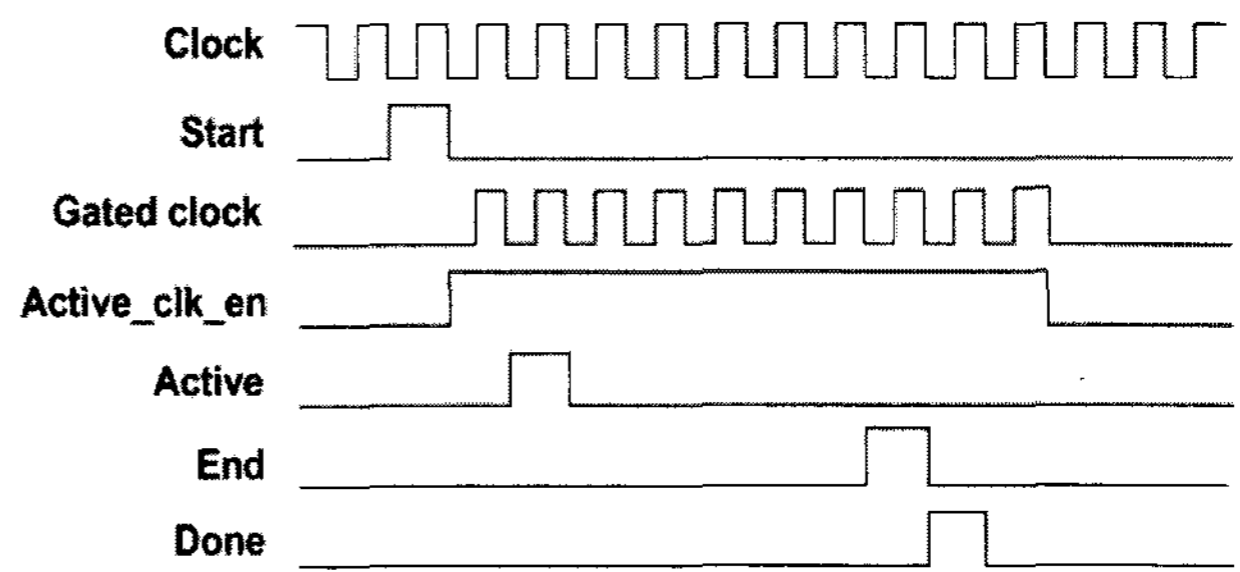


그림 6. 클럭 게이팅 과정  
Fig. 6. Clock gating process.

모듈은 동작하지 않는다. 따라서 동작하는 모듈 1개를 제외하고 나머지 모듈의 클럭을 차단하는 모듈별 클럭 게이팅을 적용하여 전력 소비를 최소화 한다. 또한 각 모듈이 실행될 때도 모듈 내의 레지스터를 게이팅된 클럭(Gated Clock)을 사용하여 동작되는 레지스터에서만 전력이 소비되도록 한다. 셋째, 데이터를 처리하기 위해 모듈 간 위치하는 내부 메모리는 전력 소모가 많은 하나의 큰 메모리로 구성하지 않고 여러 개의 작은 메모리를 조합하여 메모리 액세스 시의 전력 소모량을 줄인다. 넷째, 하드웨어 합성 시 전력 최적화할 수 있도록 게이트 레벨 전력 최적화를 적용한다.

### 1. SLEEP & ACTIVE 모드

얼굴검출을 하기 위해 6개의 하위 모듈을 컨트롤하는 최상위 컨트롤러는 프로세서로부터의 START 신호를 감지하여 각 모듈을 순차적으로 순환 수행한 뒤 프로세서에 END 신호를 보내준다. 따라서 해당 하드웨어의 최상위 컨트롤러를 SLEEP 모드와 ACTIVE 모드를 적용하기 위해 그림 5와 같이 두 부분으로 나눈다. 즉 프로세서로부터의 START 신호를 감지하기 위한 SLEEP 모드 컨트롤러와 각 모듈을 실행하고 END 신호를 발생하기 위한 ACTIVE 모드 컨트롤러로 나눈다. 이로 인해 SLEEP 모드 컨트롤러에서 ACTIVE 모드 컨트롤러에 입력되는 클럭을 게이팅하여 스타트 신호를 감지하기 전까지 ACTIVE 모드 컨트롤러가 소비하는 전력을 줄인다.

그림 6은 SLEEP 모드 컨트롤러가 ACTIVE 모드 컨트롤러에 클럭 게이팅을 하기 위한 과정이다. SLEEP 모드 컨트롤러는 프로세서로부터 START 신호를 감지한 뒤, ACTIVE 모드 컨트롤러를 동작시키기 위해 그림 5의 Active\_clk\_en 신호를 발생하여 준 다음 Active 신호를 인가한다. 이후 ACTIVE 모드 컨트롤러의 동작이 완료되어 Done과 End 신호가 발생되면 Active\_clk\_en을 제거한다. 이와 같이 클럭 게이팅에 단계를 둔 것은 클럭 게이팅 과정 중 트랜지트 상태에서의 오동작을 방지하기 위함이다.

2. 모듈, 레지스터 클럭 게이팅

ACTIVE 모드 컨트롤러에 의해 컨트롤되는 6개의 하위 모듈은 얼굴검출 연산을 위해 순차적으로 순환하며 수행된다. 즉 하나의 모듈이 수행될 때 나머지 5개의 모듈이 수행되지 않으므로 모든 모듈에 클럭을 입력함으로 불필요한 전력이 소비된다. 따라서 그림 7과 같이 모듈에 입력되는 클럭을 게이팅하여 연산 중 모듈들이 소비하는 전력을 최소화한다.

ACTIVE 모드 컨트롤러는 각 모듈을 M\_start와 M\_done 신호로 컨트롤한다. 즉 M\_start 신호를 발생하면 각 모듈내에 서브 컨트롤러가 존재하여 연산 수행 후 M\_done 신호를 보내어 ACTIVE 모드 컨트롤러에서 다음 모듈을 수행할 수 있도록 한다. 그림 8은 각 모듈의 클럭 게이팅을 하기위한 과정을 보여준다. 즉 클럭의 안정을 위해 M\_start 신호 발생 이전에 M\_clk\_en 신호를 인가해주고 M\_done 신호 발생 이후 M\_clk\_en

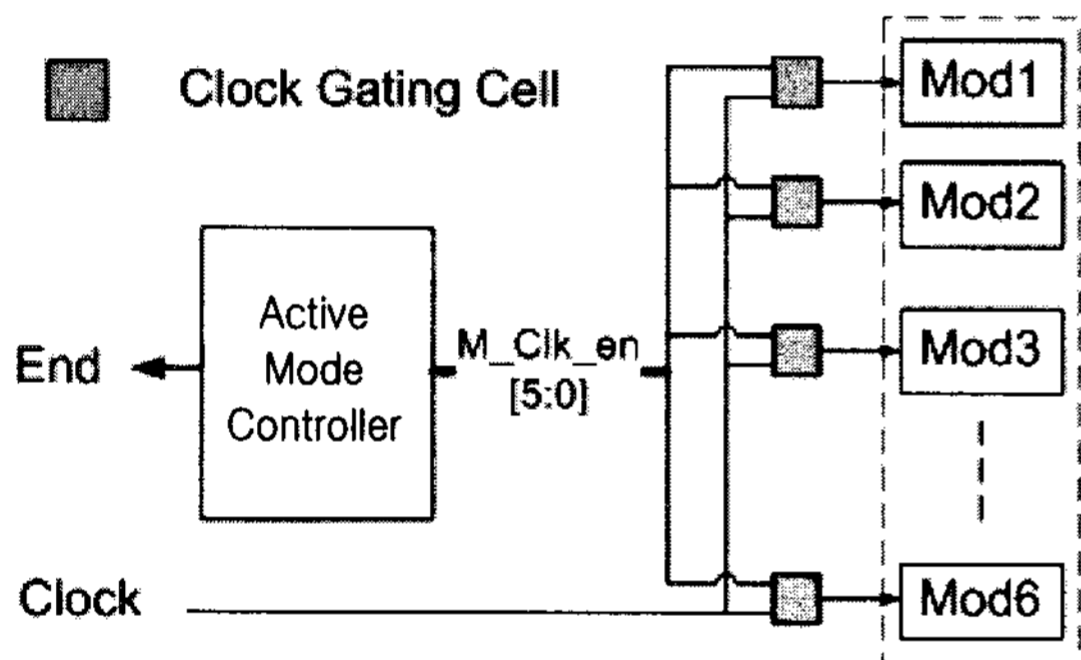


그림 7. 모듈 클럭 게이팅  
Fig. 7. Module clock gating.

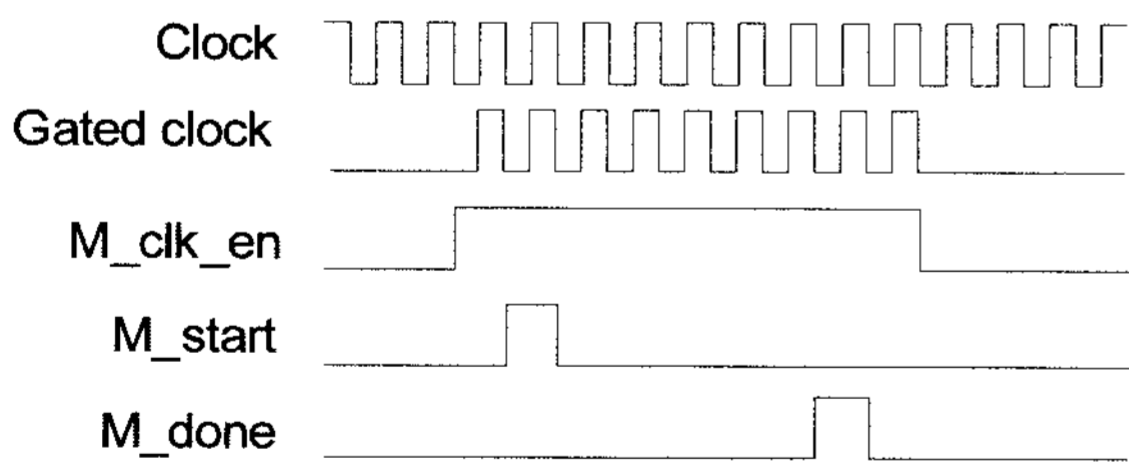


그림 8. 모듈 클럭 게이팅 과정  
Fig. 8. Module clock gating process.

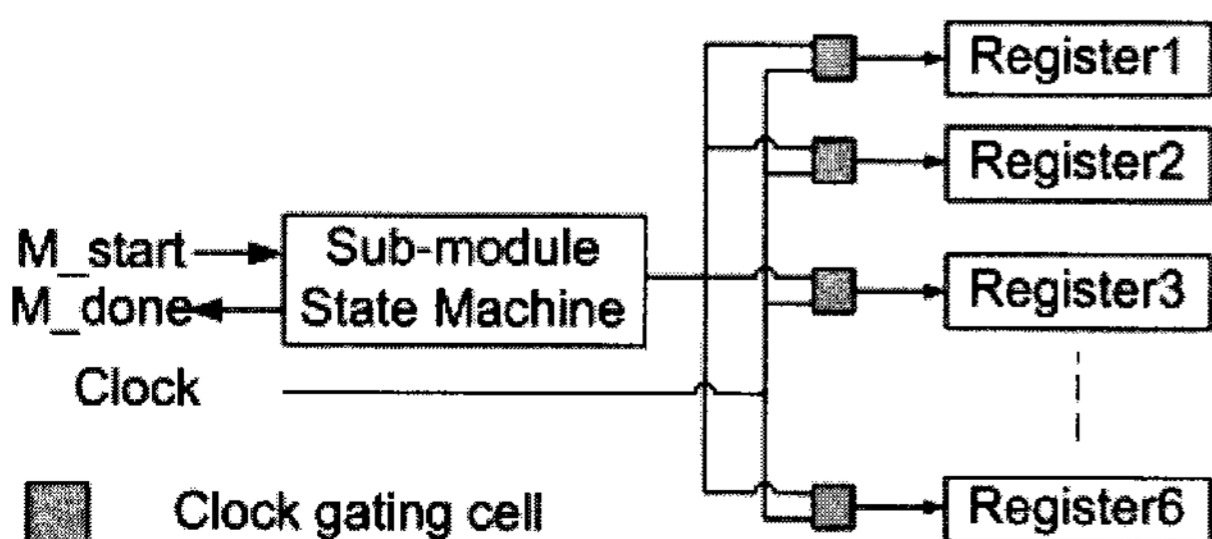


그림 9. 레지스터 클럭 게이팅  
Fig. 9. Register clock gating.

신호를 제거해 준다.

각 모듈의 데이터 패스는 여러 레지스터로 구성되어 있다. 따라서 동작중인 모듈에서도 사용하지 않는 레지스터에 불필요한 전력이 소비되는 것을 방지하기 위해 그림 9와 같이 레지스터 클럭 게이팅을 사용한다.

3. 메모리 분할

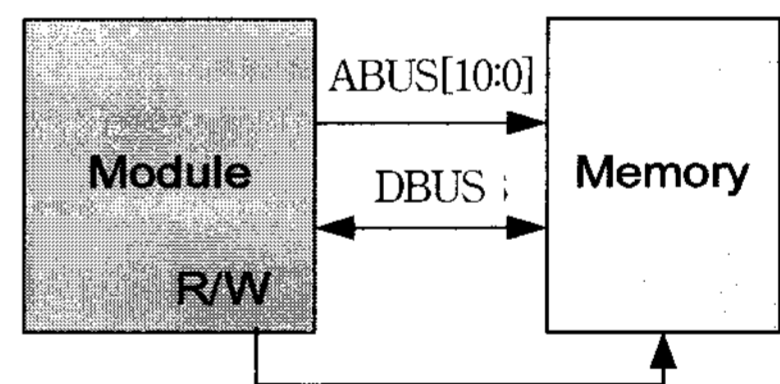
일반적으로 하나의 큰 메모리는 상대적으로 작은 메모리에 비해 액세스와 준비상태에서 소비하는 전력의 양이 표 1과 같이 많다. 표 1은 삼성 0.18um 공정의 내부 메모리의 크기별 전력소모량을 비교한 것이다.

해당 하드웨어는 6개의 모듈이 실행하면서 각 모듈의 결과를 모듈과 모듈 사이에 위치한 내부 메모리에 저장한다. 내부 메모리는 크기가 큰 하나의 메모리로 그림 10-(a)와 같이 구성하면 표 1과 같이 액세스시 메모리에서 소비하는 전력의 양이 많아진다. 따라서 그림

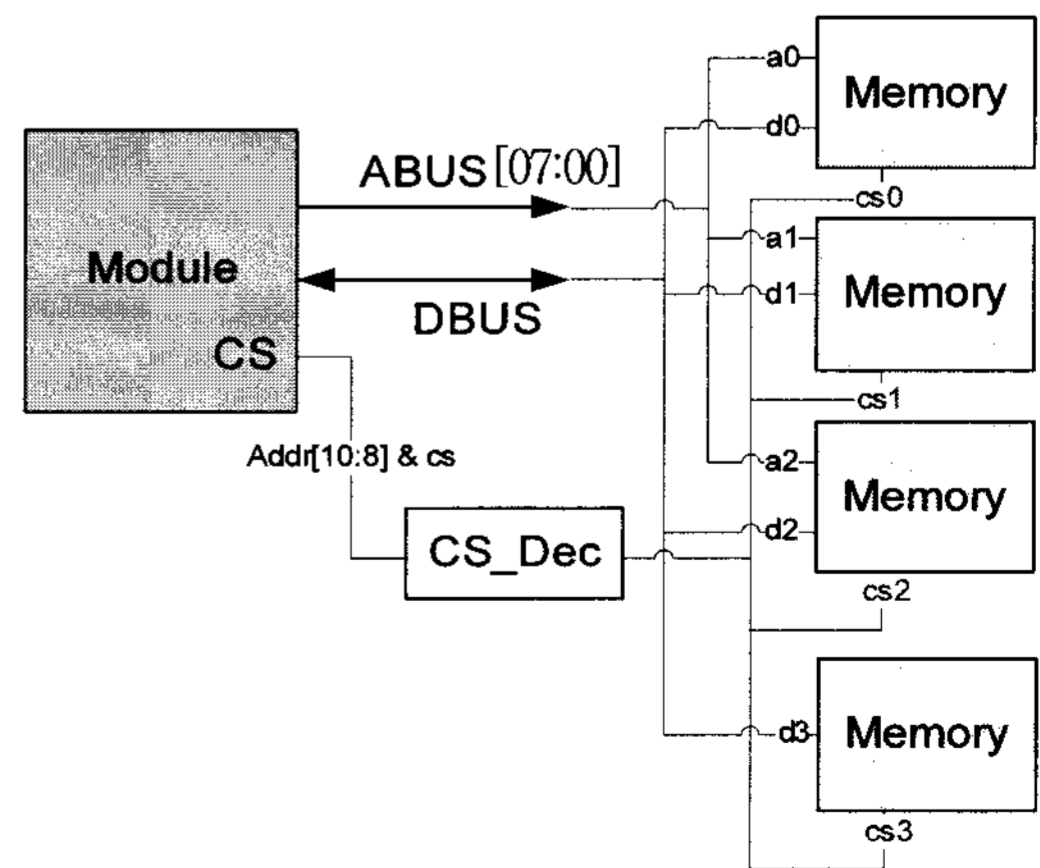
표 1. 전력 소비 비교 (uW/MHz)

Table 1. Power Consumption Comparison (uW/MHz).

Memory	Type 1	Type 2	Type 3
Words	16384	2048	256
bpw	16	16	16
ba	1	1	1
Power_read	222.44	150.71	116.65
Power_write	236.25	162.73	124.89
Power_standby	41.89	37.13	31.36



(a) 일반적인 메모리 구성 (Normal Memory Connection)



(b) 메모리 분할 (Memory Partitioning)

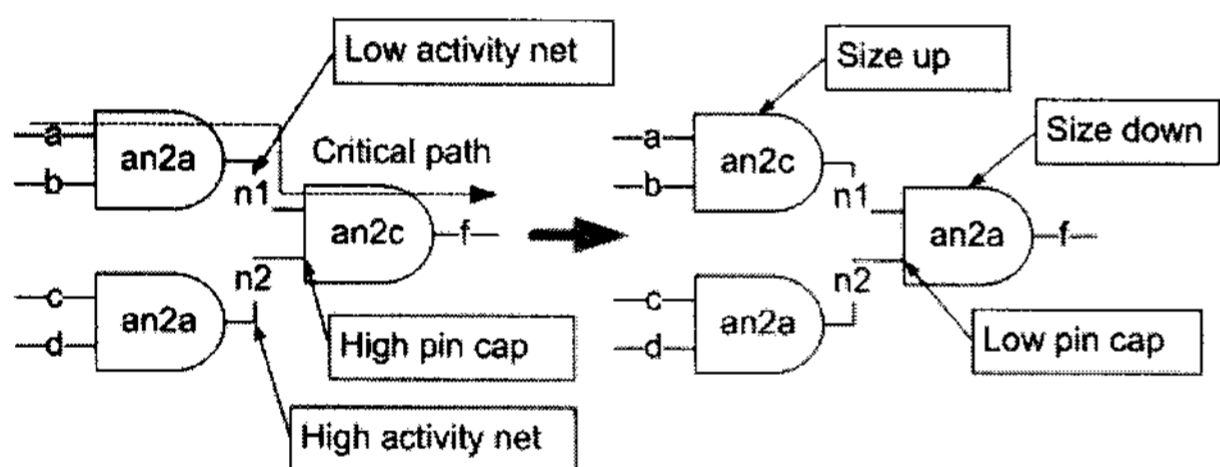
그림 10. 메모리 구성도  
Fig. 10. Memory Organization.

10-(b)와 같이 메모리를 분할하여 사용되는 어드레스 구간의 메모리만 활성화 하여 메모리 액세스 시에 소비하는 전력을 최소화한다.

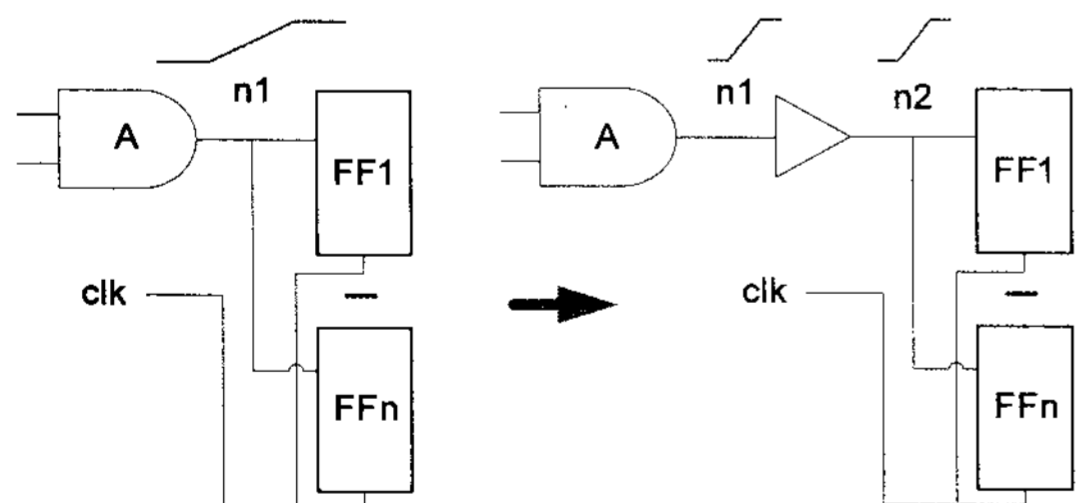
이와 같은 구현으로 2,048x16bit 크기의 메모리가 필요하고 2,048번의 메모리 쓰기가 진행된다면 그림 10-(a)의 구조로 표 1의 TYPE2 메모리 1개를 사용하여 333,312 (=2,048x162.73 + 41.89) uW의 전력이 소비된다. 반면 10-(b)의 구조는 동일 조건에서 표 1의 TYPE3의 메모리 8개를 연결하여 256,024 (=2,048x124.89 + 31.36x8) uW의 전력이 소비되어 약 23%의 전력낭비를 줄일 수 있다. 구조 변경에 의해 칩 셀렉트 디코더(CS\_Dec) 모듈이 추가되고 준비상태에서 메모리가 소비하는 전력소비량이 증가할 수 있지만 메모리 분할을 통해 얻는 이득에 비해 증가량이 미미하다.

4. 게이트 레벨 전력 최적화

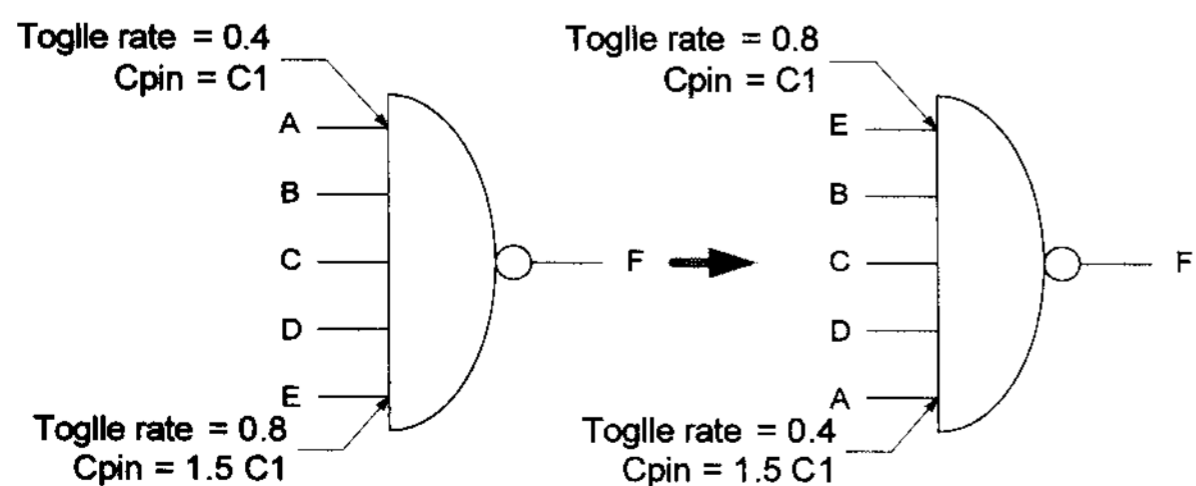
하드웨어 합성 시 추가적으로 그림 11의 3가지 게이트 레벨 전력 최적화를 적용한다. 즉 그림 11-(a)와 같이 크리티컬 패스를 구성하는 로직셀의 크기를 조절하여 전력소비량을 줄이고 그림 11-(b)와 같이 버퍼를 삽입



(a) 셀 사이징 (Cell sizing)



(b) 버퍼 삽입 (Buffer Insertion)



(c) 핀 스와핑 (Pin Swapping)

그림 11. 게이트 레벨 전력 최적화  
Fig. 11. Gate Level Power Optimization.

입하여 트리거시에 소비되는 전류량을 최소화 하여 전력 소비량을 줄인다. 그리고 그림 11-(c)와 같이 변화량이 많은 입력핀을 커패시턴스 값이 작은 핀으로 연결하여 전력 소비량을 줄인다. 이와 같은 방법은 Synopsis(사)의 Power-Compiler<sup>[2]</sup>에 의해 적용된다.

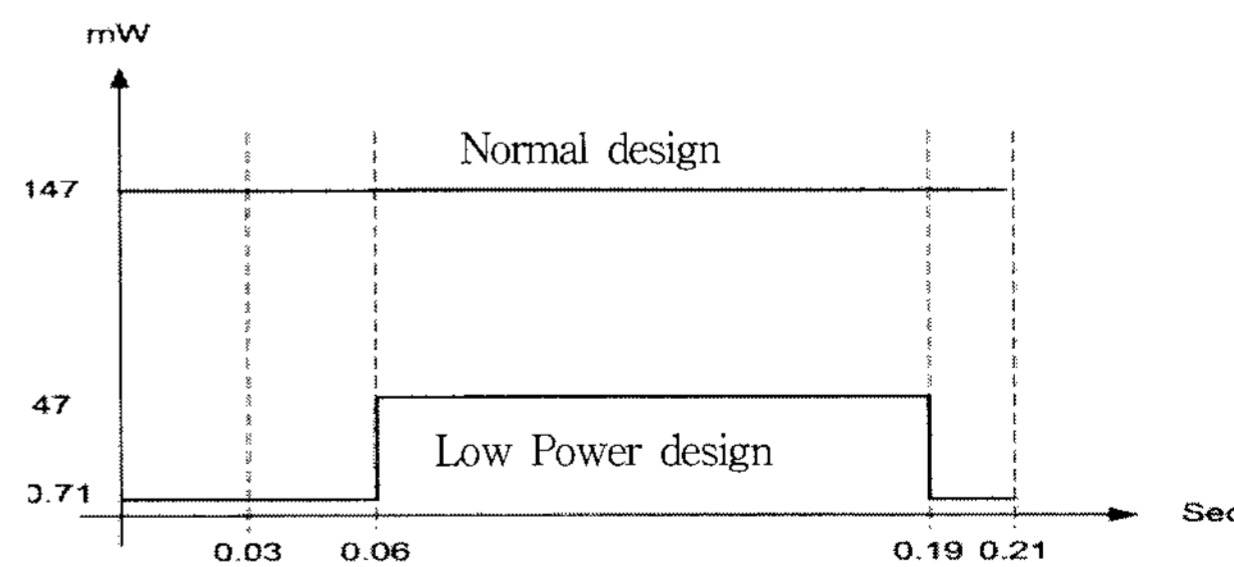
IV. 비교 및 분석

필터방식 얼굴검출 하드웨어<sup>[1]</sup>는 앞의 4가지 방법을 적용하여 Synopsis(사)의 Power-Compiler를 통해 삼성 0.18um 공정의 STD130 셀 라이브러리로 하드웨어의 성능 변화 없이 저전력 설계하였고 Prime-Power를 통한 전력 소모량을 측정, 성능분석 결과를 표 2에 나타내었다.

결과적으로 본 논문의 하드웨어는 표 2와 같이 저전력 설계 기법을 적용하기 전과 비교하여 ACTIVE 모드일 경우 약 68%의 전력 소비량이 감소되었다. 추가적으로 SLEEP 모드가 구현되어 프로세서로부터 START 신호가 없을 때는 0.71 mW만 소비하게 되어 어플리케이션에 따라 에너지 효율을 더 높일 수 있다. 즉 640x480 크기의 영상 한 프레임을 100MHz로 연산하였을 경우 한 영상 프레임을 처리하기 위해 저전력 설계 기법 적용 전과 후 전

표 2. 총 전력 소모  
Table 2. Total Power.

Content	Normal Design	Low Power Design	
		Active mode	Sleep mode
Detect rate	98%	98%	
Max clock	100Mhz	100Mhz	
Performance	25 f/s	25 f/s	
Leakage	17.21 uW	15.12 uW	15.12 uW
Short circuit	101.81 mW	27.63 mW	0.51 mW
Switching	32.37 mW	19.37 mW	0.20 mW
Total Power	134.20 mW	47.00 mW	0.71 mW



(a) 에너지 소모량 그래프 (Energy consumption graph)

Design Type	Energy (640x480, 100MHz)
Normal	30.87 mJ
Low Power Design	6.17 mJ

(b) 에너지 소모량 비교 (Energy consumption comparison)

그림 12. 에너지 소모량  
Fig. 12. Energy consumption.

표 3. 메모리 전력 소비 분석

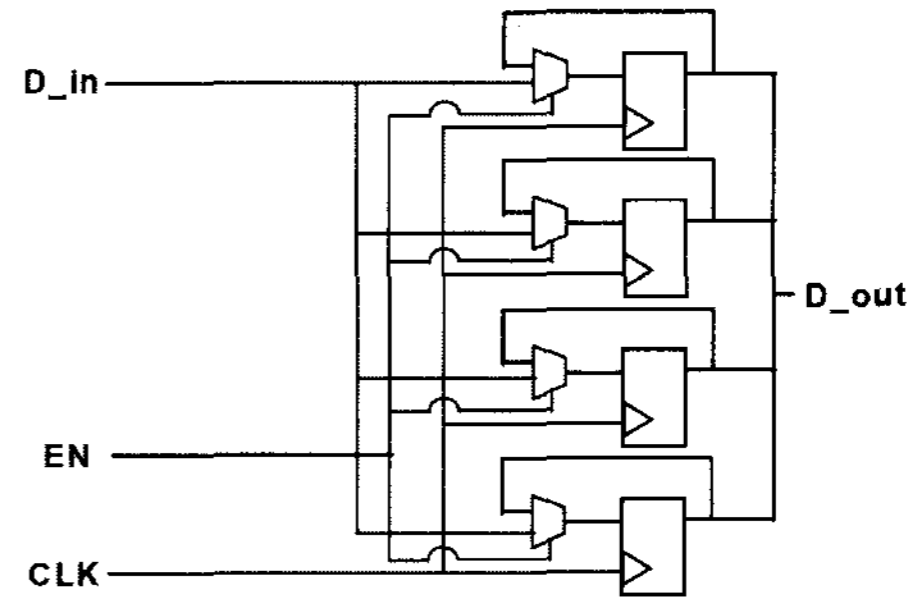
Table 3. Memory Power Consumption analysis.

Module	Normal Design (mW)	Low Power Design (mW)	
		Active mode	Sleep mode
resize_mem	0.66	0.30	0.01
ict_mem	0.66	0.30	0.01
cand_mdm	0.80	0.34	0.01
result_mem	2.02	1.00	0.03

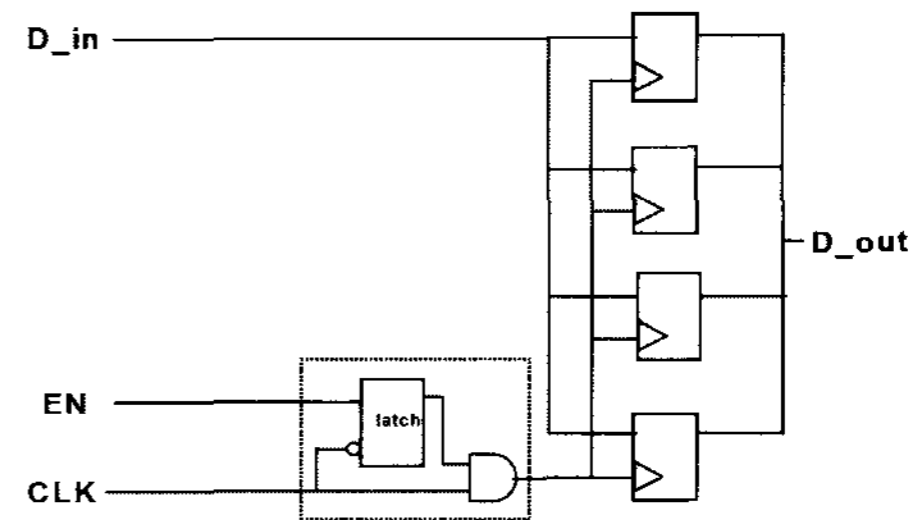
표 4. 모듈 전력 소모 분석

Table 4. Module Power Consumption analysis.

Module	Normal Design		Low Power Design		
	Power (mW)	Density (W/Area)	Power (mW) active	Power (mW) sleep	Density (W/Area)
Sleep mode controller	12.14	7.09e-7	0.71	0.71	2.43e-7
Active mode controller			4.34	0	1.48e-6
Filter_set	19.68	8.79e-7	6.38	0	6.48e-7
Resize_set	16.68	4.30e-7	4.62	0	2.15e-7
Resize	9.08	3.15e-7	1.70	0	1.36e-7
ICT	16.06	8.15e-7	4.58	0	6.82e-7
Find_cand	17.48	4.74e-7	7.34	0	3.55e-7
Group	35.04	6.98e-7	14.60	0	5.21e-7



(a) 일반적인 레지스터 합성 (without Clock gating)



(a) 클럭 게이팅을 적용한 레지스터 합성 (with Clock gating)

그림 14. 레지스터 합성

Fig. 14. Register synthesis

표 5. 게이트 수 비교

Table 5. Gate count comparison.

Content	Normal Design	Low Power Design
Gate count	845,027	823,695

그림 13는 Prime-Power를 통해 추출된 소비전력 분석은 해당 하드웨어의 각 모듈별 전력 소모량을 사각형의 크기가 크고 음영의 짙음을 통해 보여준다. 즉 Group 모듈은 얼굴검출 하드웨어를 구성하는 모듈 중 가장 많은 전력을 소비하는 모듈이기 때문에 그림 12에서 차지하는 사각형의 크기가 가장 크고 음영이 짙음을 알 수 있다.

추가적으로 레지스터에 클럭 게이팅을 적용하면 그림 14와 같이 레지스터의 입력에 위치하는 멀티플렉서가 사라지고 클럭 게이팅 셀만 추가된다. 결과적으로 그림 14-(a)에서 14-(b)와 같이 로직이 간단해 지게 되어 하드웨어의 크기도 작아지게 되어 표 5와 같이 전체 하드웨어의 게이트수가 줄어드는 효과도 가져온다.

### V. 결론

본 논문에서는 필터방식 얼굴검출 하드웨어의 저전력 설계를 위해 4가지 설계 기법(SLEEP & ACTIVE 모드, 모듈 & 레지스터 클럭 게이팅, 메모리 분할, 게이트 레벨 전력 최적화)을 적용하였으며 결과적으로 ACTIVE 모드시 전력 소비량은 일반 설계에 비해 약

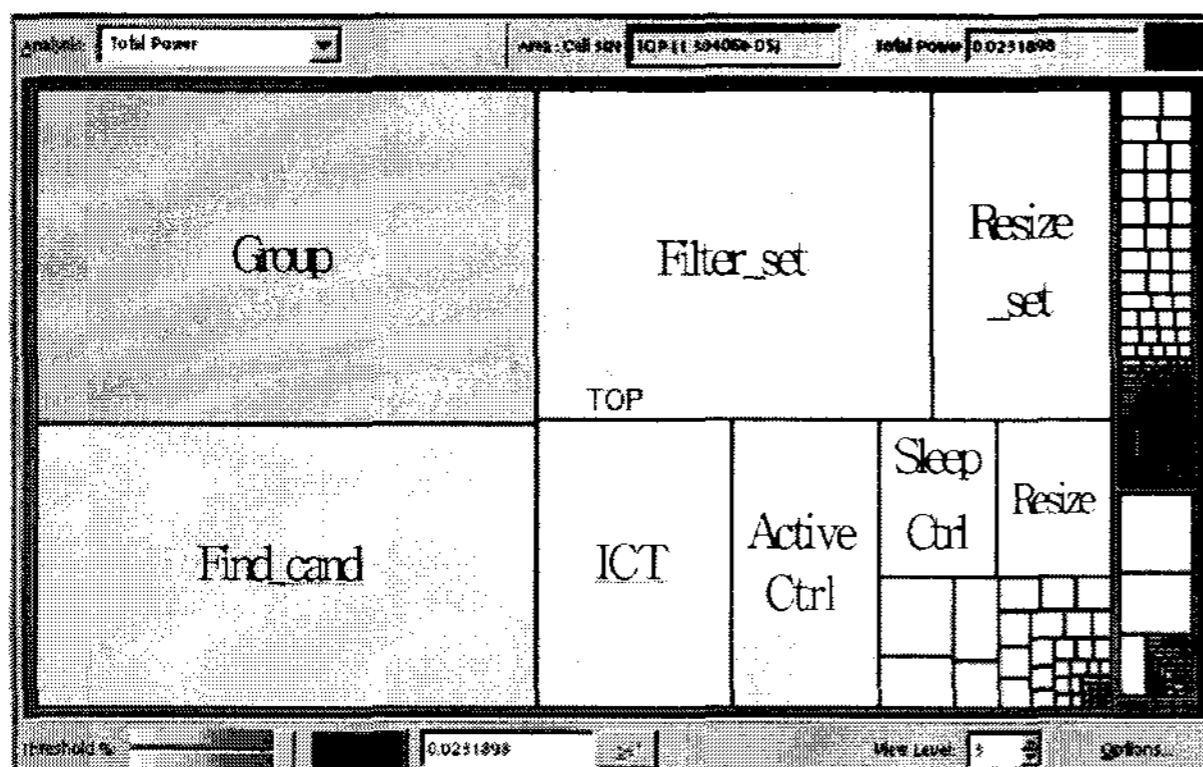


그림 13. 파워 컴파일러에서의 전력 소비 측정

Fig. 13. Power estimation of Power Compiler.

력이 각각 그림 12-(a)와 같이 소비된다.

따라서 그림 12-(b)와 같이 저전력 기법 적용 이전에는 30.87(=147x0.21) mJ의 에너지를 소비하지만 저전력 설계를 통해 6.17 (=47x0.13 + 0.71x0.08) mJ을 소비하므로 어플리케이션에 따른 SLEEP 모드와 ACTIVE 모드의 구성으로 에너지 효율이 높아진다.

표 3과 4는 각각 메모리와 모듈에서 소비하는 전력이 저전력 기법 적용 이전과 비교하여 감소한 것을 보여준다. 즉 클럭 게이팅을 통해 각 모듈이 소비하는 전력이 ACTIVE 모드시 약 65% 감소하였고 메모리 분할을 통해 메모리가 소비하는 전력이 ACTIVE 모드시 약 55% 감소하였다. 결과적으로 메모리와 모듈의 전력 감소를 통해 전체적으로 표 2와 같이 68%의 전력이 감소하였다.

68%가 감소한 결과를 얻었다. 이는 각 모듈에서 소비하는 전력은 클럭 게이팅을 통하여 65%가량 줄인 것과 메모리 분할을 통해 메모리에서 소비하는 전력을 55%가량 줄인 것에 기인한다. 그리고 SLEEP 모드 적용으로 인하여 전체 에너지 절감효과를 가져올 수 있었다.

본 논문에서 사용한 저전력 설계 방법은 주로 삼성 0.18um 공정에서 전력 소비량의 99%를 차지하는 동적 전력을 줄이기 위한 방법이다. 그러나 최근 나노기술이 발전해가면서 정적전력 소모량도 무시할 수 없게 되었으므로 추후 본 하드웨어가 65nm 공정 등의 구현 시 정적전력 소비량을 줄이기 위해 파워 게이팅(Power Gating) 적용이 필요할 것으로 예상되어 연구 중이다.

### 참 고 문 헌

- [1] =, “임베디드 시스템 적용을 위한 얼굴검출 하드웨어 설계”, 대한전자공학회, 제44권 SD편 9월호, 2007.
- [2] Synopsys, Prime Power Workshop Student Guide, Jun., 2005.
- [3] Synopsys, Power Compiler Workshop Student Guide, Dec., 2004.
- [4] M. Keating, Low Power Methodology Manual, Springer, 2007.
- [5] L. Benini and G. DeMicheli, “Transformation and synthesis of FSMs for low-power and gated clock implementation”, ACM/SIGDA ISLP 95, Apr. 1995.

### 저 자 소 개



김 윤 구(학생회원)  
2006년 광운대학교 전자공학부  
학사 졸업.  
2006년 3월~현재 광운대학교  
전자통신공학과 석사과정  
<주관심분야 : SoC 설계, 영상처  
리 및 인식, 임베디드 시스템 설  
계>



정 용 진(정회원)  
1983년 서울대학교 제어계측  
공학과 학사 졸업.  
1983년 3월~1989년 8월 한국전자  
통신연구원.  
1995년 미국 UMASS 전자전산  
공학과 박사 졸업.  
1995년 4월~1999년 2월 삼성전자 반도체 수석  
연구원.  
1999년 3월 광운대학교 전자통신공학과 부교수  
<주관심분야 : 무선통신, 정보보호, SoC 설계,  
영상처리 및 인식, 임베디드 시스템>