

논문 2008-45SD-6-16

LCD 구동 IC를 위한 Power-Up 순차 스위치를 가진 Latch-Up 방지 기술

(Latch-Up Prevention Method having Power-Up Sequential Switches
for LCD Driver ICs)

최 병 호*, 공 배 선**, 전 영 현***

(Byung-Ho Choi, Bai-Sun Kong, and Young-Hyun Jun)

요 약

액정 구동 IC에서 발생하는 기생 p-n-p-n 회로의 래치업 문제를 개선하기 위해 power-up 순서상에 순차 스위치를 삽입하는 방법을 제안하였다. 제안된 순차 스위치는 2차-승압회로와 3차-승압회로 내에 삽입되며, power-up 순서상에서 해당 승압회로가 동작하기 전에 기생 p-n-p-n 회로의 분리된 에미터-베이스 단자를 순차적으로 연결하게 된다. 제안된 구조의 성능을 검증하기 위해 0.13- μm CMOS 공정을 이용하여 테스트 IC를 설계 제작하였다. 측정 결과, 기존의 경우 50°C에서 액정 구동 전압이 VSS로 수렴하면서 과전류를 동반하며 래치업 모드로 진입하였으나, 제안 회로를 삽입한 경우는 고온(100°C)에서도 정상 전류 0.9mA와 정상 액정 구동 전압을 나타내어 래치업이 방지되고 있음을 확인하였다.

Abstract

In this paper, novel latch-up prevention method that employs power-up sequential switches has been proposed to relieve latch-up problem in liquid crystal display (LCD) driver ICs. These sequential switches are inserted in the 2'nd and 3'rd boosting stages, and are used to short the emitter-base terminals of parasitic p-n-p-n circuit before relevant boosting stages are activated during power-up sequence. To verify the performance of the proposed method, test chips were designed and fabricated in a 0.13- μm CMOS process technology. The measurement results indicated that, while the conventional LCD driver IC entered latch-up mode at 50°C accompanying a significant amount of excess current, the driver IC adopting the proposed method showed no latch-up phenomenon up to 100°C and maintained normal current level of 0.9mA.

Keywords : Latch-up, 순차 승압, Sequential 스위치, Liquid Crystal Display Driver IC

I. 서 론

CMOS 회로기술은 매우 낮은 정적 소비전력 및 높은 노이즈 마진(margin) 때문에 집적시스템 설계에 매우 유용하게 사용될 수 있다. 한편, 시스템의 비용 감소와 성능 향상을 위하여 고 집적화된 시스템을 필요로 하고 있으며, 이는 주로 IC 내부 소자들의 수평 수직 방향의

scaling을 통해 이루어진다. 하지만, N-채널, p-채널 트랜지스터가 마이크로미터 아래로 scaling되더라도 두 트랜지스터 간의 공간은 기생 p-n-p-n 구조의 래치업(latch-up) 문제 때문에 임의로 scaling할 수 없다. 래치업을 일으키는 트리거링 요인들은 여러 가지가 있으며, 전압 overshoot과 undershoot, 정격 전압 초과, 그리고, 부적절한 power-up 순서 등이 그 대표적인 예이다.^[1] 본 논문에서는, 액정 구동 IC에서의 래치업 문제를 해결하고자, 외장 쇼키 다이오드를 없애고 내부 순차 승압회로에 래치업 방지 회로를 내장하는 기술을 제안하고자 한다.

정회원, *** 평생회원, 삼성전자 반도체총괄
(Semiconductor Division, Samsung Electronics)

** 평생회원, 성균관대학교 정보통신공학부
(School of Information and Communication
Engineering, Sungkyunkwan University)

접수일자: 2008년2월23일, 수정완료일: 2008년4월14일

II. 액정 구동 IC의 승압회로 및 래치업 동작

1. 액정 구동 IC의 승압회로

액정 구동을 원활하게 하기 위해서는 20~30V의 높은 구동전압이 요구된다. 하지만, 이러한 고 전압을 외부에서 직접 입력하여 사용할 경우 design rule이 큰 고 내압 트랜지스터를 입력 단에서부터 사용해야 하며, 이로 인한 chip size의 증가가 발생하게 된다. 이런 문제점 때문에 액정 구동 IC에서는 낮은 입력 전압을 높은 구동전압으로 만들기 위해 순차적으로 동작하는 다단 승압 회로를 사용하여 필요한 고 전압을 생성한다.

액정 구동 IC의 다단 승압 회로 구조는, 그림 1에 나타난 바와 같이, 1차~3차 승압회로와 DC Amp로 이루어져 있다. 각 승압회로의 내부구조는 그림 2-(a)와 같으며, 각 스위치는 그림 2-(b)에 나타난 구형파에 의하여 동작하게 된다. A 구간에서 입력 전압 V_I 가 C1에 축적되며, B 구간에서는, N2 단자가 V_{SS} 에서 V_I 로 변함에 따라, N1 단자는 $2V_I$ 로 승압된다. 이는 다음 A 구간에 출력으로 전해지게 되며, 이러한 동작이 반복되면 V_O 는 결국 $2V_I$ 에 수렴하게 되어 2배로 승압된 전압을 얻게 된다. 나머지 승압회로의 경우도 동일한 개념으로 동작한다.

전체 승압회로는 그림 3의 타이밍 순서에 따라 power-up 과정이 진행되는데, 1차-승압회로가 활성화 되면 2.4~3.6V의 전압 범위를 갖는 V_{IN} 이 1~1.5 배 승압되어 2.4~5.5V의 전압 범위를 갖는 V_{DD_M} 이 생성되고, 이 전압은 뒷단 DC Amp의 전원으로 공급된다. 끝이어서, DC Amp 회로가 활성화되면 2차-승압회로의 입력 전압 $DC2_IN$ (1.5~4.0V)과 3차-승압회로의 기준전압 V_M (1~2V)이 생성된다. 다음으로, 2차-승압회로가 활성화되면 $DC2_IN$ 전압은 V_{SS} 를 기준으로 하여 V_L (-8~-3V)의 네거티브 전압으로 승압된다. 마지막으로, 3차-승압회로가 활성화 되면 V_M 을 기준으로 하여 V_L 과

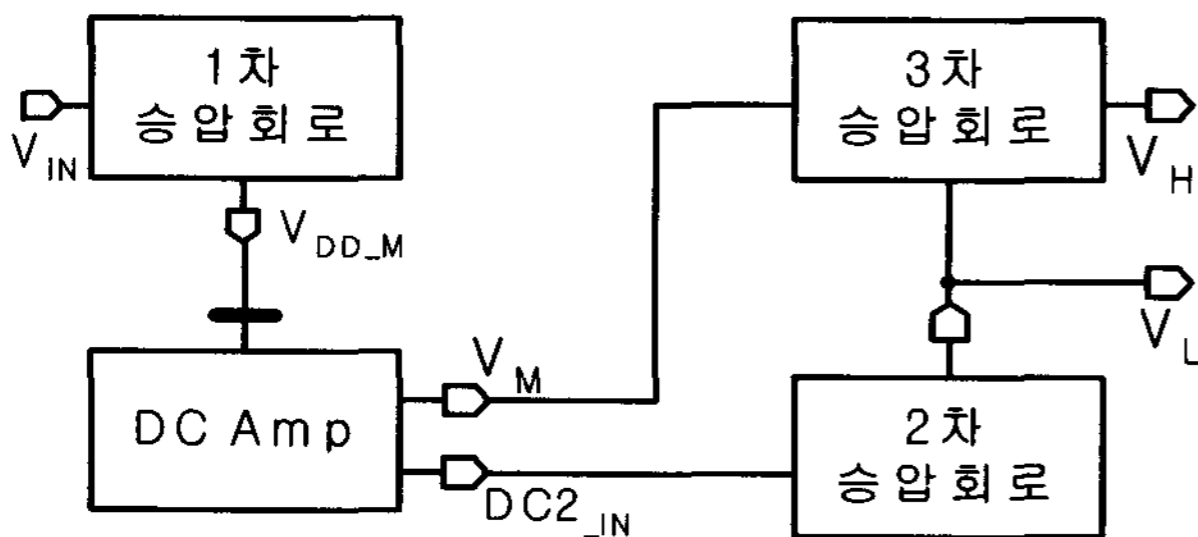


그림 1. 액정 구동 IC의 다단 승압 회로 구조
Fig. 1. Multi-stage boosting circuit structure for liquid crystal display driver IC.

같은 크기의 포지티브 전압 V_H (5~12V)가 생성된다. 이상과 같이, 액정 구동 IC의 다단 승압 회로는 동시에 모든 구동 전압을 생성하는 것이 아니라, 앞단의 출력이 다음 단의 입력이 되면서 시간차를 두고 순차적으로 구동 전압을 생성하게 된다. 이와 같이 액정 구동 IC에서 병렬 승압회로를 사용하지 않고 순차 승압회로를 사용하는 이유는, 첫째, PVT (Process, Voltage, Temperature) 변동에 둔감하여 액정 밝기의 균일성을 유지할 수 있기 때문이며, 둘째, 더 작은 크기의 커패

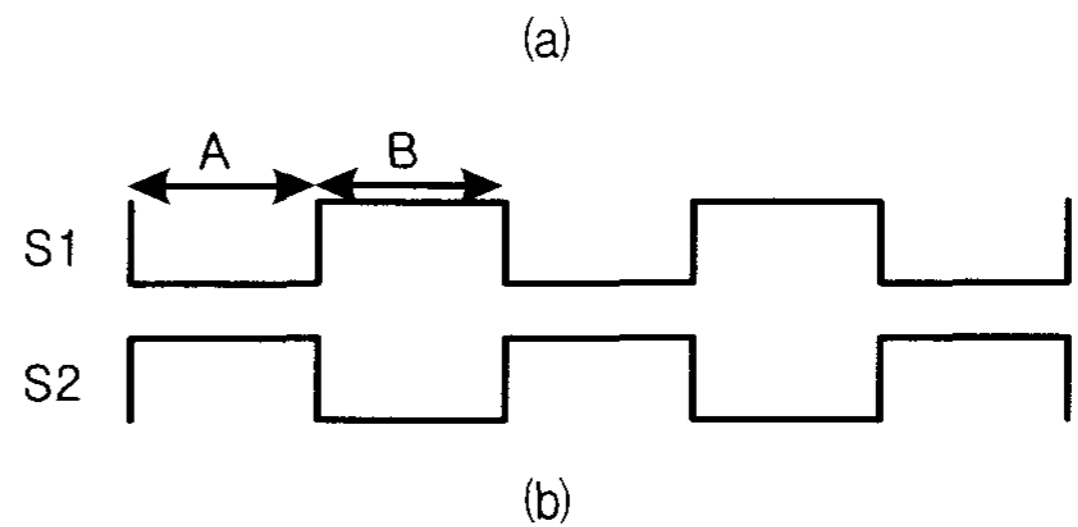
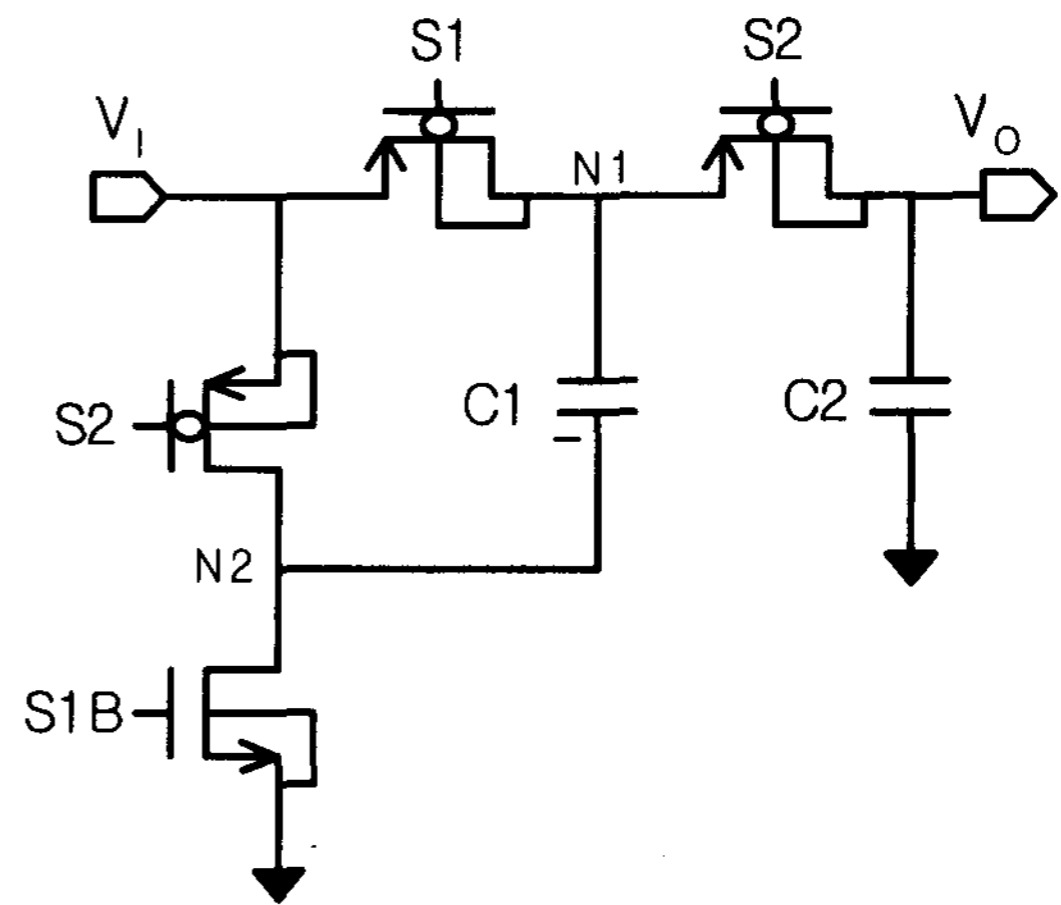


그림 2. (a) 승압회로 구조 및 (b) 동작
Fig. 2. (a) The structure and (b) operation of boosting circuit.

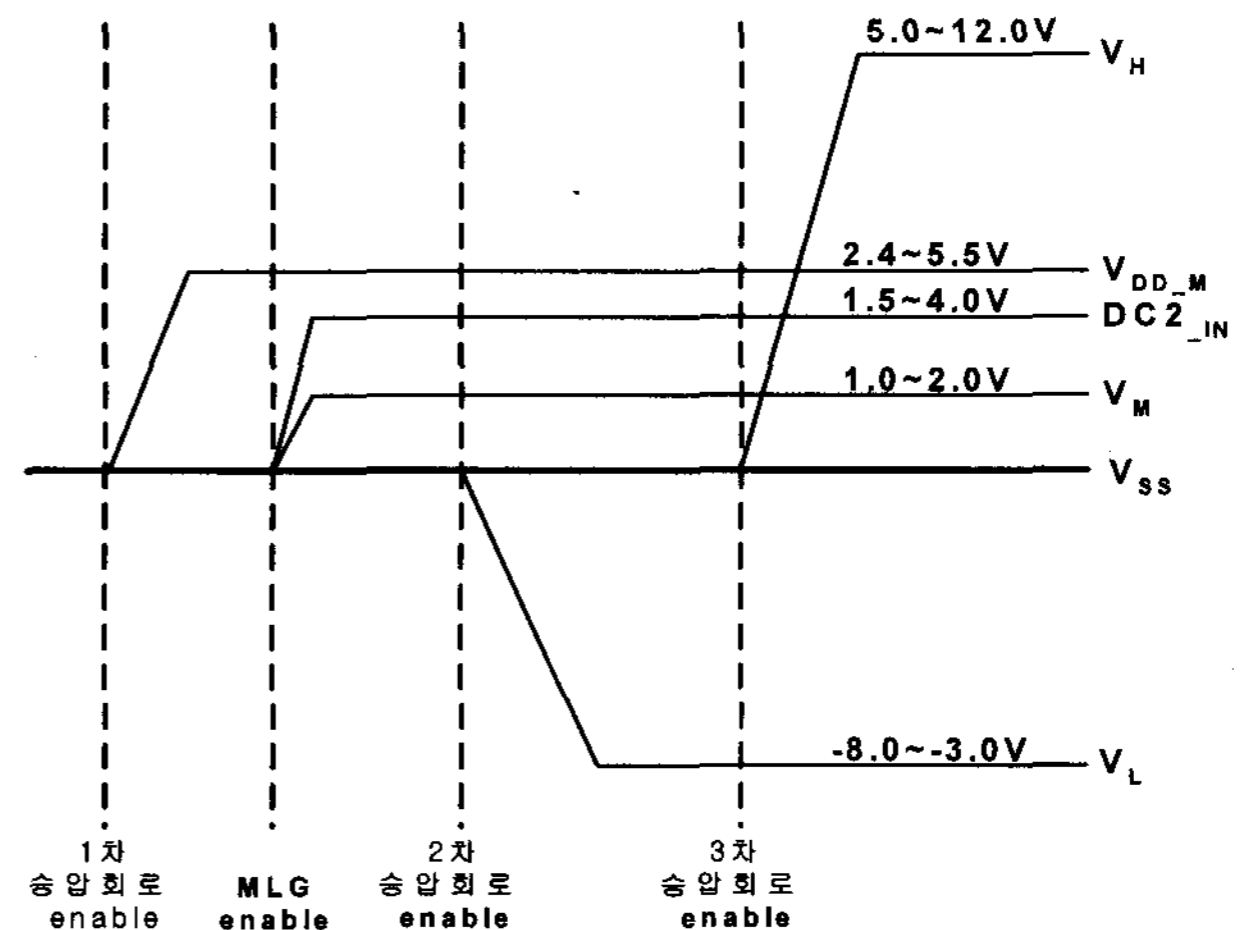


그림 3. 승압회로 power-up 타이밍 순서
Fig. 3. Power-up timing sequence of boosting circuit.

시턴스로 승압 동작을 할 수 있어 chip size 측면에서 이점이 있기 때문이다.

2. 액정 구동 IC에서의 래치업 동작

순차 승압회로에서 생성된 구동 전압 V_H , V_M , V_L 은 최종 출력 드라이버 단으로 전달되어 실제 액정을 구동하게 된다. 이 때 사용되는 출력 드라이버의 구조가 그림 4에 나타나 있는데, 회로의 박스 안에 나타난 부분에서 래치업을 일으킬 수 있는 기생 p-n-p-n 구조가 만들어진다. 동일한 구조의 기생 p-n-p-n 회로는 전체 IC에서 여러 곳에서 나타날 수 있지만, 이 부분의 회로가 나머지 기생 p-n-p-n 회로와 다른 점은, 기생 바이폴라(bipolar) 트랜지스터의 에미터-베이스가 다단 승압회로의 출력이며, 이것이 서로 분리되어 있고, 시간차를 가지고 생성된다는 것이다. 이 출력 드라이버 회로의 수직구조와 이에 대한 등가회로가 그림 5에 나타나 있다.^[3]

앞에서 설명한 바와 같이, DC Amp가 활성화되어 기준 전압 $V_M(1\sim 2V)$ 이 생성이 될 때, 3차-승압회로의 출력 V_H 는 아직 생성이 되지 않아 floating 상태로 V_{SS} 근처에 있다. 이때, 베이스 전압이 1V 보다 높으므로 Q1이 turn-on 된다. 다음으로, $V_L(-8\sim -3V)$ 을 생성하기 위해 2차-승압회로가 활성화되며, 2차-승압 초기에 $V_L \rightarrow R_W2 \rightarrow V_{SS}$ 경로를 통해 0.5~1mA의 승압전류가 흐르게 된다. 이 전류가 수 kΩ의 well 저항 R_W2 를 통해 흐르면서 V_L 전압이 순간적으로 포지티브로 상승하여 Q2의 베이스로 전류가 유입된다. 이것은 Q2의 이득만큼 증폭되어 또 다시 Q1의 베이스-에미터 junction의 전류 흐름을 야기하게 된다. 이와 같은 포지

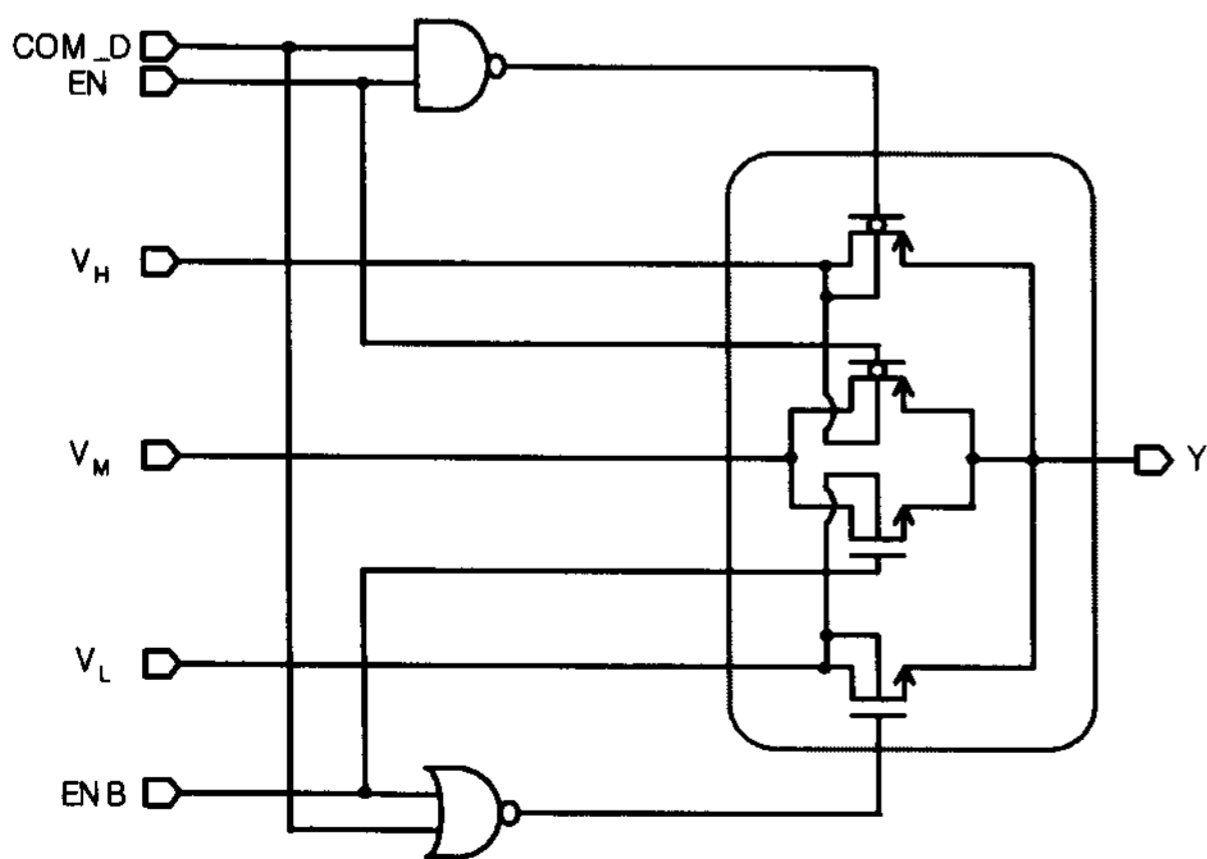
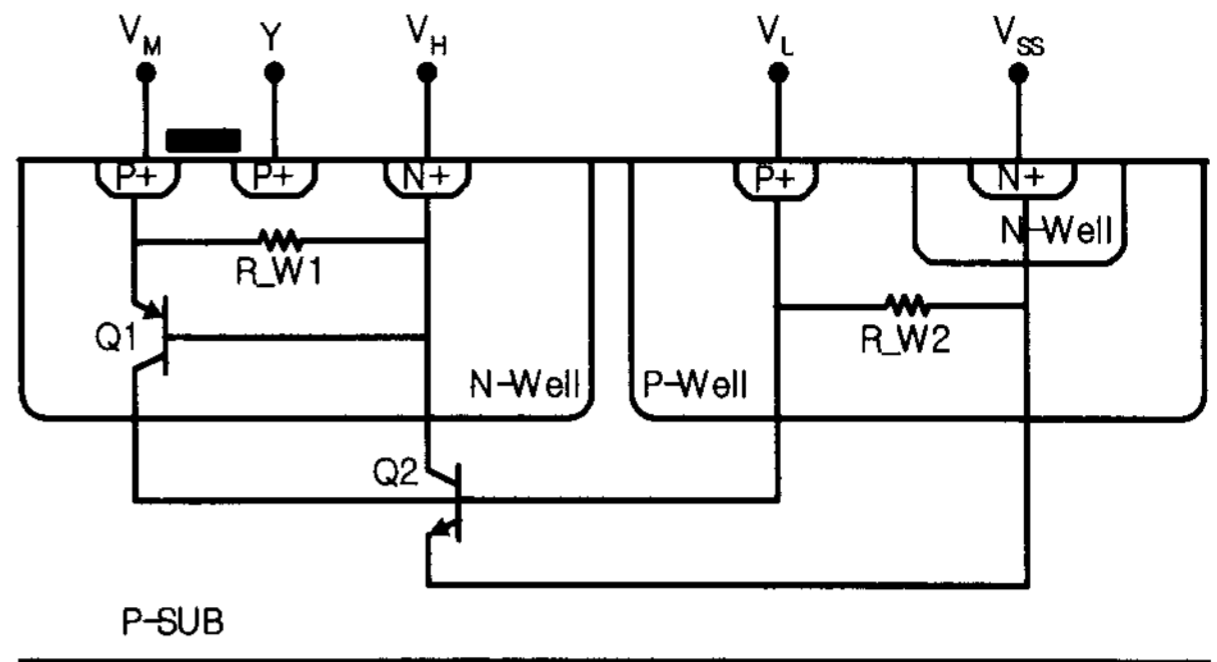
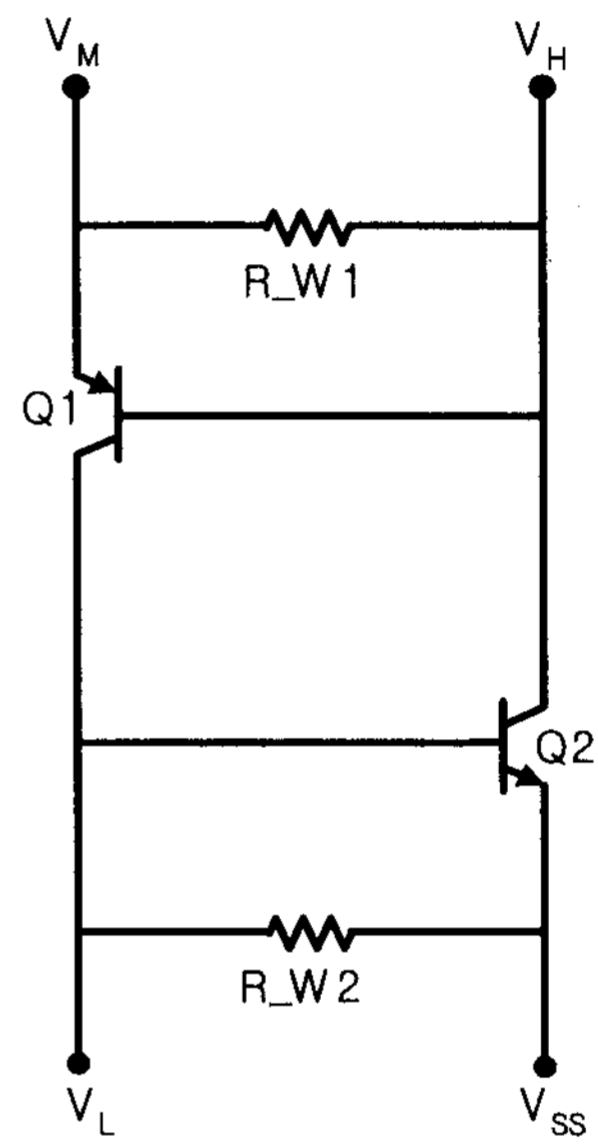


그림 4. 액정 구동을 위한 출력 드라이버 회로의 구조
Fig. 4. The structure of output driver circuit for LCD driving.



(a)



(b)

그림 5. (a) 기생 수직 구조 및 (b) 등가 회로
Fig. 5. (a) parasitic vertical structure and (b) its equivalent circuit.

티브 피드백에 의해 두 트랜지스터는 모두 포화 (saturation)상태에 있게 되고, 결국, 래치업 모드(mode)로 들어가게 된다.^[4] 래치업 모드로 진입하게 되면, 15mA 이상의 과도한 전류가 흐르면서 다단 승압회로의 출력들이 V_{SS} 로 수렴하게 된다. 특히, 제품에 따라 V_M 의 수준이 1~5V까지 다양하게 나타날 경우는, V_M 전압이 높을수록 Q1의 베이스 전류가 증가하여 turn-on이 더 잘되며, 이로 인해 래치업 트리거링이 더 쉽게 발생한다. 높은 온도에서 동작시키는 경우에도 트랜지스터의 forward voltage가 떨어지고, well과 substrate의 저항 및 트랜지스터 gain이 증가하여 래치업 모드로 더 쉽게 진입하게 된다.^[5]

III. 기존 래치업 방지기술

래치업이 발생하면 과잉전류로 인하여 기능 불량,

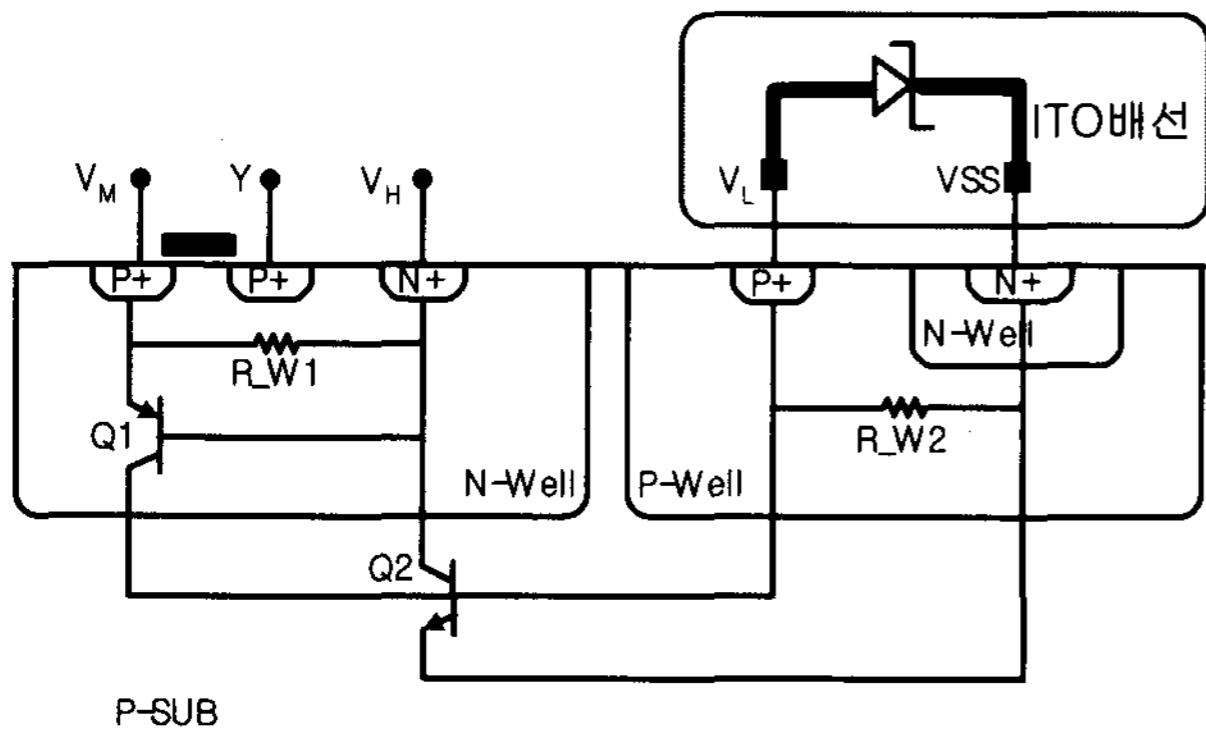


그림 6. 외장 쇼키 다이오드를 사용하는 래치업 방지 기술

Fig. 6. Latch-up prevention method using the external schottky diode.

parametric 불량이나 디바이스 파괴가 발생할 수 있으므로 이를 막기 위한 래치업 방지기술은 매우 중요하다. 기존의 래치업 방지기술을 살펴보면 다음과 같다. 첫 번째 방법은, p-n-p-n 트리거링을 막기 위해 anode에 직렬로 diode를 추가하여 diode turn-on 전압만큼 기생 회로의 파워를 떨어뜨림으로써 래치업 발생을 억제하는 것이다.^[6] 하지만, 이 방법은 액정 구동 IC에는 적용할 수가 없다. 액정 구동 IC에서 p-n-p-n 회로의 파워는 실제 액정 구동에 사용되는 전압이기 때문에 이 전압이 떨어지면 전체 화면 밝기가 떨어져 디스플레이 불량이 발생하기 때문이다.

두 번째 방법으로는 래치업 전류 self-stop 회로를 적용하는 기술을 들 수 있다.^[7] 이 방법은, 래치업이 발생할 경우, 래치업 전류를 감지하여 내부 core 회로의 동작을 정지시킨다.^[7] 하지만, 이 방법 역시 액정 구동 IC에는 적용할 수가 없다. 왜냐하면, 액정 구동 IC는 기생회로의 에미터-베이스 파워 분리로 인해 파워 on시 항상 래치업 모드로 진입하기 때문에, self-stop 회로를 적용할 경우 core 회로가 동작할 수 없기 때문이다. 이 방법은 아주 불안정한 조건하에서 간헐적으로 래치업이 발생할 경우에 효과적으로 적용될 수 있다.

래치업을 방지하기 위한 세 번째 방법은, 그림 6에 나타난 바와 같이, 기생 p-n-p-n 회로의 에미터-베이스 단자 사이에 쇼키 다이오드를 외장 연결하는 것이다. Q1과 Q2 중 어느 한 쪽만 turn-off 시켜도 포지티브 피드백에 의한 래치업은 발생하지 않으므로, Q2의 베이스 V_L 과 에미터 V_{SS} 사이에 forward 전압이 0.3V보다 낮은 쇼키 다이오드를 추가한다. 이렇게 하면, V_L 의 네거티브 승압 시 승압 전류에 의하여 V_L 전압이 순간적으로 포지티브로 상승하는 것을 억제할 수 있으

로 Q2의 turn-on을 막을 수 있다. 이 방법은 간단하면서도 래치업 발생을 효과적으로 제어할 수 있기 때문에 액정 구동 IC에 적용되고 있다. 하지만, 외장 쇼키 다이오드를 추가하는 방법은 몇 가지의 문제점을 가지고 있다. 첫째, 외부 콤포넌트(component)가 추가적으로 필요하여 원가 상승의 원인이 되며, 쇼키 다이오드를 연결할 보드 공간의 제약으로 인해 보드 shrink의 제약요건이 된다. 둘째, ITO 패턴의 저항을 일정한 수치 이내로 관리해야 한다. 왜냐하면, 쇼키 다이오드를 외장 연결하기 위해서는 보드 상에 ITO(Indium Tin Oxide)를 증착하여 연결패턴으로 사용한다. 그런데, ITO 패턴 저항이 통상 100~200Ω 수준이게 때문에, 쇼키 다이오드의 turn-on 전압과 저항을 통한 전압 상승으로 인해 Q2가 turn-on되어 래치업 트리거링이 될 수 있기 때문이다. 셋째, 고온 또는 V_M 전압이 높아질수록 래치업 특성이 나빠지게 된다. 온도가 올라가게 되면 Q2의 forward 전압이 떨어지면서 V_L 승압 전류가 커져 ITO 배선을 통한 전압 상승이 더 커지는 효과가 있고, 이로 인해, Q2의 turn-on이 더 쉽게 발생하는 경향이 있다.

IV. 제안된 래치업 방지 기술

앞 장에서 설명한 기존 래치업 방지 기술에서 발생하는 문제점을 해결하기 위하여 제안된 래치업 방지회로가 그림 7에 나타나 있다. 그림 7은 제안된 회로의 수직 구조 및 기생 등가회로인데, 그림 6에 나타나 있는 외장 쇼키 다이오드를 제거한 대신 Q1, Q2의 에미터-베이스 간에 스위치 N1, N2를 내장하였다. 내장된 스위치는 분리된 Q1, Q2의 에미터-베이스를 스위치 R_{ON} 저항으로 연결한다. 삽입된 스위치는 그림 8에 있는 power-up 타이밍 순서를 진행하면서 승압 회로와 함께 순차적으로 동작한다. 그림 9에는 삽입된 스위치가 개선된 power-up 타이밍 순서에 따라 어떻게 동작하는

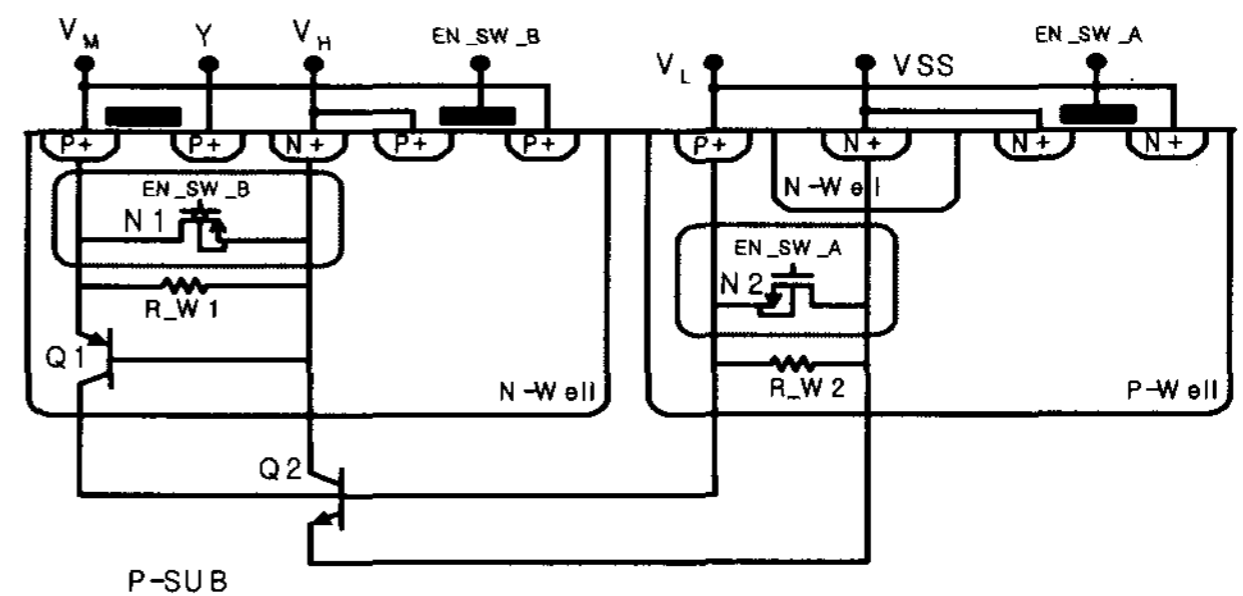


그림 7. 제안된 래치업 방지 회로

Fig. 7. Proposed latch-up prevention circuit.

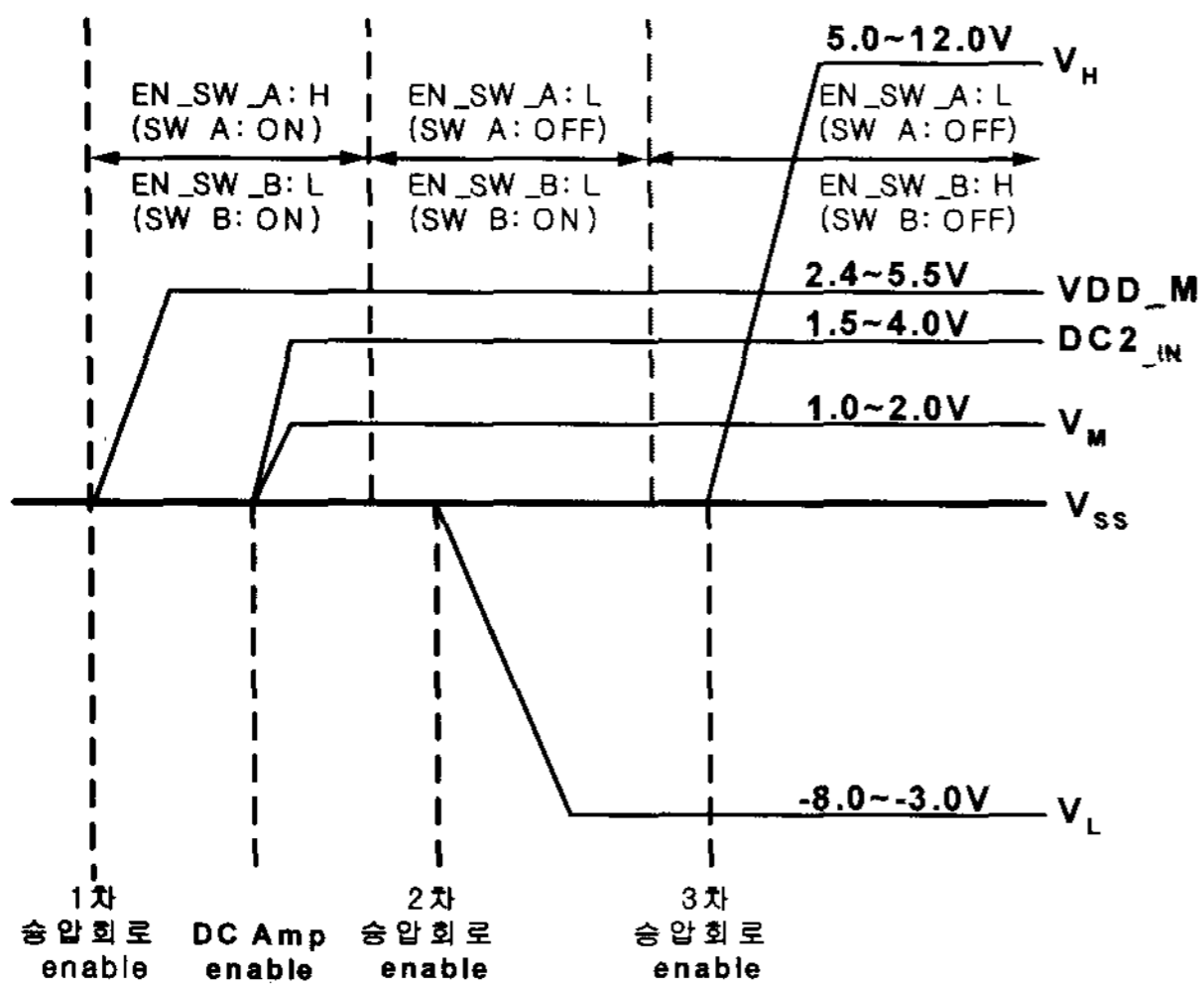


그림 8. 제안된 래치업 방지회로의 power-up 타이밍 순서

Fig. 8. Power-up timing sequence of the proposed latch-up prevention circuit.

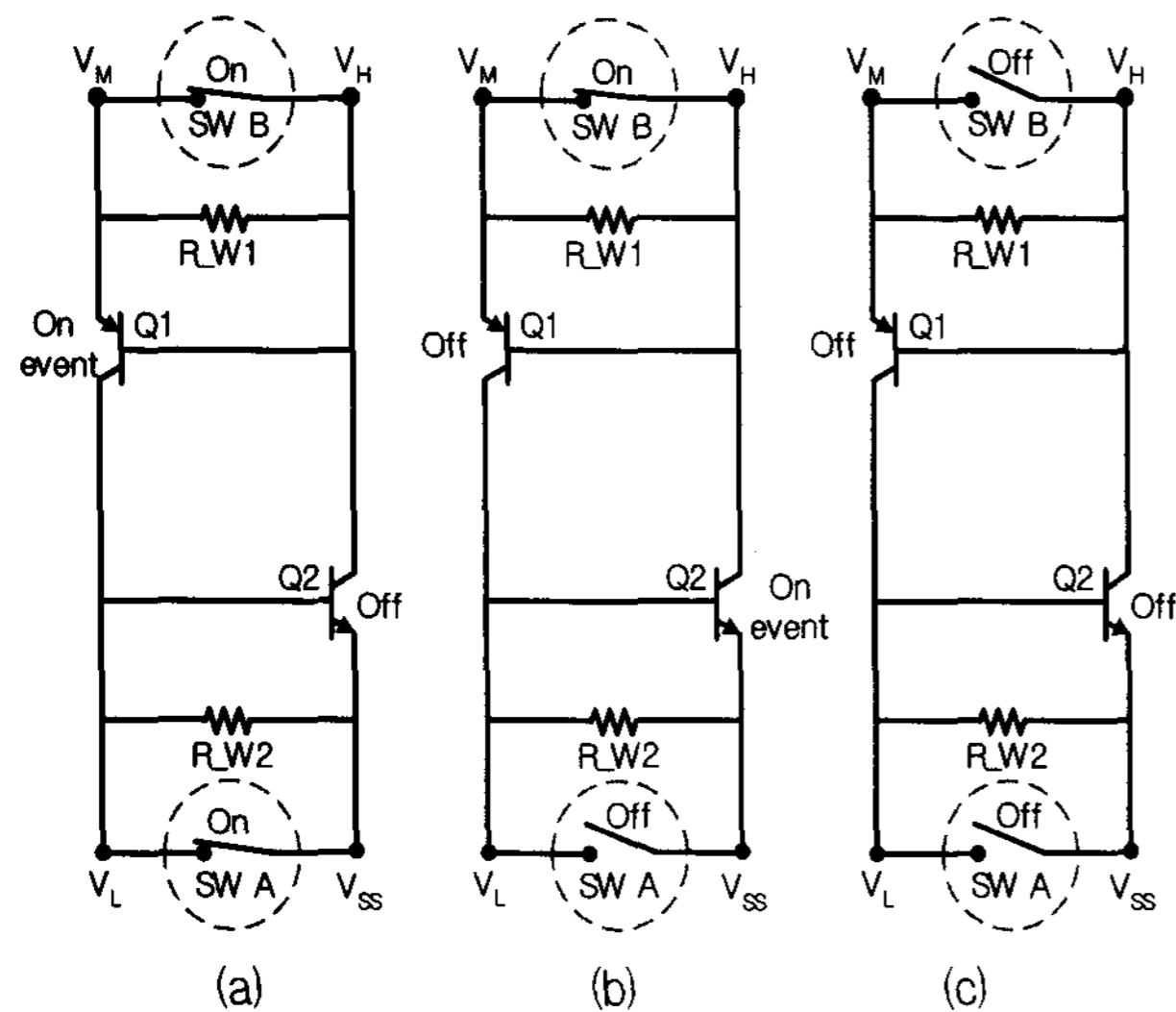


그림 9. 제안된 래치업 방지회로의 등가회로

- (a) 1차-승압회로 동작 시
- (b) 2차-승압회로 동작 시
- (c) 3차-승압회로 동작 시

Fig. 9. Equivalent circuit for the proposed latch-up prevention circuit during.

- (a) 1'st boosting (b) 2'nd boosting
- (c) 3'rd boosting

지를 나타내었다.

Power-up 타이밍 순서에 따른 제안된 래치업 방지회로의 동작을 살펴보면 다음과 같다. 그림 9-(a)에 나타난 start-up 초기 단계에서는, 1차-승압회로와 DC Amp가 활성화 될 때까지 스위치 A, B가 모두 on 상태를 유지한다. 이 경우의 등가 저항은 V_M 과 V_H 사이의 well 저항(R_{W1})과 스위치 R_{ON} 저항이 병렬로 보이게 된다. 회로 설계 시, 수 $k\Omega$ 의 well 저항 대비 스위치의

R_{ON} 저항을 작게 설계하기 위하여 스위치의 size를 충분히 크게 한다. 이렇게 하면, 총 저항은 주로 R_{ON} 저항으로 나타나게 되며, 스위치 트랜지스터의 width를 3000um로 할 경우, R_{ON} 저항은 수 Ω 수준으로 낮아진다. DC Amp가 활성화 되어 V_M 이 생성된다더라도 스위치 B에 의해 Q1의 에미터 V_M 과 베이스 V_H 가 R_{ON} 저항으로 연결되어 같은 전위 상에 존재하게 되기 때문에 Q1이 turn-on 되는 것을 막는다. 하지만, V_H 가 V_M 수준에 도달하는데 필요한 지연 시간 동안 원하지 않는 Q1의 turn-on 이벤트(event)가 발생한다. 이러한 이유로, 스위치 B만 on할 경우에는, 고온($90^\circ C$)에서 동작하거나 V_M 수준이 높은 제품의 경우, 래치업 발생 가능성이 높아지게 된다. 이와 같은 래치업 트리거링을 막기 위해, 스위치 A를 동시에 on시켜 Q2의 turn-on을 막아 포지티브 피드백이 걸리지 못하게 한다. 다음 단계에서는, 그림 9-(b)에 나타난 바와 같이, 2차-승압회로를 활성화하기 위해 V_{SS} 와 연결했던 스위치 A를 off 시키게 된다. 이때, 2차-승압 시 발생하는 0.5~1.0mA의 승압 전류에 의해 V_L 전압이 순간적으로 포지티브로 상승하여 Q2의 turn-on 이벤트가 발생하게 된다. 하지만, 스위치 B가 on되어 있어 Q1이 turn-off를 유지하여 래치업 발생을 막는다. 그림 9-(c)에 나타난 마지막 단계에서 스위치 B를 off 시키게 되는데, 이는 3차-승압회로를 활성화시키기 위해서이다. 스위치 B가 off 된 이후 V_H 가 승압을 시작하는 초기에 Q1의 turn-on 이벤트가 발생하나, 이미 Q2의 베이스 전압이 네거티브 전압 V_L 로 승압을 완료하여 Q2는 turn-off 상태를 유지하고 있기 때문에 포지티브 피드백은 발생하지 않는다.

이상과 같이 power-up 순서상에서 승압순서에 맞게 on/off 동작을 하도록 내장된 스위치 A, B는 액정 구동 IC에 여러 가지 장점을 제공한다. 즉, 기생 p-n-p-n 회로의 분리된 에미터, 베이스를 스위치 R_{ON} 저항으로 연결하여 정상 p-n-p-n 회로와 동일한 조건으로 회로가 동작하도록 만들어 주며, 이렇게 함으로써 다단 순차 승압회로에서 발생하는 래치업 불량을 막을 수 있다. 또한, 외장 쇼키 다이오드를 연결한 기존의 래치업 방지회로 대비하여 외부 컴포넌트 감소로 인한 원가 절감 및 보드 공간의 제약이 없어서 보드 shrink를 용이하게 한다. 그리고 외장 쇼키 다이오드를 연결하기 위한 ITO 연결 패턴이 없어 패턴 저항으로 인해 나빠졌던 고온 래치업 특성이 개선되며, 래치업 방지 회로를 내장함으로 인해 V_M 의 다양한 범위에 상관없이 래치업을 방지할 수 있다.

V. 실험

본 논문에서 제안된 래치업 방지 기술의 성능을 확인하기 위하여, 제안된 회로를 탑재한 액정 구동 IC를 0.13um CMOS 공정을 이용하여 설계 제작 후 그 특성을 측정하였다. 성능 검증을 위하여 총 3 가지 종류의 승압회로를 설계하였는데, 이들은 각각, 기생 회로의 에미터, 베이스가 분리됨으로 인해 래치업이 발생하기 쉬운 구조적인 취약점을 가지고 있는 승압회로 (기준 A), 래치업 방지를 위해 쇼키 다이오드를 외장하고 연결을 위한 ITO 패턴 저항 200Ω을 삽입한 승압회로 (기준B), 그리고 power-up 순서에 순차 스위치를 내장하여 에미터-베이스를 스위치 ron 저항으로 다시 연결해 준 제안된 승압회로(제안)이다. 제안된 기술을 적용한 승압회로의 레이아웃(layout)은 그림 10에 나타나 있고, 래치업 검증에 사용된 시스템의 사진은 그림 11에 나타나 있다.

설계된 회로에 대한 평가를 위하여, power-up 순서대로 동작을 시키면서 액정 구동 전압 V_H , V_L 과 동작

전류(I_{DD})의 수준을 체크하여 래치업 발생 유무를 확인하였다. 래치업은 고온으로 갈수록 취약해지므로 온도는 30°C에서부터 100°C까지 10°C 단위로 측정하였으며, 래치업 트리거링에 가장 영향을 많이 미치는 전압인 V_M 은 2V, 4V로 이원화해서 검증을 진행하였다.

온도 별 래치업 특성 평가 결과 중 포지티브 전압 V_H 에 대한 측정결과를 그림 12에 나타내었다. 그림 12-(a)에 나타난 바와 같이, V_M 2.0V에서 기준A, 기준B가 각각 70°C, 90°C에서 래치업이 발생하여 V_H 가 V_{SS} 로 떨어졌으나, 제안된 방식의 경우는 100°C에서도 정상 수준 8.9V를 유지하였다. 또한, 그림 12-(b)에 나타난 바와 같이, V_M 4.0V에서는 기준A, 기준B가 각각 50°C, 70°C에서 래치업이 발생하여 V_H 가 V_{SS} 로 떨어졌으나, 제안된 방식의 경우는 100°C에서도 정상 수준 9.4V를 유지함을 확인하였다.

그림 13은 온도 변화에 따른 네거티브 전압 V_L 에 대한 측정결과다. 그림 13-(a)에 나타난 V_M 2.0V의 경우는 기준A, 기준B가 각각 70°C, 90°C에서 래치업이 발

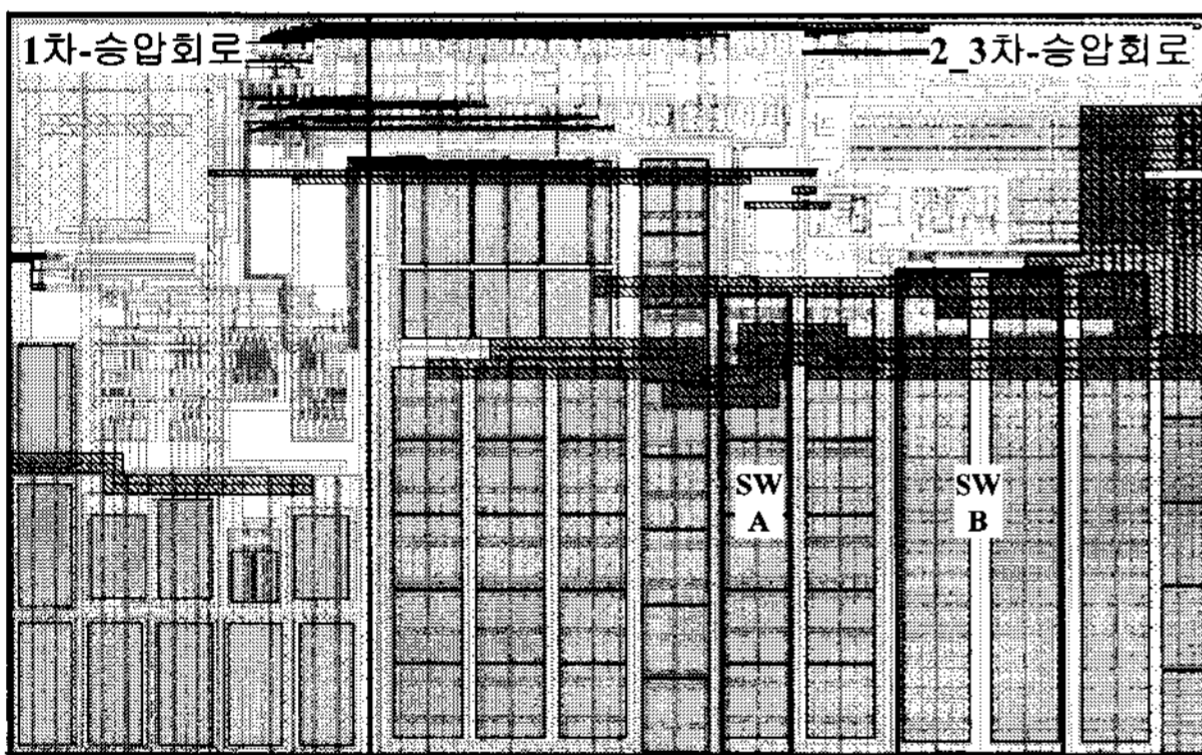
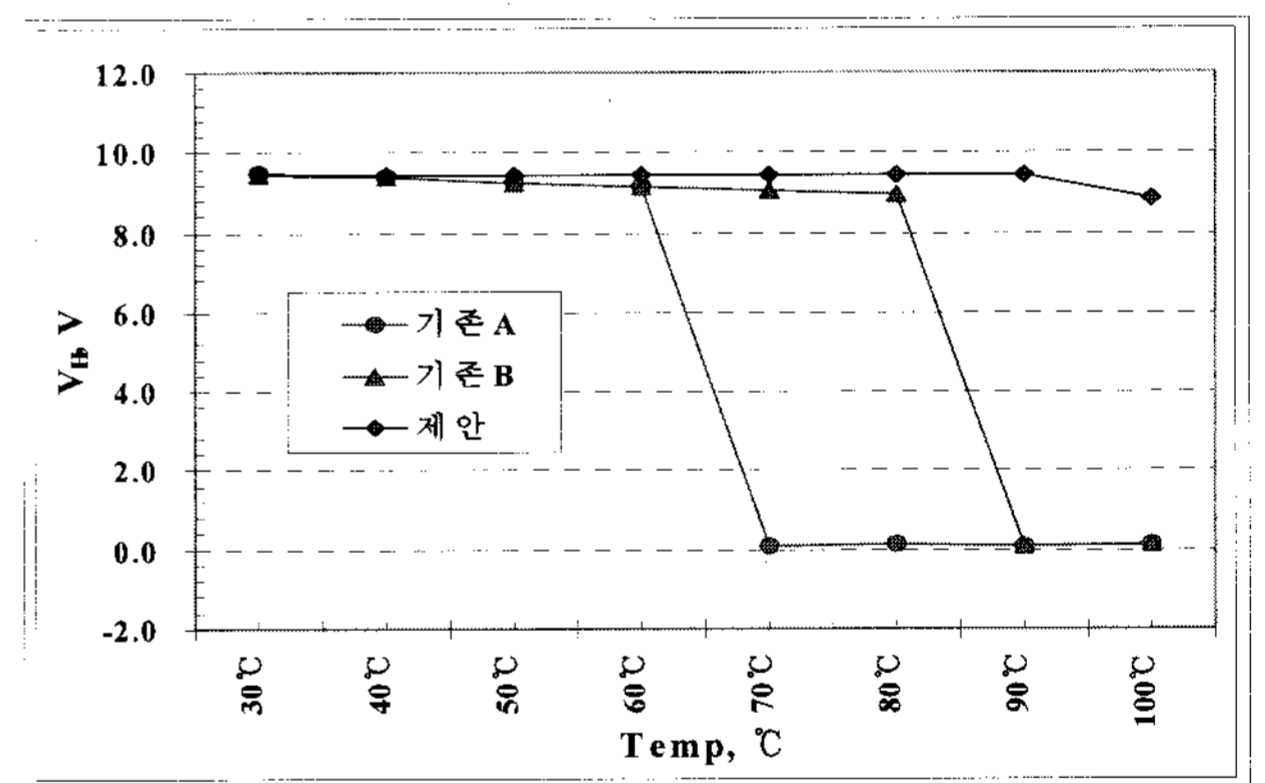


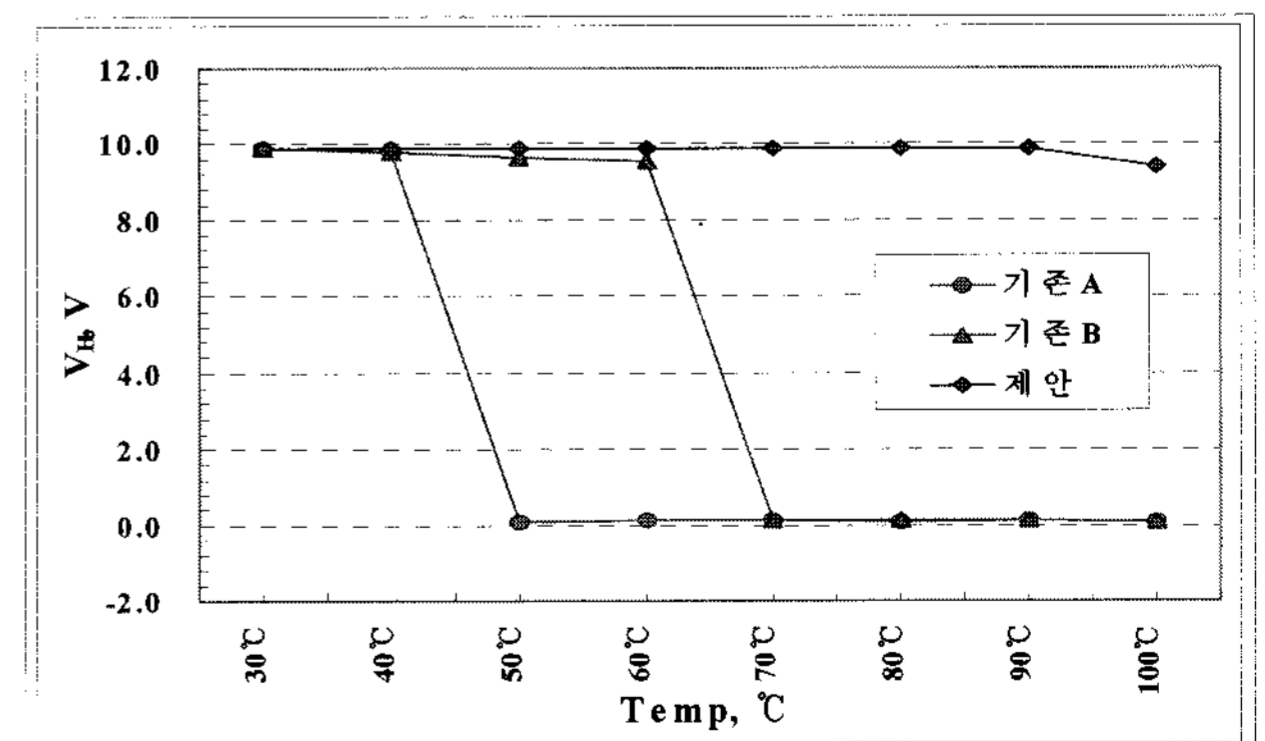
그림 10. 승압회로 레이아웃
Fig. 10. Boosting circuit layout picture.



그림 11. 검증 시스템 사진
Fig. 11. Photograph of verification system.



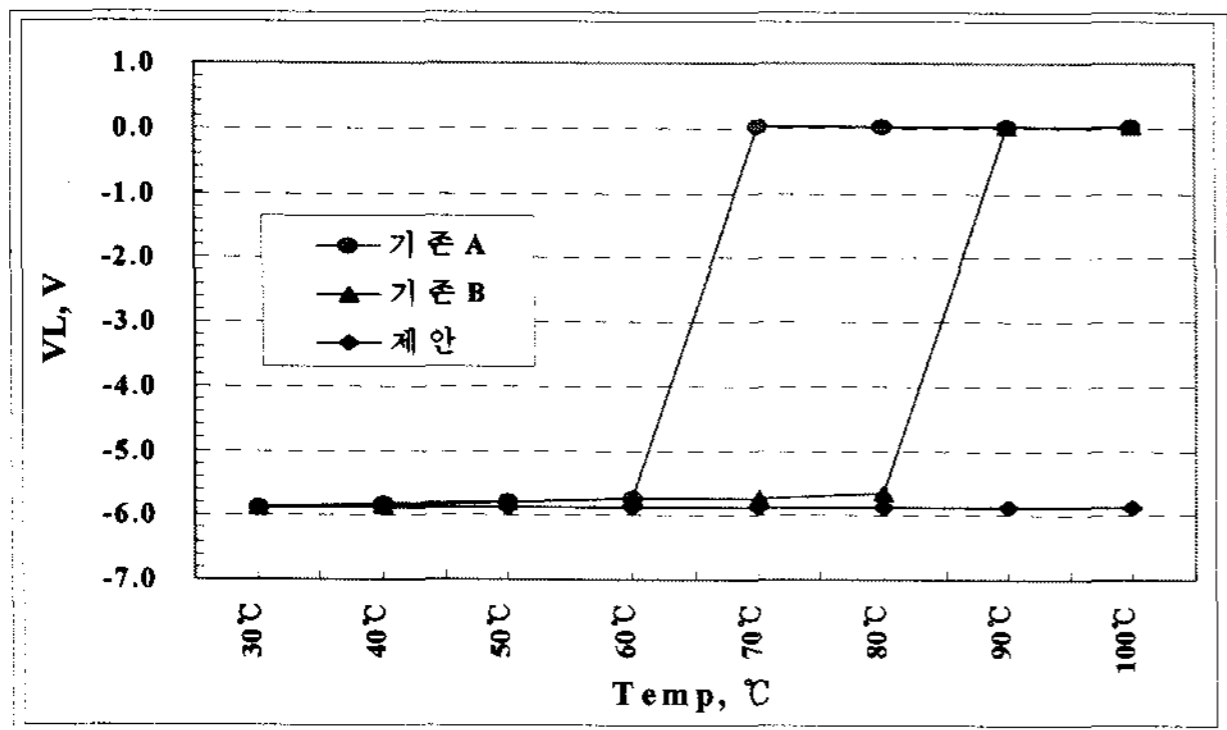
(a)



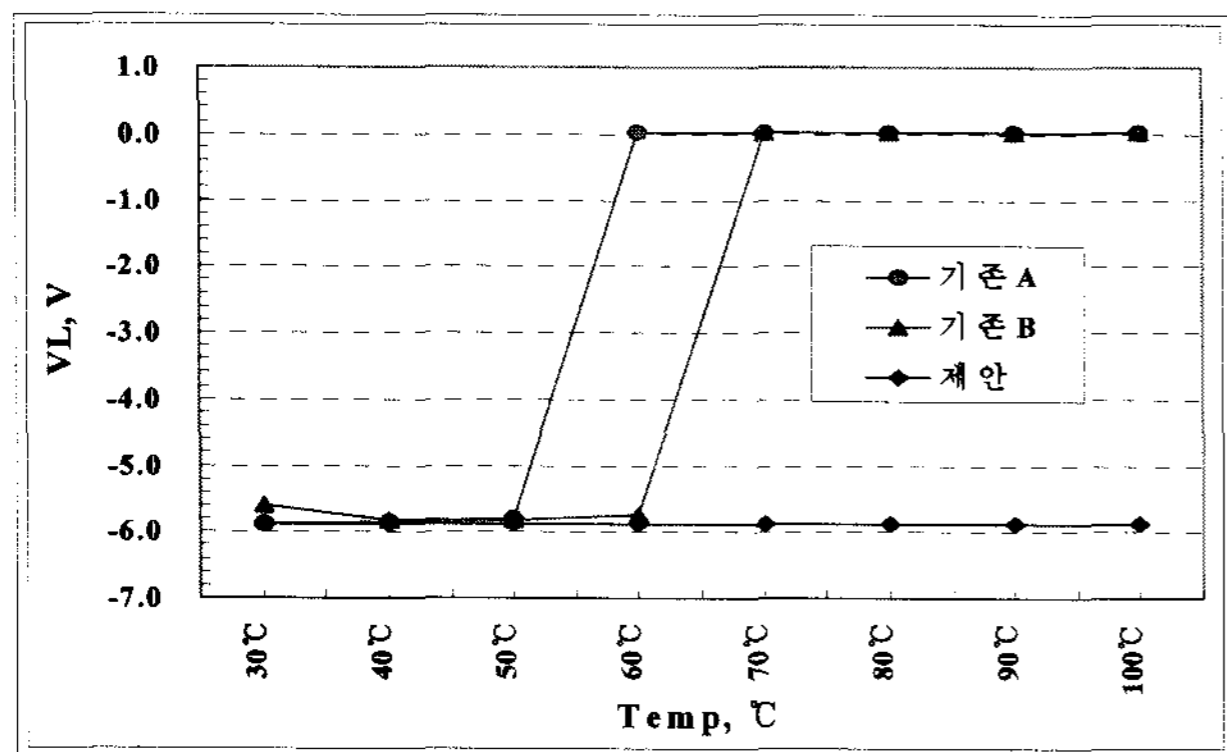
(b)

그림 12. (a) 온도에 따른 V_H 특성 ($V_M=2.0V$)
(b) 온도에 따른 V_H 특성 ($V_M=4.0V$)

Fig. 12. (a) V_H versus temperature ($V_M=2.0V$)
(b) V_H versus temperature ($V_M=4.0V$)



(a)



(b)

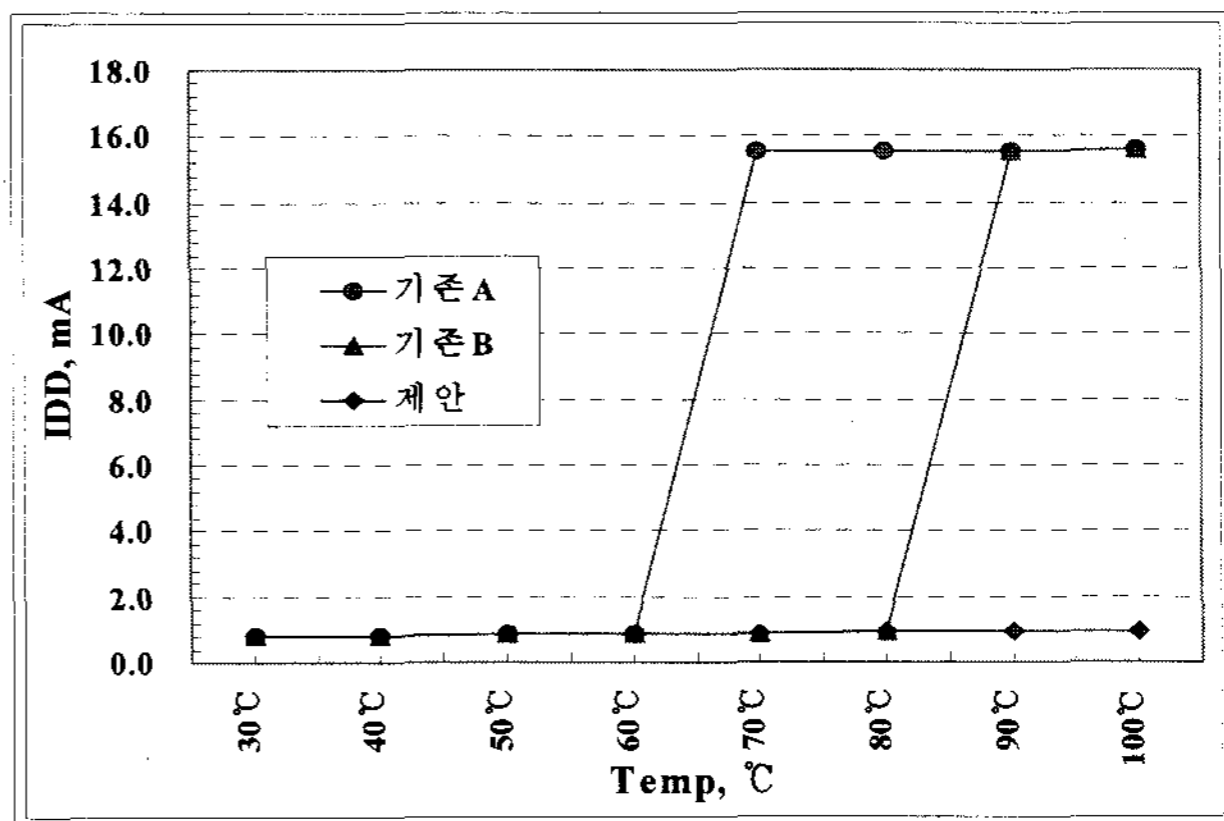
그림 13. (a) 온도에 따른 VL 특성 (VM=2.0V)
(b) 온도에 따른 VL 특성 (VM=4.0V)

Fig. 13. (a) VL versus temperature. (VM=2.0V)
(b) VL versus temperature. (VM=4.0V)

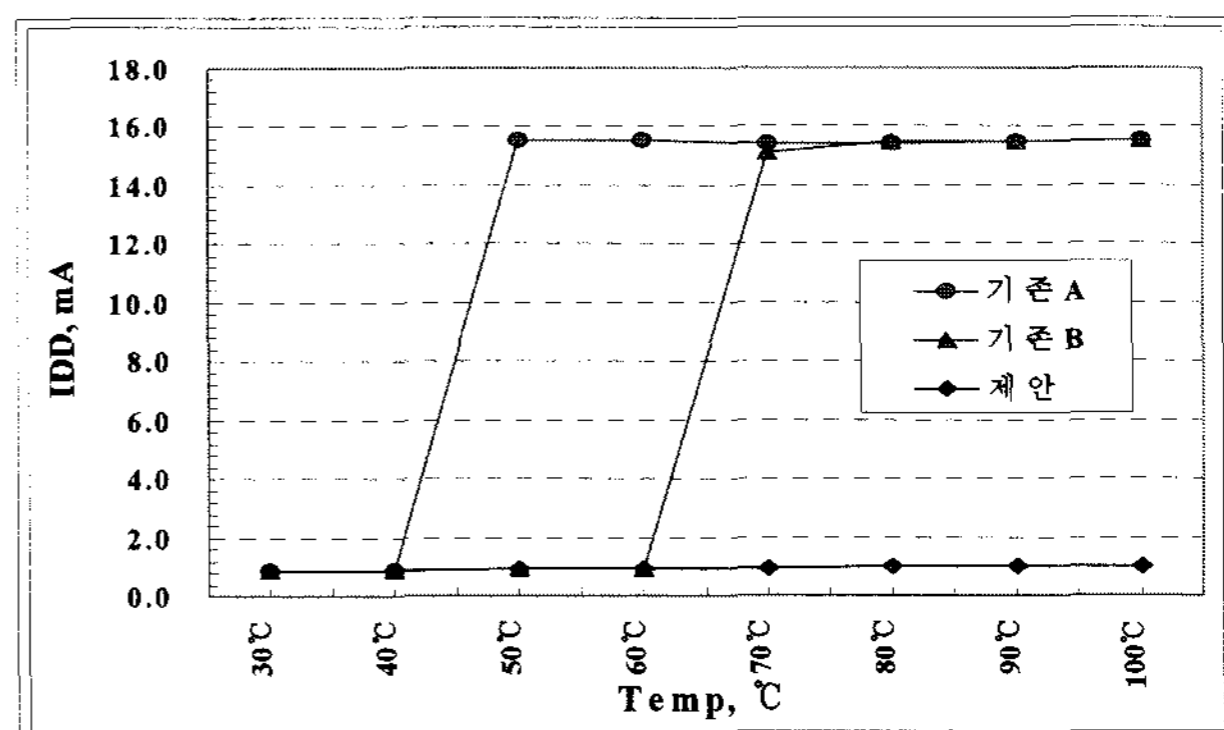
생하며, 그림 13-(b)에 나타난 VM 4.0V의 경우는 50°C, 70°C에서 래치업이 발생하여 VL이 VSS로 상승하였다. 하지만, 제안된 방식의 경우는, 그림 13-(a)와 (b)에서 보는 바와 같이, VM 수준에 상관없이 100°C에서도 정상 수준 -5.9V를 나타내었다.

한편, 동작 전류(IDD)는 IC 전체 동작의 이상 유무를 판단할 수 있게 해주며, 이에 대한 측정 결과가 그림 14에 나타나 있다. 그림 14-(a)와 같이 VM 2.0V일 경우는 기존A, 기존B가 각각 70°C, 90°C에서 래치업이 발생하였고, 그림 14-(b)와 같이 VM 4.0V일 경우는 50°C, 70°C에서 래치업이 발생하여 15.5mA 수준의 과전류를 나타내었다. 하지만, 제안된 방식의 경우는 100°C에서도 정상 수준 0.95mA를 유지하고 있음을 알 수 있다.

이상의 평가 결과에서 나타난 온도에 따른 래치업 특성을 표1에 요약하여 나타내었다. 표에서 보는 바와 같이, power-up 순서에 맞춰 순차적으로 동작하는 래치업 방지 회로를 내장한 방식은 VM의 전압값에 상관없이 고온 100°C까지 정상 동작을 하여 래치업 무관한 특성을 나타내었다. 액정 구동 IC의 일반적인 온도 보증



(a)



(b)

그림 14. (a) 온도에 따른 IDD 특성 (VM=2.0V)
(b) 온도에 따른 IDD 특성 (VM=4.0V)

Fig. 14. (a) IDD versus temperature (VM=2.0V)
(b) IDD versus temperature (VM=4.0V)

표 1. 개선 전후 래치업 특성 비교

Table 1. The comparison of latch-up characteristics.

	구분	30°C	40°C	50°C	60°C	70°C	80°C	90°C	100°C
VM=2.0V	기존A	양호				Latch-up			
	기존B	양호						Latch-up	
	제안	양호							
VM=4.0V	기존A	양호	Latch-up						
	기존B	양호				Latch-up			
	제안	양호							

범위는 -30~70°C이므로 제안된 방식은 고온 70°C 대비 +42%인 100°C까지 래치업 무관한 특성을 나타내어 액정 구동 IC의 온도 보증 범위를 충분히 보장하고 있음을 알 수 있다.

VI. 결 론

본 논문에서는 액정 구동 IC의 순차 승압회로의 래치업 발생 문제를 해결하기 위해 power-up 순서에 순차 스위치 삼입 방법을 제안하였다. 즉, 승압회로의 승압

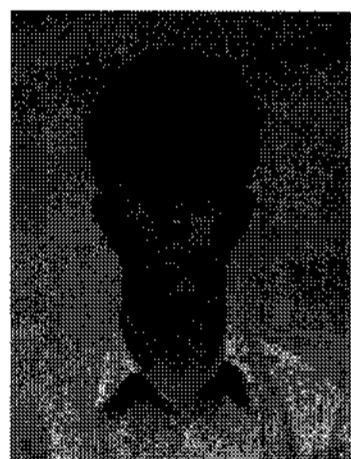
순서에 맞춰 순차 동작하는 스위치를 삽입함으로써, 기생 회로의 에미터-베이스 분리 문제를 해결하고, 외장 쇼키 다이오드 사용 시 발생하는 ITO 패턴 저항 문제를 해결하였다. 또한, 외장 컴포넌트를 없앴으로써 PCB 공간의 제약 극복 및 비용을 줄일 수 있었다. 본 기술이 적용된 액정 구동 IC 제작을 통한 실험 결과, 고온 100°C까지 래치업이 발생하지 않음을 확인하였다. 이러한 방식의 순차 스위치는 액정 구동 IC 뿐만 아니라 순차 승압을 사용하는 모든 시스템에 폭 넓게 적용하여 래치업을 방지할 수 있는 좋은 방법이 될 것으로 기대된다.

참 고 문 헌

[1] Robert Ching-yuh Fang, "Latchup model for the parasitic p-n-p-n path in bulk CMOS" IEEE Transactions on electron devices, vol. ED-31, pp. 1-3, 1984.

[2] Catherine Redmond, "Winning the battle against latch-up in CMOS analog switches" Analog Dialogue, pp. 2, 2001.
 [3] Phillip E. Allen, "CMOS Analog Circuit Design" pp. 51-53, 2002.
 [4] Alan G. Lewis, "Latchup Suppression in Fine-Dimension Shallow p-Well CMOS Circuits" IEEE Transactions on electron devices, vol. ED-31, pp. 2, 1984.
 [5] A.H.Johnston, "The Effect of Temperature on Single-Particle Latch-up" IEEE Transactions on nuclear science, vol. 38, pp. 5-6
 [6] Catherine Redmond, "Winning the battle against latch-up in CMOS analog switches" Analog Dialogue, pp. 2, 2001.
 [7] Jeng-Jie Peng, "Latchup Current Self-Stop Circuit for Whole-Chip Latchup Prevention in Bulk CMOS Integrated Circuits" IEEE Analog IP Technology Section SoC Technology Center, pp. 1-2, 2002.

저 자 소 개



최 병 호(정회원)
 1991년 부산대학교 전자공학과 학사 졸업.
 1993년~현재 삼성전자 반도체 총괄 책임연구원 재직
 2007년~현재 성균관대학교 반도체 디스플레이공학과 석사과정

<주관심분야 : CMOS Analog IC 설계, CMOS Mixed IC 특성 평가>



전 영 현(평생회원)
 1984년 한양대학교 전자공학과 공학사
 1986년 한국과학기술원(KAIST) 전기 및 전자공학과 공학석사
 1989년 한국과학기술원(KAIST) 전기 및 전자공학과 공학박사

1990년~1991년 미국 University of Illinois, Coordinated Science Lab. 연구원
 2007년~현재 삼성전자(주) 반도체총괄 DRAM 설계팀 전무
 <주관심분야 : 초고속 메모리 설계, 고속 I/O Interface 설계>



공 배 선(평생회원)
 1990년 연세대학교 전자공학과 공학사
 1992년 한국과학기술원(KAIST) 전기 및 전자공학과 공학석사
 1996년 한국과학기술원(KAIST) 전기 및 전자공학과 공학박사

1996년~1999년 LG 반도체 중앙연구소 선임연구원
 2000년~2005년 한국항공대학교 항공전자공학과 부교수
 2005년~현재 성균관대학교 정보통신공학부 부교수
 <주관심분야 : 디지털 및 혼성모드 집적회로설계, 저전력 메모리 설계>