

## 미세피치용 Cu/SnAg 더블 범프 플립칩 어셈블리의 신뢰성에 관한 연구

손호영 · 김일호<sup>1</sup> · 이순복<sup>1</sup> · 정기조<sup>2</sup> · 박병진<sup>2</sup> · 백경욱\*

한국과학기술원 신소재공학과, <sup>1</sup>한국과학기술원 기계공학과, <sup>2</sup>(주)네페스 반도체 연구소

### Reliability Studies on Cu/SnAg Double-Bump Flip Chip Assemblies for Fine Pitch Applications

Ho-Young Son, Il-Ho Kim<sup>1</sup>, Soon-Bok Lee<sup>1</sup>, Gi-Jo Jung<sup>2</sup>,  
Byung-Jin Park<sup>2</sup> and Kyung-Wook Paik\*

Dept. of Materials Science and Engineering, KAIST

<sup>1</sup>Dept. of Mechanical Engineering, KAIST

<sup>2</sup>Corporate R&D Center, NEPES Corporation

**초 록:** 본 논문에서는 유기 기판 위에 100 um 피치를 갖는 플립칩 구조인 Cu (60 um)/SnAg(20 um) 더블 범프 플립칩 어셈블리를 구현하여 이의 리플로우, 고온 유지 신뢰성, 열주기 신뢰성, Electromigration 신뢰성을 평가하였다. 먼저, 리플로우의 경우 횟수와 온도에 상관없이 범프 접촉 저항의 변화는 거의 나타나지 않음을 알 수 있었다. 125도 고온 유지 시험에서는 2000시간까지 접촉 저항 변화가 관찰되지 않았던 반면, 150도에서는 Kirkendall void의 형성으로 인한 접촉 저항의 증가가 관찰되었다. 또한 Electromigration 시험에서는 600시간까지 불량 발생이 없었는데 이는 Al 금속 배선에서 유발되는 높은 전류 밀도가 Cu 칼럼의 높은 두께로 인해 솔더 영역에서는 낮아지기 때문으로 해석되었다. 열주기 시험의 경우, 400 cycle 이후부터 접촉 저항의 증가가 발견되었으며, 이는 열주기 시험 동안 실리콘 칩과 Cu 칼럼 사이에 작용하는 압축 변형에 의해 그 사이에 있는 Al 및 Ti 층이 바깥쪽으로 밀려나감으로 인해 발생하는 것으로 확인되었다.

**Abstract:** In this study, reliabilities of Cu (60 um)/SnAg (20 um) double-bump flip chip assemblies were investigated for the flip chip interconnections on organic substrates with 100 um pitch. After multiple reflows at 250°C and 280°C, bump contact resistances were almost same regardless of number of reflows and reflow temperature. In the high temperature storage test, there was no bump contact resistance change at 125°C up to 2000 hours. However, bump contact resistances slightly increased at 150°C due to Kirkendall voids formation. In the electromigration test, Cu/SnAg double-bump flip chip assemblies showed no electromigration until about 600 hours due to reduced local current density. Finally, in the thermal cycling test, thermal cycling failure mainly occurred at Si chip/Cu column interface which was found out the highest stress concentration site in the finite element analysis. As a result, Al pad was displaced out under thermal cycling. This failure mode was caused by normal compressive strain acting Cu column bumps along perpendicular direction of a Si chip.

**Keywords:** Cu/SnAg double-bump, Cu column, Fine pitch flip chip, High temperature storage test, Electromigration, Thermal cycling

---

\*Corresponding author  
E-mail: kwpaik@kaist.ac.kr

## 1. 서 론

최근 전자 제품의 소형화, 고성능화 추세에 따라 전자 패키징에서도 고집적화, 고성능화 기술이 요구되고 있다. 다양한 전자 패키징 기술 중 플립칩 기술은 범프가 형성된 칩을 뒤집어 기판에 직접 접속하는 방법으로, 면적 감소, 많은 I/Os, 짧은 접속 길이에 의한 우수한 전기적 특성, 빠르고 쉬운 접합 등의 장점을 고루 갖춘 기술로 최근 각광 받고 있다. 최근의 플립칩은 칩에 솔더 범프를 형성하여 리플로우를 하거나, 비솔더 범프를 이방성 전도성 접착제 등을 이용해 유기 기판 등에 접속하는 형태로 제조되고 있다.<sup>1)</sup> 이 가운데 솔더 범프를 이용한 솔더 플립칩의 경우, 손쉬운 접합 방법과 우수한 전기적 특성 및 신뢰성, 다양한 범프 형성 방법 등으로 인해 많이 이용되어 왔으나, 리플로우 시 솔더 범프가 구형의 형태를 가지기 때문에 피치가 작아질수록 인접한 범프 간의 접합 (bump bridging)을 피할 수 없어 100 um 내외의 미세 피치에서는 적용하기가 힘들다.<sup>2,3)</sup> 실제로 150~200 um 이하의 범프 피치의 경우, 솔더 리플로우 혹은 플립칩 본딩 공정 중에 범프 간의 접합에 의한 쇼트 현상이 발생하기 쉬우며, 이를 해결하기 위해서는 우선 솔더 범프의 부피를 줄이는 것을 고려할 수 있겠으나, 이는 칩과 유기 기판 간의 stand-off height를 낮추기 때문에 열기계적 신뢰성의 저하를 피하기 어렵다.

따라서 종래의 솔더 범프 구조 대신에 새로운 범프 구조가 필요하며, 이러한 이유로 본 논문에서는 미세 피치 솔더 플립칩 구조로서 Cu 칼럼 범프와 SnAg 솔더 범프를 각각 60 um 및 20 um 두께로 형성된 적층 형태의 더블 범프 구조를 제안하고, 이를 유기 기판 위에 플립칩 접속한 뒤 열적,

기계적, 전기적 신뢰성 평가를 수행하였다. Cu 칼럼을 사용한 Cu/SnAg 더블 범프 구조의 장점은 크게 3가지로 요약할 수 있다. 첫째, 두꺼운 Cu 칼럼의 높은 녹는점과 SnAg 솔더 범프의 제한된 부피를 가짐으로써 100 um 이하의 미세 피치 플립칩 접속이 가능하다. 둘째, 실리콘 칩의 금속 배선의 두께는 매우 얇기 때문에 금속 배선 주위의 높은 전류 밀도의 집중으로 인해 종래의 솔더 조인트에서 문제시되는 Electromigration 신뢰성 저하 현상을 두꺼운 Cu 칼럼을 사용함으로써 개선할 수 있다. 마지막으로, Cu 칼럼의 높이를 용이하게 조절함으로써, 열주기 신뢰성과 같은 열기계적 변형이 반복되는 환경에서 우수한 플립칩 신뢰성을 기대할 수 있다.<sup>4)</sup> 이러한 장점에도 불구하고 그동안 Cu/SnAg 더블 범프 구조와 이를 적용한 플립칩의 신뢰성에 대한 연구는 미흡한 실정이며, 본 연구를 통해 Cu/SnAg 더블 범프를 사용한 100 um 피치 플립칩의 열적, 전기적, 열기계적 신뢰성에 대해 고찰하고자 한다.

## 2. 실험방법

본 연구에서 사용된 테스트 칩은 9.8 mm×11.03 mm 크기의 실리콘 칩으로서, 칩의 가운데에 128 개의 I/O가, 칩의 네 가장자리에 각각 16개씩의 I/O가 배열되어, 총 192개의 범프를 갖는 구조로 되어 있다. Cu 칼럼이 60 um, SnAg 솔더가 20 um으로 Cu/SnAg 더블 범프의 높이는 80 um이며, 범프 간 간격, 즉 피치 (pitch)는 100 um이다. 플립칩 접속을 위한 유기 PCB 기판은 37.5 mm×37.5 mm의 크기로, 접속 여부와 개별 범프의 접속 저항을 확인하기 위해 Daisy chain 구조 및 4-pt Kelvin 구조가 형성되어 있다. Fig. 1은 본 연구에서 사용한 Cu/

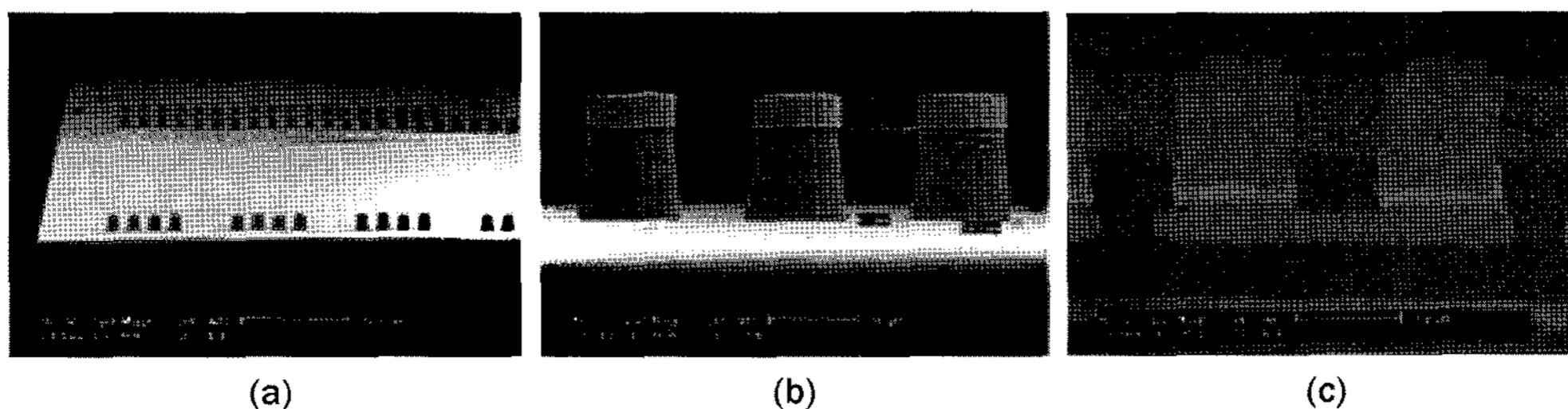


Fig. 1. (a) Cu/SnAg double-bump on a test chip (b) magnified image of Cu/SnAg double-bump, and (c) Cu/SnAg double-bump flip chip assembly.

SnAg 더블 범프 및 PCB 기판에 접속된 플립칩 어셈블리의 단면 사진을 보여준다. 단면 관찰 및 SAM (Scanning acoustic Microscope)를 통한 플립칩 내부 관찰을 통해 100 um 피치에서 인접한 범프 간의 쇼트 현상이 발생하지 않고, 12~14 mΩ의 균일한 접속 저항을 갖는 것으로 나타났다.

플립칩의 신뢰성은 3가지 방법을 통해 평가되었다. 첫째, 플립칩 조인트의 열적 신뢰성을 평가하기 위해 Multiple reflow(250°C 및 280°C, 최대 5회 reflow) 및 고온 유지 시험(125°C 및 150°C, 2000시간)을 수행하였다. 다음으로, 전류가 가해졌을 때 플립칩 조인트의 열적, 전기적 신뢰성인 electromigration 시험을 0.8A의 전류, 150°C의 온도 하에서 더블 범프 조인트의 저항 변화를 관찰하였다. 마

지막으로, 열주기 시험(-55°C, 15분~125°C, 15분, 1000 cycle)을 통해 플립칩의 열기계적 신뢰성을 평가하였다.

### 3. 결과 및 고찰

Fig. 2는 250°C에서의 Multiple reflow 후의 Cu/SnAg 조인트의 단면 사진을 보여준다. Cu 칼럼과 SnAg 솔더 계면에서는 Cu<sub>6</sub>Sn<sub>5</sub> 금속간 화합물이 주로 생성되며, PCB 기판의 Ni/Au 패드 위에는 Ni<sub>3</sub>Sn<sub>4</sub> 및 (Cu,Ni)<sub>6</sub>Sn<sub>5</sub> 금속간 화합물이 생성된다. 또한 reflow 횟수 및 온도가 증가할수록 계면에서 형성되는 금속간 화합물의 두께는 증가하며, 280°C에서 5회 reflow 후의 경우 대부분의 SnAg 솔더가 소

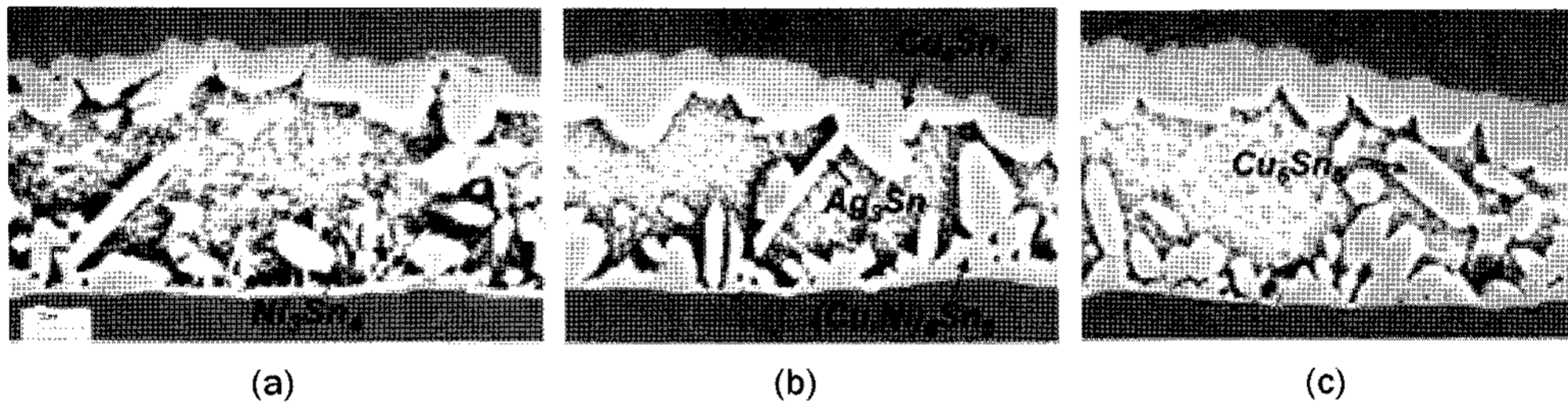


Fig. 2. Cross-sectional images of Cu/SnAg double-bump joints after multiple reflow at 250°C (a) 1 time reflow (b) three times reflow, and (c) 5 times reflow.

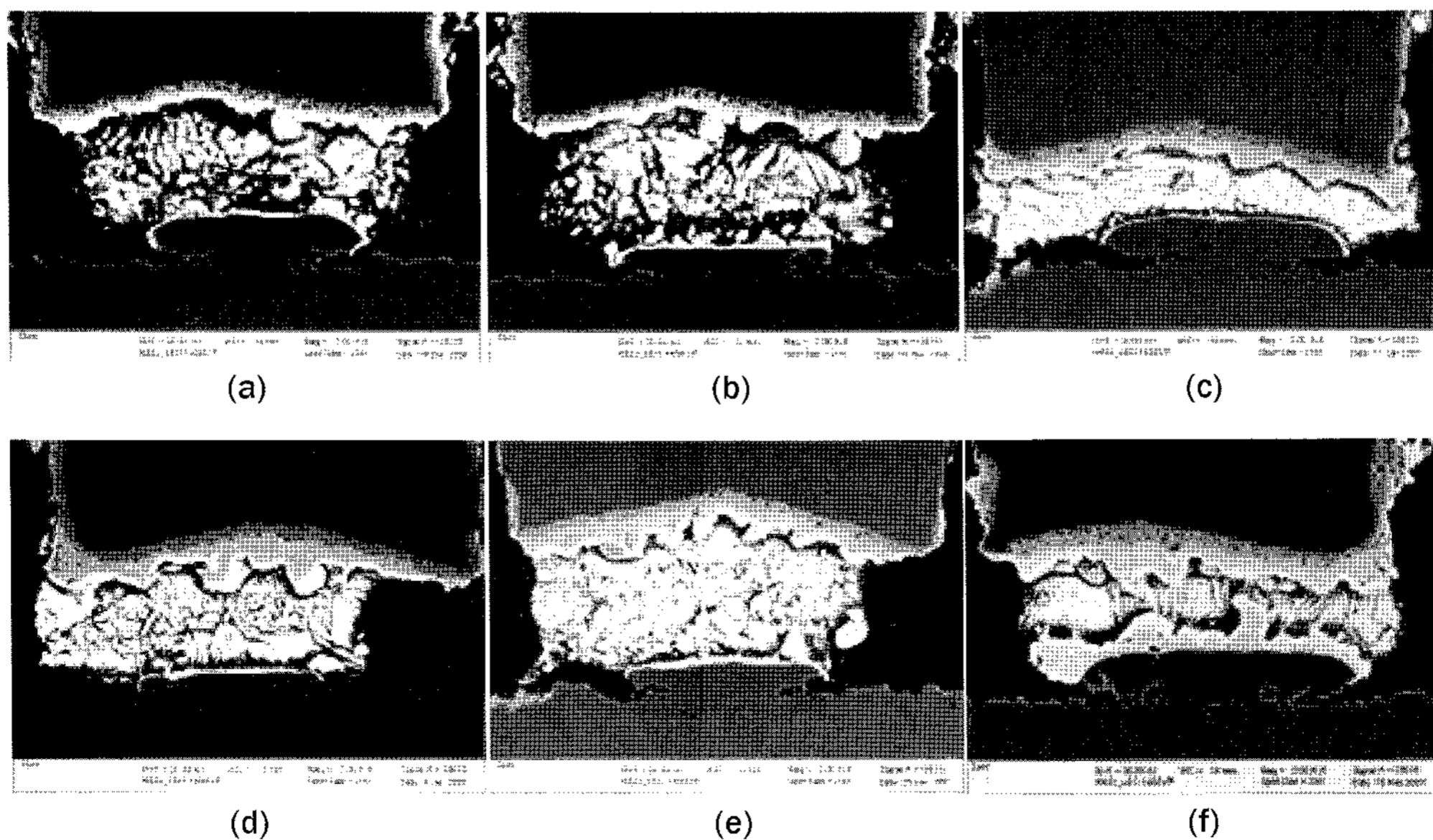


Fig. 3. Cross-sectional images of Cu/SnAg double-bump joints after high temperature storage test at 125°C (a) 250 hrs, (b) 500 hrs, (c) 750 hrs, (d) 1000 hrs, (e) 1500 hrs, and (f) 2000 hrs.

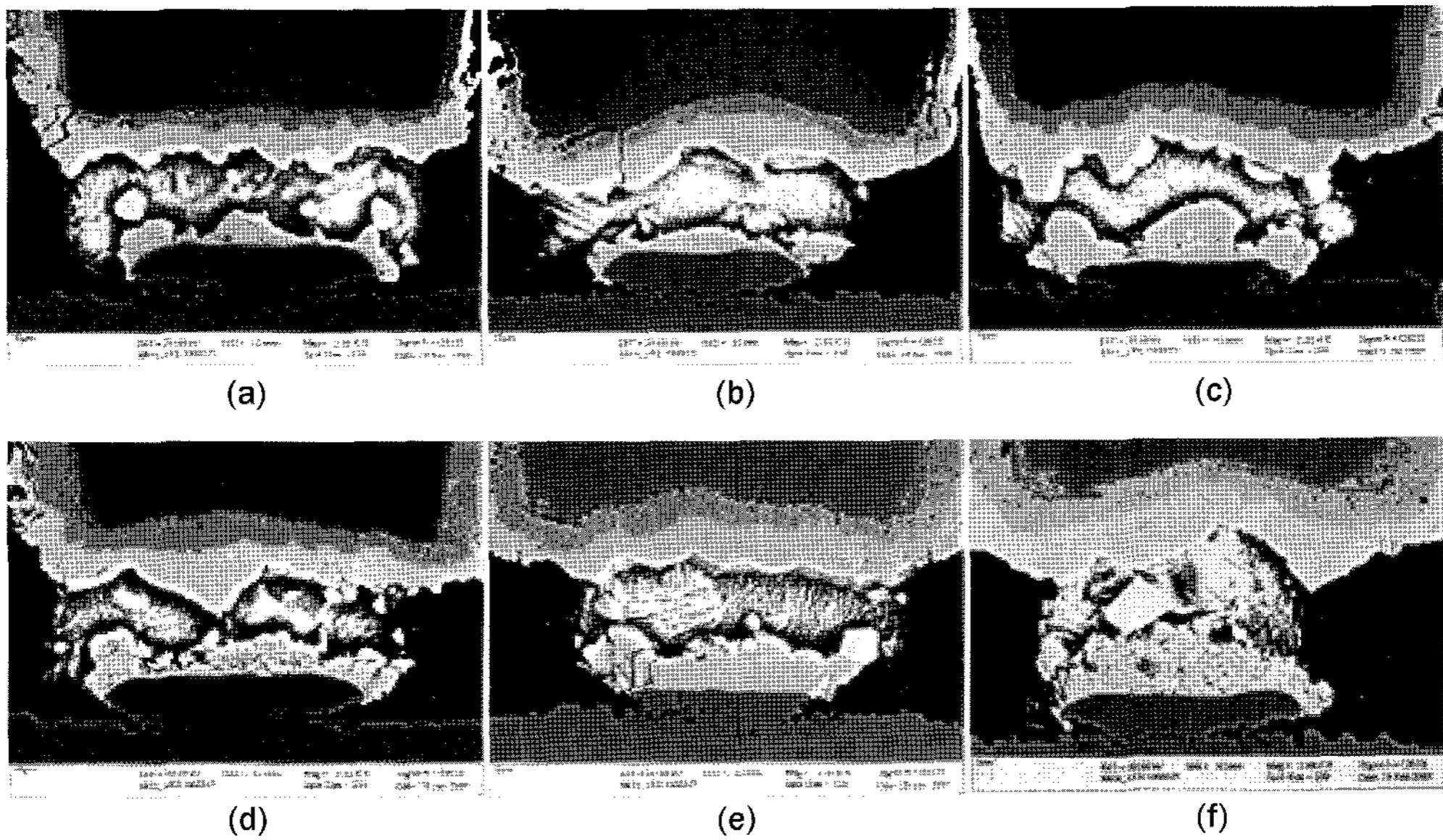


Fig. 4. Cross-sectional images of Cu/SnAg double-bump joints after high temperature storage test at 150°C (a) 250 hrs, (b) 500 hrs, (c) 750 hrs, (d) 1000 hrs, (e) 1500 hrs, and (f) 2000 hrs.

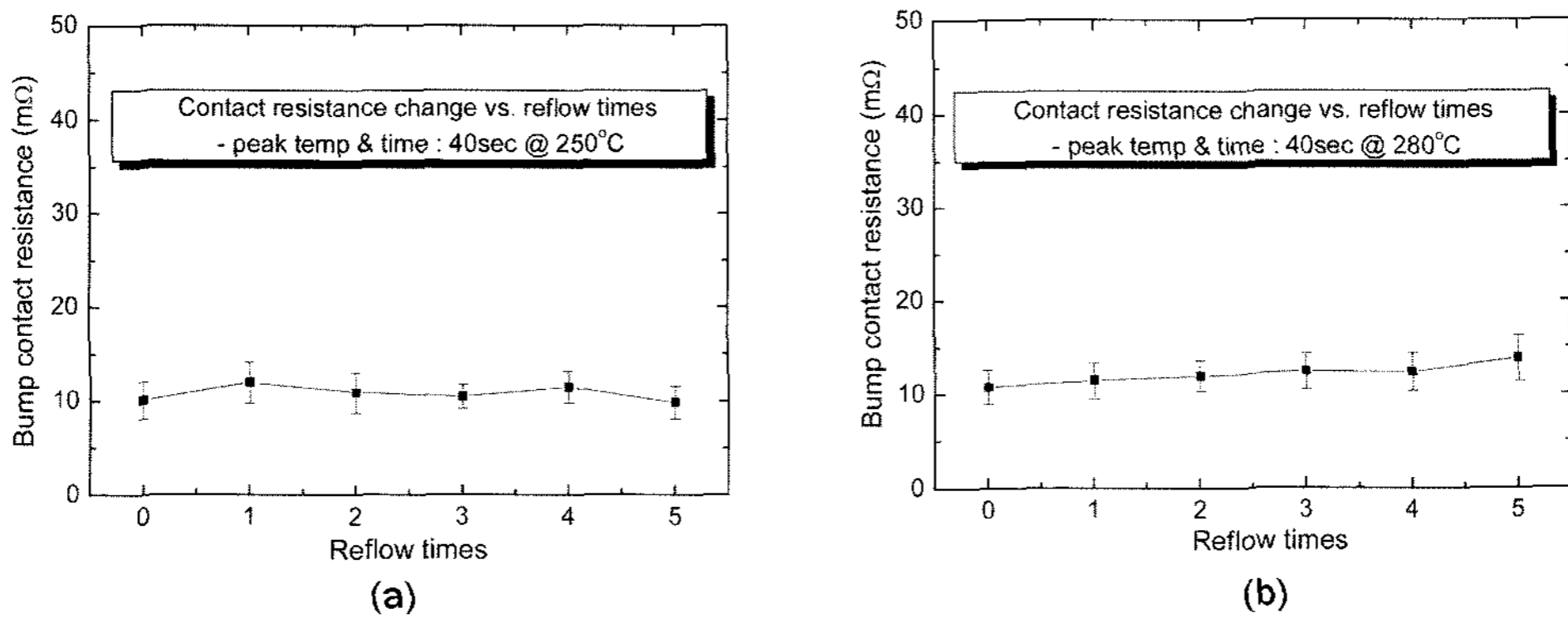


Fig. 5. Bump contact resistance change after (a) 250°C reflow and (b) 280°C reflow.

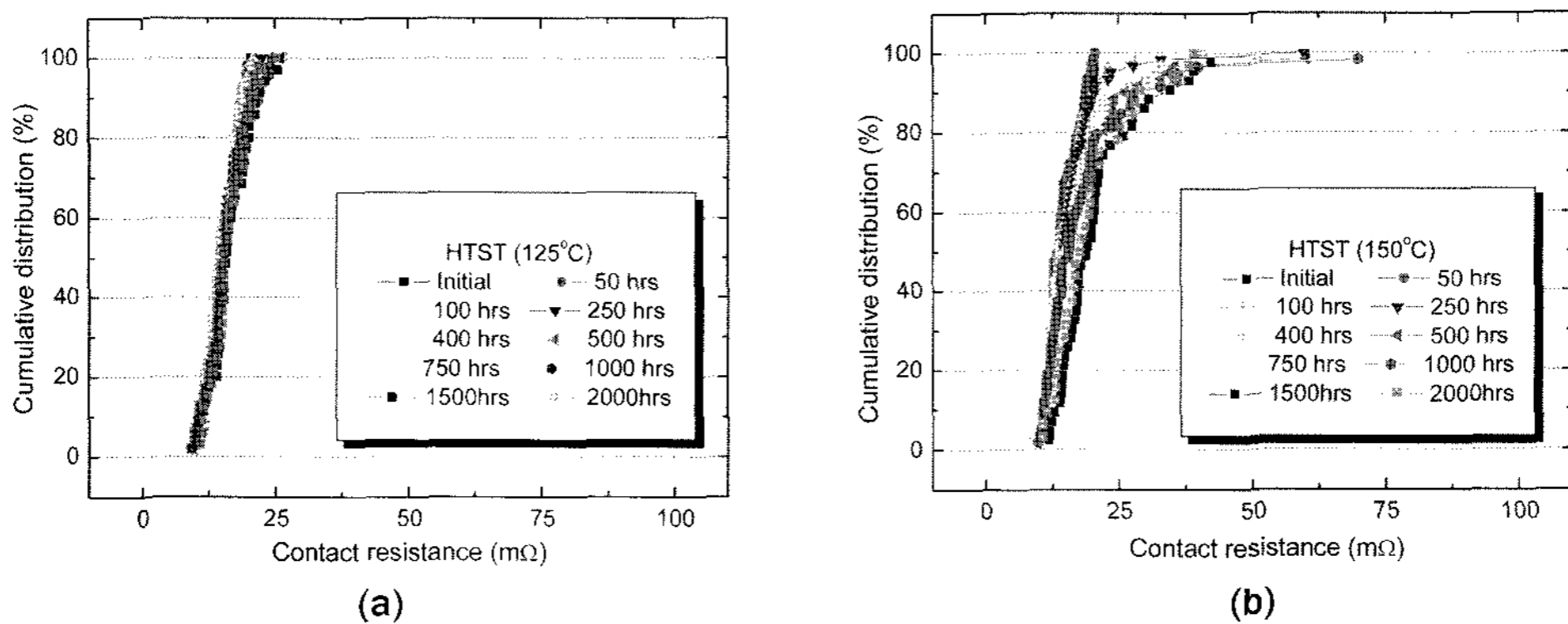


Fig. 6. Cumulative distribution on bump contact resistance change during high temperature storage test at (a) 125°C and (b) 150°C.

모됨을 알 수 있었다. Fig. 3와 Fig. 4는 125°C 및 150°C에서의 고온 유지 시험 후 단면 관찰 사진을 보여준다. Multiple reflow의 경우와는 달리, Cu 칼럼 쪽에서는 Cu<sub>6</sub>Sn<sub>5</sub> 아래에 어두운 Cu<sub>3</sub>Sn 금속간 화합물이 띠의 형태로 생성되며, Cu<sub>3</sub>Sn 층 내에 Cu와 Sn의 확산 속도의 차이로 인한 Kirkendall void가 생성됨을 알 수 있다. 그러나 Fig. 5와 Fig. 6에서 보는 바와 같이, reflow 동안의 Cu/SnAg 더블 범프의 접속 저항은 금속간 화합물의 성장이나 SnAg 솔더의 소모와는 무관한 것으로 나타났으며, 2000시간 고온 유지 시험 후에도 접속 저항의 변화는 크게 나타나지 않았다. Fig. 6은 접속 저항에 대한 누적 분포를 보여주며, 0%와 100%에 대응되는 x축 값은 테스트한 조인트 중에서 각각 가장 낮은 저항 값과 가장 높은 저항 값을 가짐을 의미한다. 즉, x축의 임의의 저항 값에 대응되는 y축의 누적 비율은 이 저항 값보다 낮은 조인트의 비율을 의미한다. 이 그래프에서 150°C에서의 고온 유지 시험의 경우 접속 저항의 증가가 일부 나타

났는데, 이는 단면 사진에서도 알 수 있듯이, 과도한 양의 Kirkendall void가 Cu 칼럼/SnAg 솔더 계면에 생성됨으로 인해 발생하는 현상으로 보인다. 한편, 플립칩 조인트에 장시간 동안 전류가 가해졌을 때 온도에 의한 확산 외에 전자의 움직임, 즉 전기적 포텐셜의 차이에 의한 확산이 플립칩 조인트의 계면 현상 및 조인트 신뢰성에 영향을 주게 된다. 따라서 이를 평가하기 위해 0.8A의 전류(6.37×10<sup>4</sup> A/cm<sup>2</sup>의 전류밀도), 150°C의 온도에서 electromigration 시험을 수행한 결과, 약 600시간이 지났음에도 저항의 변화는 관찰되지 않았다. 즉, Cu/SnAg 더블 범프 플립칩은 매우 우수한 electromigration 신뢰성을 보여준다. Fig. 7은 300시간 electromigration 시험 후의 단면 관찰 사진으로, 이 시간 동안 모든 Sn이 Cu 칼럼과 반응하여 금속간 화합물을 형성함으로써 종래의 솔더 플립칩에서 나타나는 솔더나 하부금속층(UBM)의 소모에 의한 불량 발생하지 않음을 알 수 있다. 이는 cathode 범프에서의 최대 전류 밀도는 Al 배선 주변에서

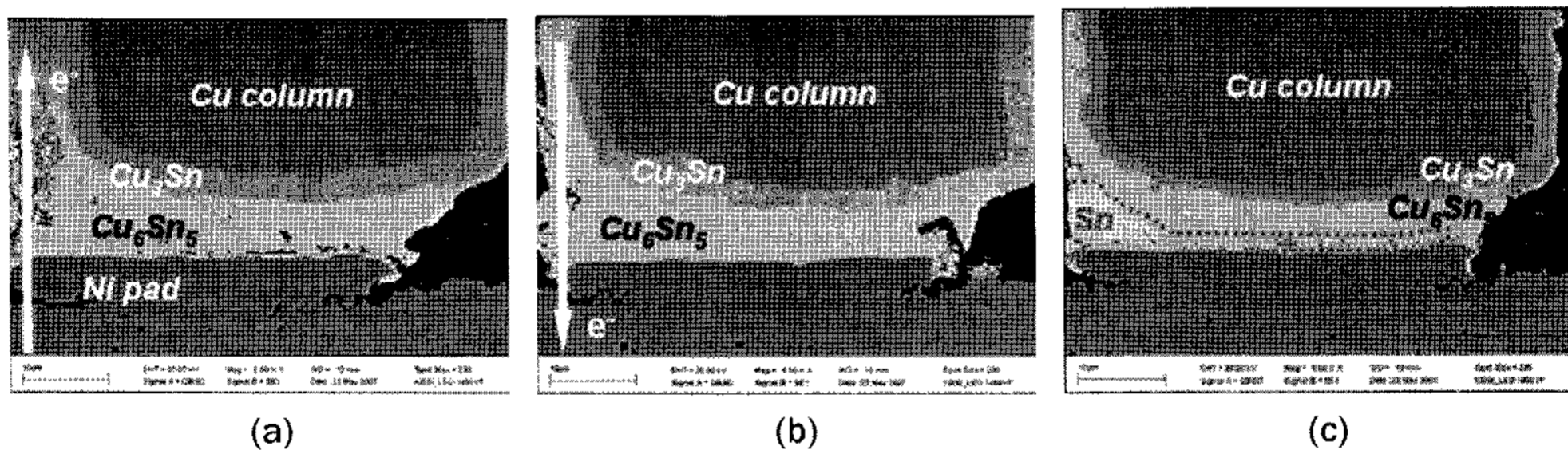


Fig. 7. Cross-sectional images of electromigration test joints at 0.8A and 150°C (a) cathode joint, (b) anode joint and (c) neighboring joint (no current applied).

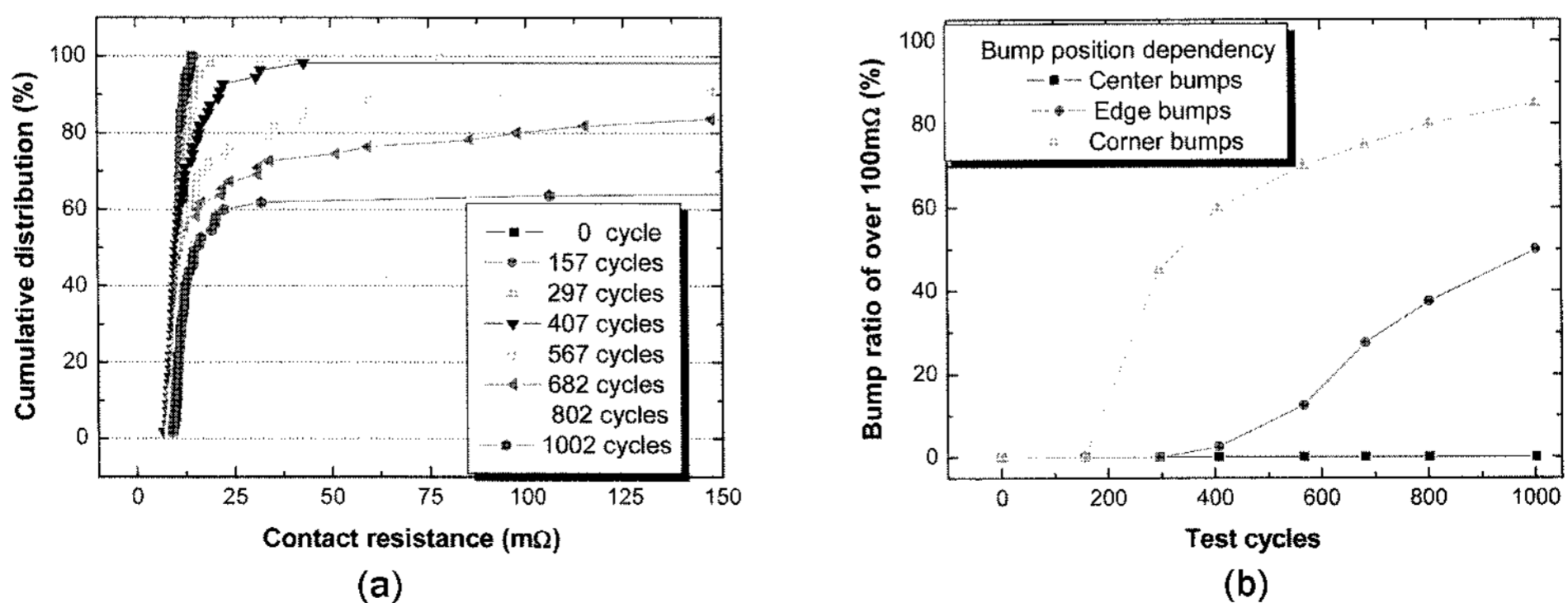


Fig. 8. Thermal cycling test results (a) Cumulative distribution of bump contact resistance change of Cu/SnAg double-bump joints and (b) bump position dependency on T/C failures.

약  $2 \times 10^6$  A/cm<sup>2</sup>의 높은 값을 보여주나, electromigration이 발생할 수 있는 위치인 SnAg 솔더에서의 최대 전류 밀도는 약  $5 \times 10^4$  A/cm<sup>2</sup>의 낮은 전류 밀도를 갖기 때문이다. 실제로 electromigration에 의한 솔더 조인트의 신뢰성 저하는 약  $10^5$  A/cm<sup>2</sup>의 전류 밀도에서 빈번하게 발생된다고 보고되고 있다. 이러한 Cu/SnAg 더블 범프 구조의 우수한 electromigration은 유사한 패드 직경을 갖는 솔더 조인트에서의 결과와 비교할 수 있는데, Jang<sup>5)</sup> 등에 의해 보고된 바에 의하면 TiW/Cu 금속층 위에 형성된 100 um 직경의 SnAg 솔더의 경우 약 90시간의 MTF를 갖는 것에 반해, Cu/SnAg 더블 범프 구조의 경우 약 600시간 후에도 electromigration 불량 발생하지 않았다.

Fig. 8은 열주기 시험 동안의 Cu/SnAg 더블 범프의 접속 저항 변화를 보여준다. 테스트 결과, 약 400 cycle부터 접속 저항의 증가가 나타나며, 1000 cycle 이후에는 약 40%의 범프가 100 mΩ 이상의 접속 저항을 갖는 것으로 나타났다. 위치에 따른 접속 저항 증가의 경향을 살펴보면, 칩의 가장자리에 위치한 범프의 경우 접속 저항 증가가 가장 빠르게 나타났다. 그러나 칩의 가장자리에 위치한 범프는 플립칩 본딩을 위한 더미 범프 (dummy bump)로서, 실제 메모리 칩의 구동에는 영향을 미치지 않는 위치이다. 칩의 가운데에 위치한 열 중에서 좌우 변 쪽에 위치한 범프에 대해서는 약 400 cycle

이후부터 저항 증가가 시작되어, 1000 cycle 이후에는 역시 40%의 범프가 100 mΩ 이상의 저항을 갖는 것을 알 수 있으며, 칩의 중앙에 위치한 범프는 1000 cycle까지 불량이 발생하지 않았음을 알 수 있다.

위치에 따른 열주기 시험 후의 범프 접속 불량 형태는 Fig. 9에 나타난 단면 관찰 및 초음파 검사 (SAM)를 통한 파괴 분석을 통해 알 수 있다. 즉, 칩의 중앙에 위치한 범프는 Si 칩과 Cu 칼럼 사이의 Al 및 Ti와 같은 seed 층이 초기 상태를 유지하는데 반해, 접속 저항이 증가하여 불량이 발생한 범프의 경우, Si 칩과 Cu 칼럼 사이의 Al 및 Ti 층이 물리적 손상이 가해진 것을 알 수 있으며, Cu 칼럼의 계면 또한 열적 피로 현상에 의해 거친 표면을 갖는 것을 알 수 있다. Fig. 9(e)의 초음파 분석을 통해 Si chip/Cu 칼럼 계면에서의 분석 이미지가 하얀 색으로 나타난 범프는 1000 cycle 열주기 시험 후에 불량이 발생한 것을 의미한다. 이는 EPMA (Electron Probe Micro Analyzer) 분석을 통해 보다 자세히 알 수 있는데, Fig. 10에서 보는 바와 같이, Si 칩과 Cu 칼럼 사이에 있는 Al 및 Ti 층이 범프 바깥쪽으로 밀려나감을 알 수 있다.

이러한 열주기 신뢰성 시험에서의 불량 발생 현상은 유한 요소법을 통한 소성 변형 거동을 분석함으로써 그 원인을 찾을 수 있다. 플립칩 패키지는 열주기 시험 동안에 저온과 고온 영역을 반복

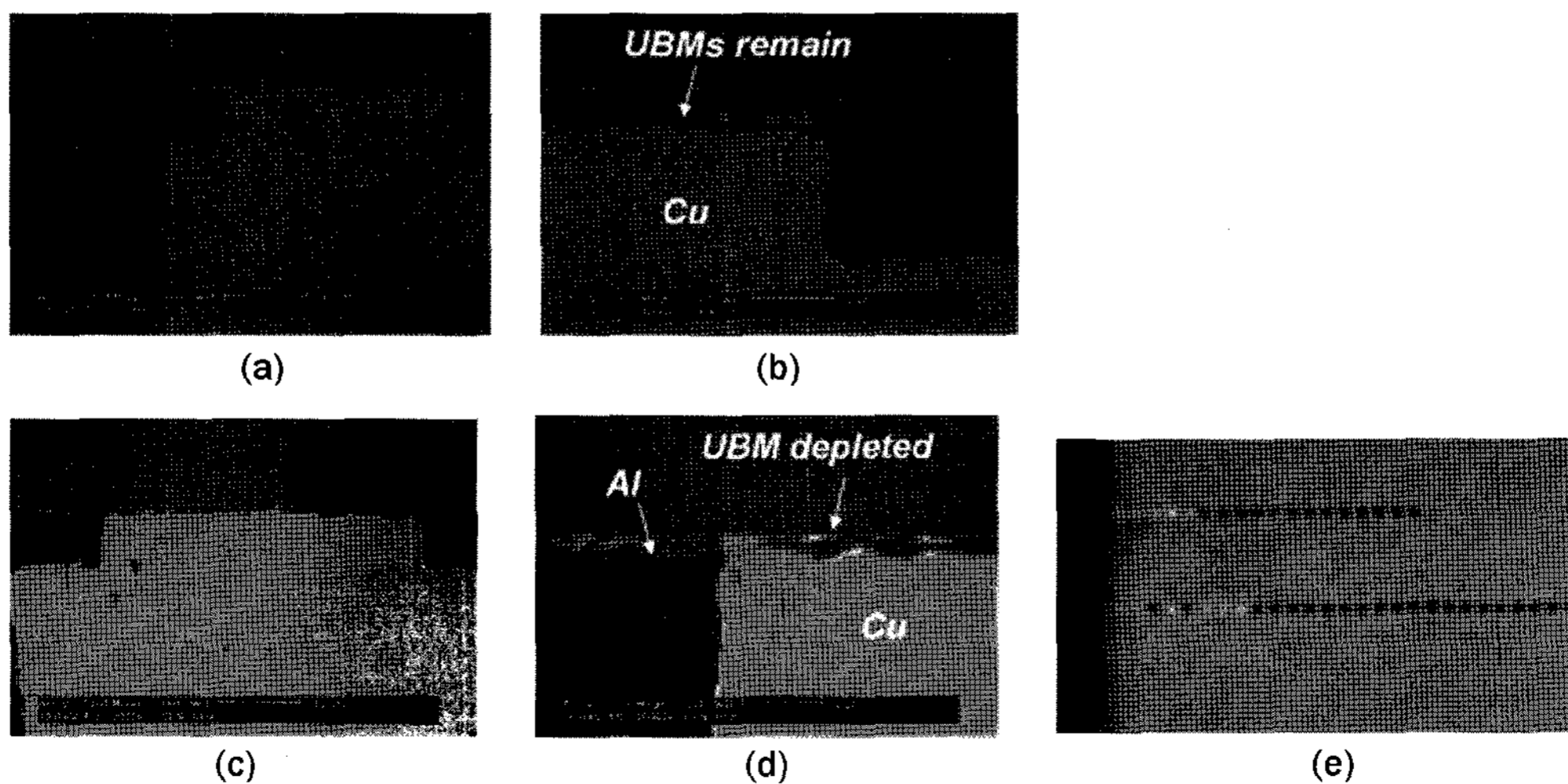
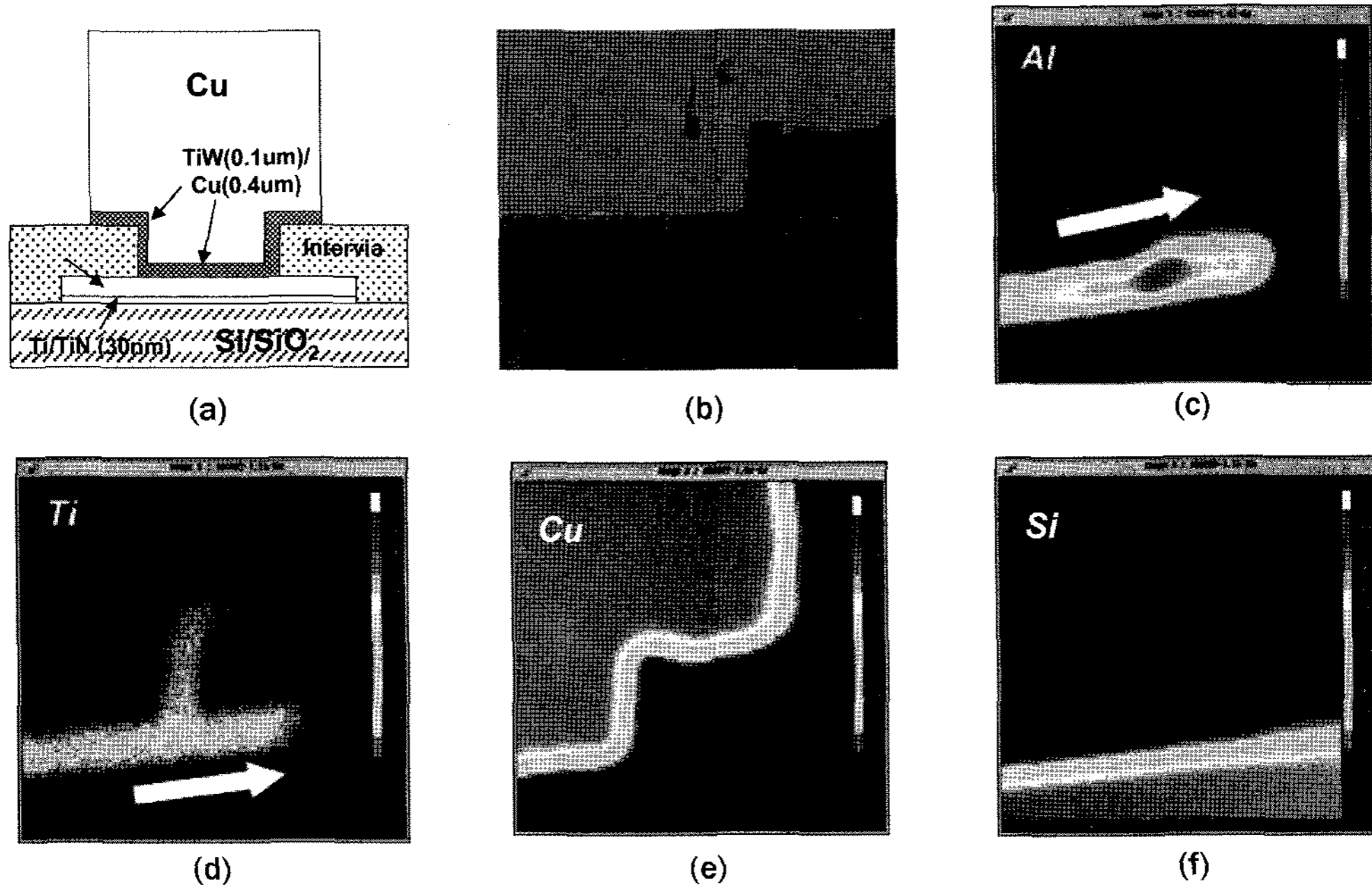
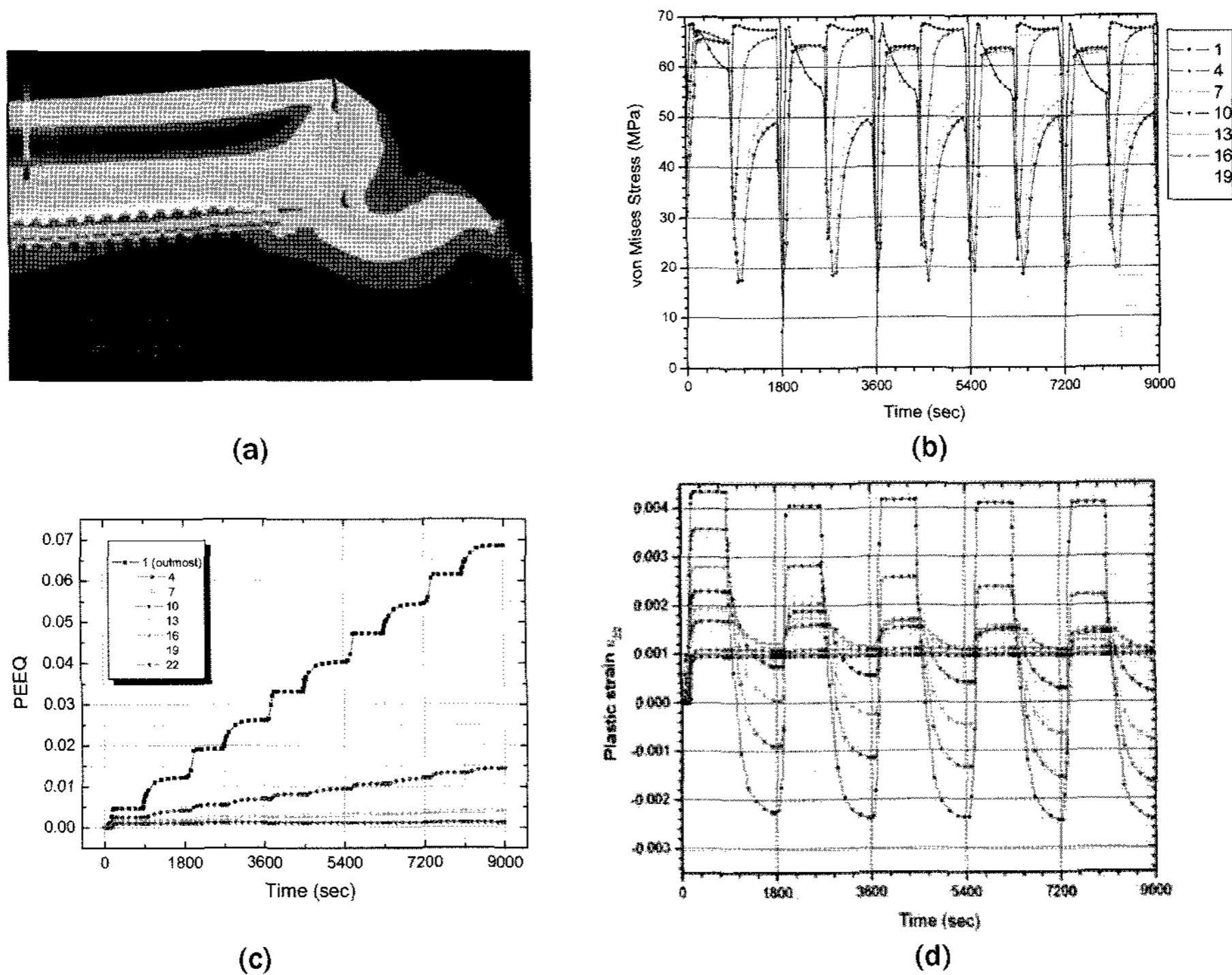


Fig. 9. Joint image after 1000 thermal cycles (a) Center bump (No failure) (b) Magnified image of (a), (c) Failed bump at chip corner, (d) Al depletion of failed bump, and (e) SAM image after T/C 1000 cycles.



**Fig. 10.** EPMA mapping analysis of a failed bump after 1000 thermal cycles (a) Bump system, (b) Failed bump, (c) Al mapping, (d) Ti mapping, (e) Cu mapping, and (f) Si mapping



**Fig. 11.** FEM analysis result under thermal cycling (a) Thermal deformation at 125°C, (b) Von-Mises stress, (c) Equivalent plastic strain of Cu column in contact with Si chip and (d) normal plastic strain of Cu column in contact with Si chip at the y-direction.

적으로 거치면서 칩과 기판의 열팽창 계수 차이에 의한 열기계적 변형을 거치게 되는데, 이 과정에서 플립칩 조인트는 칩과 기판 간의 접속을 유지하기 위해 소성 응력 및 소성 변형이 가해지게 된다. 본 연구에서 제안된 테스트 칩 구조에 대해 범프가 가장 많이 배열된 칩의 가운데 부분을 2차원적으로 잘라 유한 요소 해석을 한 결과, 열주기 시험 하에서 소성 응력이 가장 많이 작용하는 부분은 칩과 언더필 계면이며, 다음으로 Si 칩과 Cu 칼럼 계면으로 나타났다. 이 때, 접속 불량에 유효한 영향을 줄 수 있는 부분 Si 칩/Cu 칼럼 계면이 되고, 따라서 실제 열주기 시험 하에서 불량이 발생할 수 있는 가장 주요한 위치로 작용한다. Fig. 11(b)에서 알 수 있듯이, 외곽 쪽에 위치한 범프의 경우 (1의 경우 최외곽 범프를 의미하며, 각 숫자는 최외곽으로부터 안쪽으로 위치한 순서를 의미한다.) 높은 von-Mises stress를 나타내고, 특히 최외곽 범프의 경우 최대값을 가지며 더 이상 증가하지 않는데, 이는 bulk Cu의 항복 강도 (69 MPa)에 달하는 값으로 소성 변형이 일어나게 됨을 의미한다.

또한 Fig. 11(c)에서 알 수 있듯이, 열주기 시험을 거치면서 위치 별로 유효 소성 변형 (PEEQ: Equivalent plastic strain)은 점차 증가하게 되는데, 이는 오랜 시간 열주기 시험을 겪게 되면 Cu의 항복 강도를 넘지 않더라도 열적 피로 현상에 의해 Coffin-Manson 식으로부터 피로 수명이 짧아짐을 의미한다. 따라서 최외곽으로부터 약 4~7번째 범프의 경우, 열주기 시험 하에서의 수명 단축이 확률적으로 높아지게 되는데, Fig. 9(e)의 1000 cycle 후의 초음파 분석 결과와 일치하는 경향을 보여준다. 마지막으로 Fig. 11(d)에서 Si 칩과 Cu 칼럼 계면의 Cu에 작용하는 소성 변형을 각 요소 별로 분석하면, Cu에 작용하는 소성 변형은 저온 영역에서의 압축 응력이 가장 크게 소성 변형에 영향을 미치는 것을 알 수 있다. 따라서 열주기 시험 불량은 Si 칩과 Cu 칼럼 사이에 있는 Al 및 Ti 층이 범프 바깥쪽으로 밀려나감으로 인해 발생하는데, 이는 Si 칩과 Cu 칼럼 사이에 작용하는 압축 응력에 의한 것이라 볼 수 있다. 이 때, y방향, 즉 칩과 기판에 수직인 방향으로의 소성 변형량 또한 매우 크게 나타나 압축 응력이 가해지면서 Si 칩과 Cu 칼럼 사이의 Al 및 Ti 층이 밀려나는 Fig. 10의 결과는 유한 요소 해석으로서 입증될 수 있다.

## 4. 결 론

본 연구를 통해, 100 um 이하의 미세 피치 접속을 위해 제안된 Cu/SnAg 더블 범프 플립칩의 열적, 전기적, 열기계적 신뢰성을 조사하였다. 먼저 열적 신뢰성을 평가하기 위해, multiple reflow와 고온 유지 시험 (HTS: thermal aging)을 통해 종래의 솔더 플립칩에 비해 솔더의 양이 현저히 낮은 더블 범프 구조의 계면 현상을 관찰하고, 열처리 동안의 접속 저항의 변화를 측정하였다. 이 결과, 솔더의 양이 적음에도 불구하고 솔더의 소모에 의한 접속 저항 증가는 나타나지 않았으나, 150°C에서의 고온 유지 시험의 경우, Cu 칼럼과 SnAg 솔더 계면에서 과도한 양의 Kirkendall void의 생성으로 인해 접속 저항의 증가가 일부 나타났다. 한편, 열적, 전기적 신뢰성 중의 하나인 Electromigration 신뢰성 시험에서는 약 600시간 후에도 접속 저항의 증가는 나타나지 않았으며 이는 충분한 양의 Cu 칼럼 두께로 인해 솔더 영역에서의 전류 밀도가 Al 배선에서의 전류 집중 (current crowding)을 완화하기 때문이다. 이 때 SnAg 솔더는 300시간 이후 Cu칼럼과 모두 반응하여 금속간 화합물을 형성함으로써 더 이상 Sn의 녹음이나 금속 층의 소모로 인한 electromigration 불량이 발생할 수 없음을 알 수 있었다. 마지막으로, 열기계적 신뢰성 평가인 열주기 시험에서는 칩의 중앙으로부터 떨어질수록 빠르게 더블 범프의 접속 저항이 증가함으로써 불량이 발생하였다. 이 때 파괴 형태는 Si 칩과 Cu 칼럼 사이에 작용하는 압축 응력에 의해 Al 및 Ti 패드 층이 범프 바깥쪽으로 밀려남으로써 발생하였다.

## 참고문헌

1. J.H.Lau, *Flip chip technologies*, New York:McGraw-Hill, 1996.
2. V. S. Rao, V. Kripseph, Seung Wook Yoon, D. Witarsa, and A. A. O. Tay, "Bed of Nails-100 microns pitch wafer level interconnection process", *Electronic Packaging Technology Conference, 2004*, pp. 444-449.
3. Toshimi Kawahara, "SuperCSP", *IEEE Transactions on Advanced Packaging*, Vol.23, No.2, May 2000, pp.215.
4. H. Yamada, T. Tagasaki, K. Tateyama, and K. Higuichi, "Advanced Copper Column Based Solder bump



for Flip Chip Interconnection”, The *International Journal of Microcircuits and Electronic Packaging*, Vol.21, No.1, 1998, pp.15.  
S. S. Y. Jang, J. Wolf, W. S. Kwon, and K. W. Paik,

“UBM study for Pb-free electroplating bumping: Interface reaction and electromigration”, *Proceedings of the 52<sup>nd</sup> Electronic Components and Technology Conference*, p.1213-1222, 2002.