

## 리드 온 칩 패키징 기술을 이용하여 조립된 반도체 제품에서 패시베이션 파손을 막기위한 본딩패드의 합리적 설계

이성민\* · 김종범

인천대학교 신소재공학부

### Optimum Design of Bonding Pads for Prevention of Passivation Damage in Semiconductor Devices Utilizing Lead-on-Chip (LOC) Die Attach Technique

Seong-Min Lee\* and Chong-Bum Kim

Department of Materials Science & Engineering, University of Incheon, Incheon 402-749, Korea

**초록:** 본 연구에서는 리드-온-칩 패키징 기술을 이용한 반도체 제품에서 디바이스의 패드의 위치가 온도변화로 인한 신뢰성 문제에 대단히 중요하다는 것을 보여준다. 컴퓨터를 이용한 이론적 계산 및 실험을 통해 패시베이션 파손으로 대변되는 신뢰성 문제가 디바이스의 코너 부위에 위치한 패턴에서 가장 심하게 발생할 수 있다는 것을 보여준다. 따라서, 패시베이션 파손 등으로 인한 디바이스의 신뢰성 저하를 예방하기 위해서는 취약한 패드 부위는 디바이스의 테두리 부위 보다는 중앙부위에 위치하도록 설계하는 것이 바람직하다는 것을 본 연구에서는 지적하고 있다.

**Abstract:** This article shows that the susceptibility of the device pattern to thermal stress-induced damage has a strong dependence on its proximity to the device corner in semiconductor devices utilizing lead-on-chip (LOC) die attach technique. The result, as explained based on numerical calculation and experiment, indicates that the stress-driven damage potential of the passivation layer is the highest at the device corner. Thus, the bonding pads, which are very susceptible to passivation damage, should be designed to be located along the central region rather than the peripheral region of the device.

**Keywords:** silicon chip, lead-on-chip package, shear stress, crack, pad design

## 1. 서 론

일반적으로 반도체 칩은 실리콘 등의 세라믹 재질로 구성되어 있다. 그러나, 반도체 칩 상단의 미세한 회로를 외부의 가혹한 환경으로 부터 보호하고 반도체 칩을 전자제품에 효율적으로 장착하기 위해 패키징을 하게 된다. 이때, CPU 등 고가의 반도체 제품의 경우  $Al_2O_3$  등 세라믹 재질을 이용하여 패키징 하는 경우가 있지만, 일반 메모리 칩을

포함한 대부분의 반도체 제품은 에폭시를 모체로 한 프라스틱 재질(epoxy molding compound)을 이용하여 패키징 하게 된다. 이러한 프라스틱 패키징 몸체는 몰딩이 쉽고 반도체 칩을 외부의 스크래치나 화학적 공격으로부터 보호하는 기능은 좋으나, 실리콘 칩과의 과도한 물성차이로 인해 T.C. (thermal-cycling)와 같은 급격한 온도변화를 겪을 경우 칩 표면의 회로를 손상시키는 결과를 가져올 수 있다.<sup>1-4)</sup> 이러한 불량 발생을 예방하기 위해 프

\*Corresponding author  
E-mail: smlee@incheon.ac.kr

라스틱 패키지 몸체내에는 실리콘과의 물성차를 줄이기 위한 여러 가지 첨가재들이 들어가게 된다. 실리카와 같은 강화재가 대표적인 첨가재들이며, 이는 패키지 몸체의 강도를 향상시킬 뿐만 아니라 패키지 몸체의 열팽창계수를 낮추어 칩 표면의 회로손상을 막아주는 역할을 하게 된다. 그러나, 과도한 강화재의 사용은 자칫 몰딩의 어려움을 초래할 수 있어 이러한 노력에도 한계가 있다. 더욱이 반도체 칩의 메모리 용량이 계속적으로 증가하면서 회로의 선폭이나 보호막의 두께의 감소에 따른 칩 표면의 거칠기 등이 악화되면서 칩과 플라스틱 몸체 사이의 열팽창차이로 인한 회로 손상의 위험성은 항상 존재하게 된다.<sup>3)</sup> 따라서, 이에 대한 근본적인 해결책이 필요하며 그에 따라 본 연구에서 처럼 회로 설계방법 등 많은 연구가 진행되고 있다.<sup>1-2)</sup>

## 2. 실험방법

8인치 직경의 실리콘 웨이퍼에  $1\mu\text{m}$  두께의  $\text{SiO}_2$ 를 도포한 후 알루미늄을 이용한 금속배선을  $0.8\mu\text{m}$  두께로 스퍼터 공정에 의해 코팅하였다. Al 배선을 보호하는 역할을 수행하는 불활성 패시베이션 막질은 CVD(chemical vapor deposition) 기술을 이용하여 만들어진 SiN 박막으로  $0.4\mu\text{m}$  두께로 도포하였다. 통상 SiN 막질은 CVD에 의해 도포될 경우  $900^\circ\text{C}$  정도까지 재결정 없이 안정한 비정질 상태로 남아 플라스틱 패키징 구조에서는 수분흡수에 의한 금속 회로의 부식을 효과적으로 차단할 수 있기 때문에 가장 널리 쓰이는 보호막질이다. 본 연구에서는 패시베이션 막질의 신뢰성 검증을 위해 일반적으로 최종 응력 완충 역할을 수행하는 폴리이미드 층의 도포가 생략되었다.

실리콘 칩의 두께를  $200\mu\text{m}$ , 칩 면적은  $1.0 \times 2.0\text{cm}^2$ 의 크기로 준비하여 EMC(epoxy molding compound)를 이용하여 LOC(lead-on-chip) 형태로 조립하였다(Fig. 1 참조). LOC 구조는  $120\mu\text{m}$  두께의 리드 프레임 alloy 42를 이용하여 패키징 하였으며, 이때, 리드 프레임을 칩 위에 장착하기 위한 접

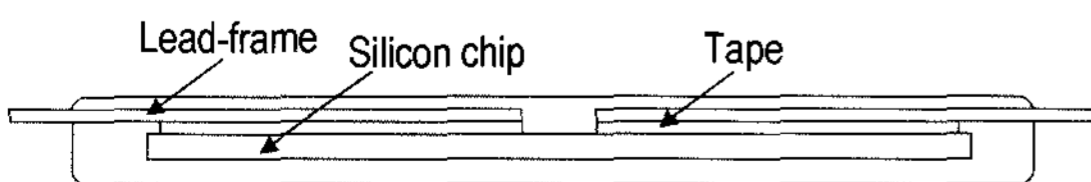


Fig. 1. Cross-sectional view of LOC package.

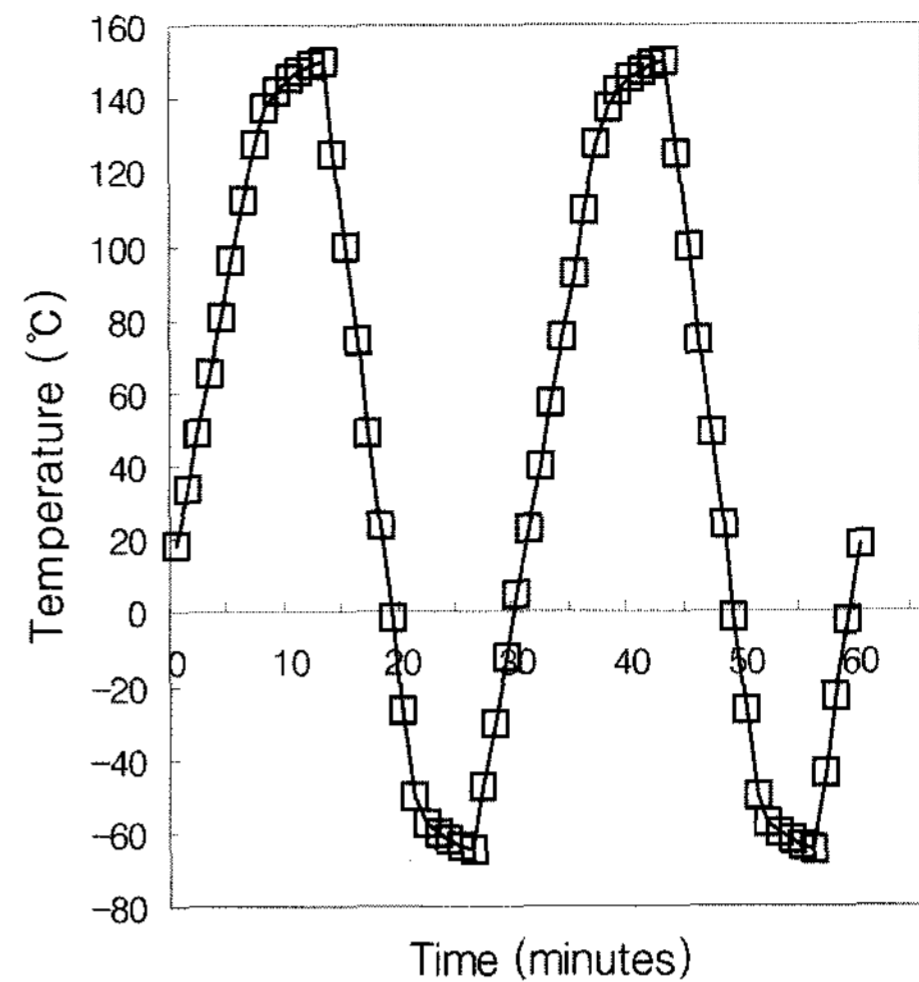


Fig. 2. Thermal-cycling profile.

착 테이프는 DSAT(double-sided adhesive tape) 형태를 갖도록 준비하였다.

신뢰성 실험은 패시베이션 균열에 가장 민감한 반응을 나타내는 T.C.(thermal-cycling)로 한정되어 실시하였다. 온도변화 실험은 1000 cycle까지 수행되었으며 실험 조건은 Fig. 2에 정리하였다. 온도변화 실험을 마친 시편들은 패키지 몸체를 KOH를 이용하여 제거한 후 불량발생 여부를 광학현미경을 이용하여 1차적인 조사를 실시하였고, 균열 발생이 많은 부위는 SEM(scanning electron microscope)을 이용하여 정밀 조사하였다. 또한, 실험결과의 타당성에 대한 고찰을 위해 위의 리드 온 칩 구조에 대한 FEM(finite element method)모델을 구성하여  $+150^\circ\text{C}$ 에서  $-65^\circ\text{C}$ 까지의 온도변화에 대한 칩 표면에 가해질 수 있는 전단응력(패시베이션 균열에 가장 민감한 응력성분) 변화를 계산하였다.<sup>2)</sup>

## 3. 실험결과

반도체 제품에서 패드의 테두리 부위는 회로를 보호하는 패시베이션 막과 폴리이미드 막이 오픈되어 있어 패키지 상태에서 실리콘 칩과 패키징 재질과의 열팽창계수 차이가 발생할 경우 온도변화 사이클이 진행되는 신뢰성 과정에서 대단히 취약하다. 본 연구에서는 이에 대한 검증을 위해 반도체 디바이스의 패드 설계시 리드 온 칩 패키지 구조상에서 칩표면에 가해질 수 있는 응력 분포

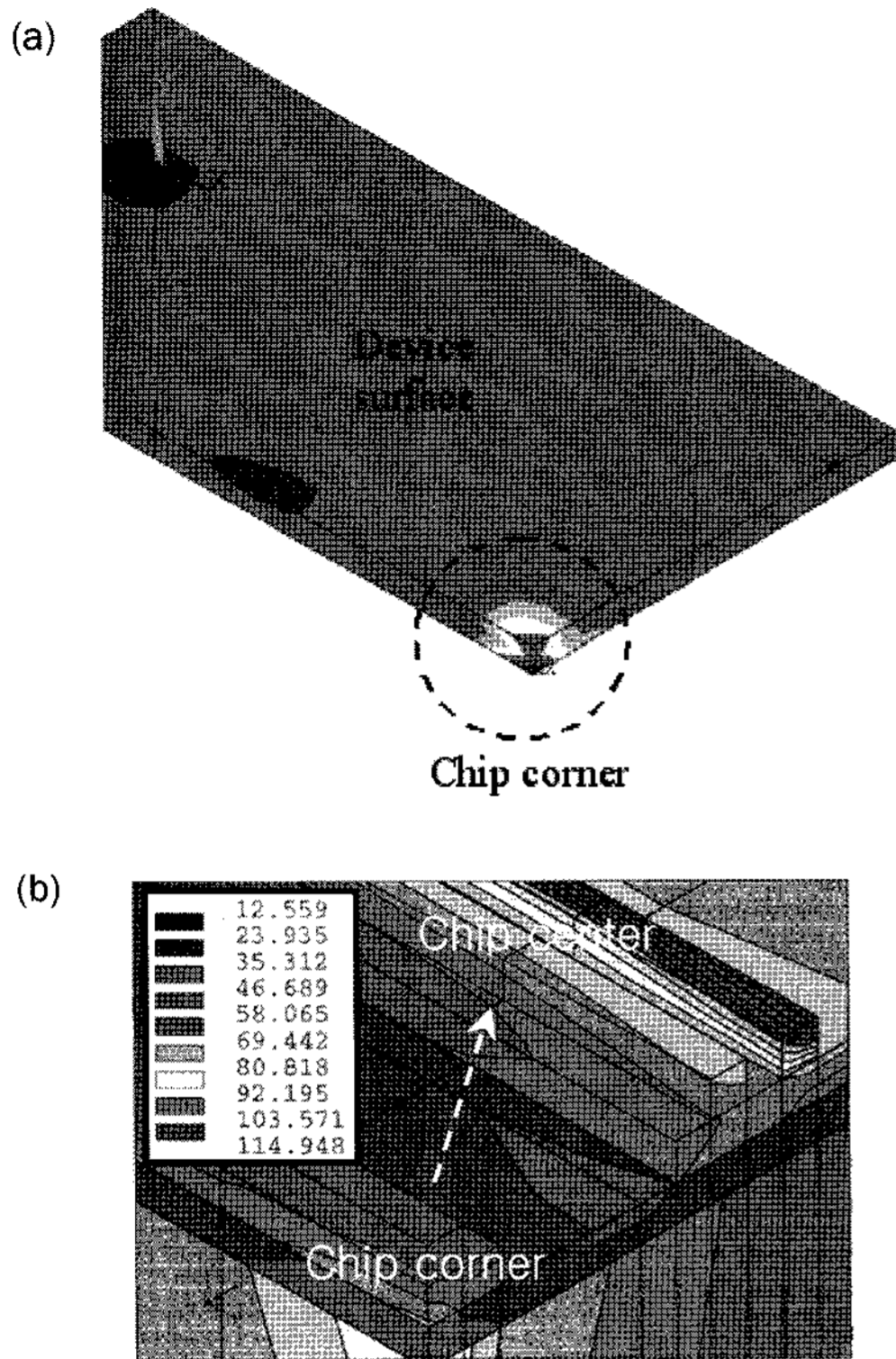


Fig. 3. FEM models for stress calculation: (a) one-quarter of chip and (b) chip corner.

를 FEM을 이용하여 계산하여 보았다. Fig. 3a는 실리콘 칩과 플라스틱 패키징 재질과의 열팽창 차이에 의해 칩 표면에 발생하는 전단응력을 계산하여 칩 표면 상에 응력분포를 나타낸 것이다. 칩이 중심부를 기준으로 완전 대칭적인 구조를 가지고 있기 때문에 본 그림에서는 칩의 1/4 정도에 해당하는 부위만을 나타내었다. 본 응력계산 결과에서 볼 수 있듯이 전단응력은 칩 코너 부위에서 가장 큰 값을 나타낸다는 것을 알 수 있으며, 칩 중앙 부위에 근접할수록 응력의 크기가 급속히 감소함을 알 수 있다. 상세한 응력분석 결과에서는 같은 칩 중앙 부위에서도 칩의 테두리 보다는 칩의 내부쪽으로 이동할 수록 전단응력의 값이 줄어든다는 것을 알 수 있었다.

Fig. 3b는 칩 코너 부위에서 회로를 보호하는 패시베이션 층이 여러 가지 형태의 모양을 가질 수 있다는 가정하에 칩 코너 부위에 가상의 패턴을 고려하여 응력계산을 한 결과를 보여주고 있다. Fig. 3b에서도 볼 수 있듯이 패턴이 존재하는 경우

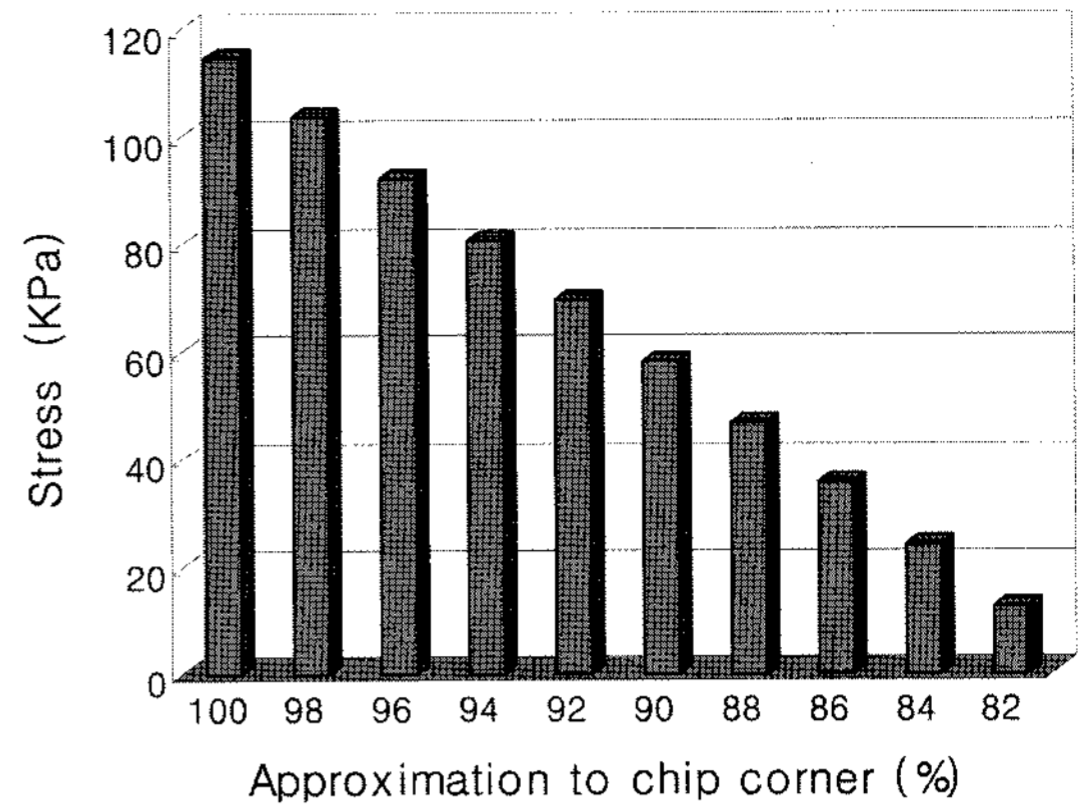


Fig. 4. Shear stress as a function of approximation distance to chip corner.

실리콘 칩과 패턴 사이의 경계면을 따라 전단응력이 집중되는 것을 알 수 있었다. 이는 패키징 재질의 과도한 열적 변형을 단단한 실리콘이 수용하지 못하기 때문이며, 패시베이션 처럼 단단한 막이 금속도선위에 존재할 경우 칩 표면에 전단응력이 더욱 과중된다는 것을 보여주는 것이다. 그 결과 패시베이션 막은 칩 표면에 가해지는 응력이 누적되어 임계치에 이를때 기계적으로 파손되는 것으로 해석할 수 있다. 특히, 패시베이션의 두께가 대단히 얇을 경우 더욱 쉽게 균열을 일으키게 되며, 일단 패시베이션의 균열이 일어나면 해당 부위의 회로가 급속히 변형되면서 최종적인 불량발생을 일으키는 것으로 판단된다. Fig. 4는 Fig. 3b에서 제시된 계산 결과를 그래프 상에 나타낸 것으로 패드의 위치가 칩 코너에서 20%만 벗어나도 칩 표면에 가해지는 전단응력을 10배 이상 줄일 수 있다는 것을 보여준다.

이러한 응력 해석 결과를 근거로 하여  $-65^{\circ}\text{C}$ 에서  $+150^{\circ}\text{C}$ 까지의 온도변화 실험을 실시하여 칩 표면 위 패시베이션의 균열이 칩 표면의 어떠한 부위에서 주로 발생하는 지에 대한 실험이 실시되었다. 본 연구는 실험을 목적으로 실시하였기에 실질적인 반도체 제품에서 사용하는 최종 폴리이미드 보호막이 제거된 상태에서 실시되어 칩 표면에 많은 부위에 패시베이션 균열이 발생할 수 있도록 유도하였다. Fig. 5는 칩 코너에 인접한 칩 테두리 부위에서 1000 cycles 후에 발견된 패시베이션 균열을 보여준다. 기본적으로 패시베이션 자체가 SiN으로 구성된 대단히 취성이 큰 재질이므로 균

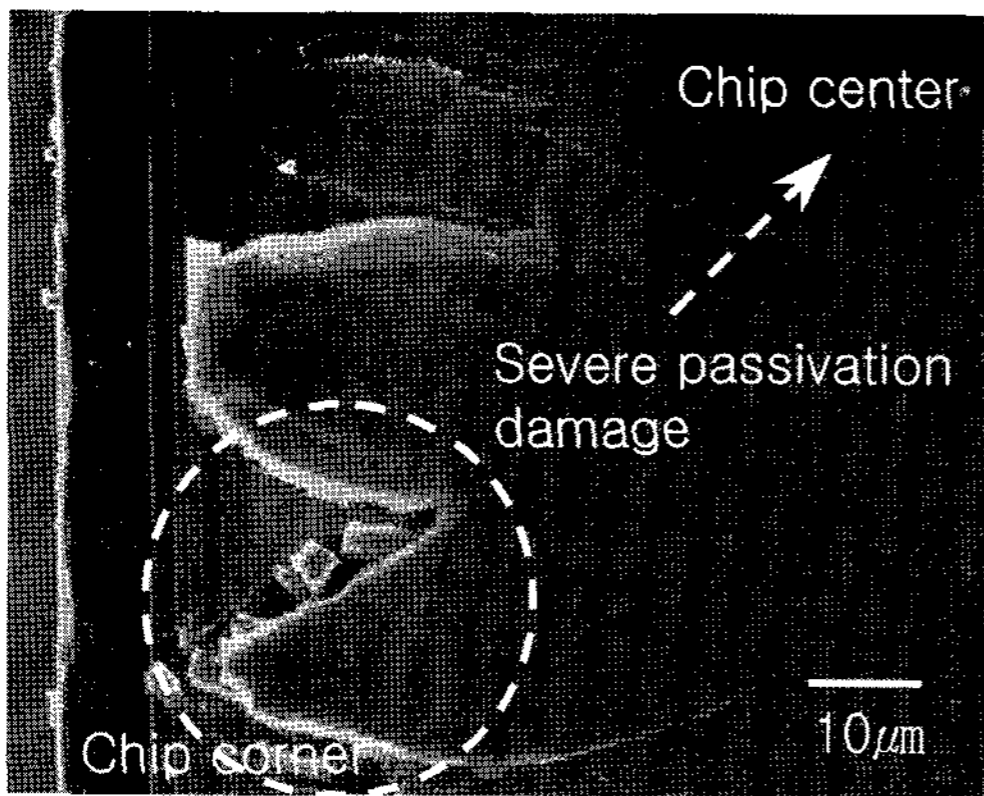


Fig. 5. SEM micrograph showing passivation damage on device surface.

열에 쉽게 노출되며, 특별히, 회로의 단차진 부위에 위치할 경우 응력집중 현상이 심화되어 균열의 정도가 클 수 있다는 것은 쉽게 예상되었던 사안이다. 본 연구에서 회로의 단차가 있는 부위에서는 매우 심한 패시베이션 균열을 확인할 수 있었지만, 칩 중앙부위에서는 패시베이션의 균열이 거의 발견되지 않았다. 심지어는 칩 중앙에서는 테두리 부위에서도 패시베이션 균열의 빈도가 매우 낮은 것을 확인할 수 있었다. Fig. 5는 1000 cycles까지의 테스트 후 칩 중앙 부위에서는 패시베이션 균열이 거의 발생하지 않았다는 것을 보여주고 있다.

따라서, 본 연구에서 응력해석과 실험을 통해 가장 안전한 패드의 위치는 Fig. 6(a) 보다는 Fig. 6(b)에서 제시된 패드의 위치가 패시베이션 손상을 최소화 할 수 있는 설계방법이라는 결론을 얻을 수 있었다. Fig. 6에서 점선으로 표시된 부위는 리드 프레임 접착을 위해 이용되는 테이프의 위치를 표시한 것이다. 패키징 재질 중 가장 열팽창 계수 값이 큰 리드 프레임 접착 테이프(즉, 플라스틱 몰딩 재질 보다 테이프의 열팽창 계수값이 약 3배 정도 큼)이 칩 표면에 발생하는 전단응력의 크기에 또 다른 영향을 미칠 수 있기 때문에 이에 대한 고려가 필수적이며, Fig. 6(a)와 (b)에서는 같은 리드 프레임 테이프를 가정하여 패드의 위치를 디자인 하였다. 결론적으로 응력 해석결과만을 볼 때, 패드의 위치는 칩 코너 및 테두리 부위를 벗어난 중앙부위에 위치하는 것이 플라스틱 패키징 몸체의 급속한 변형으로 인해 가해지는 패시베이션 균열의 원인이 되는 전단응력을 줄일 수 있는 설계 방안이라는 것을 알 수 있다.

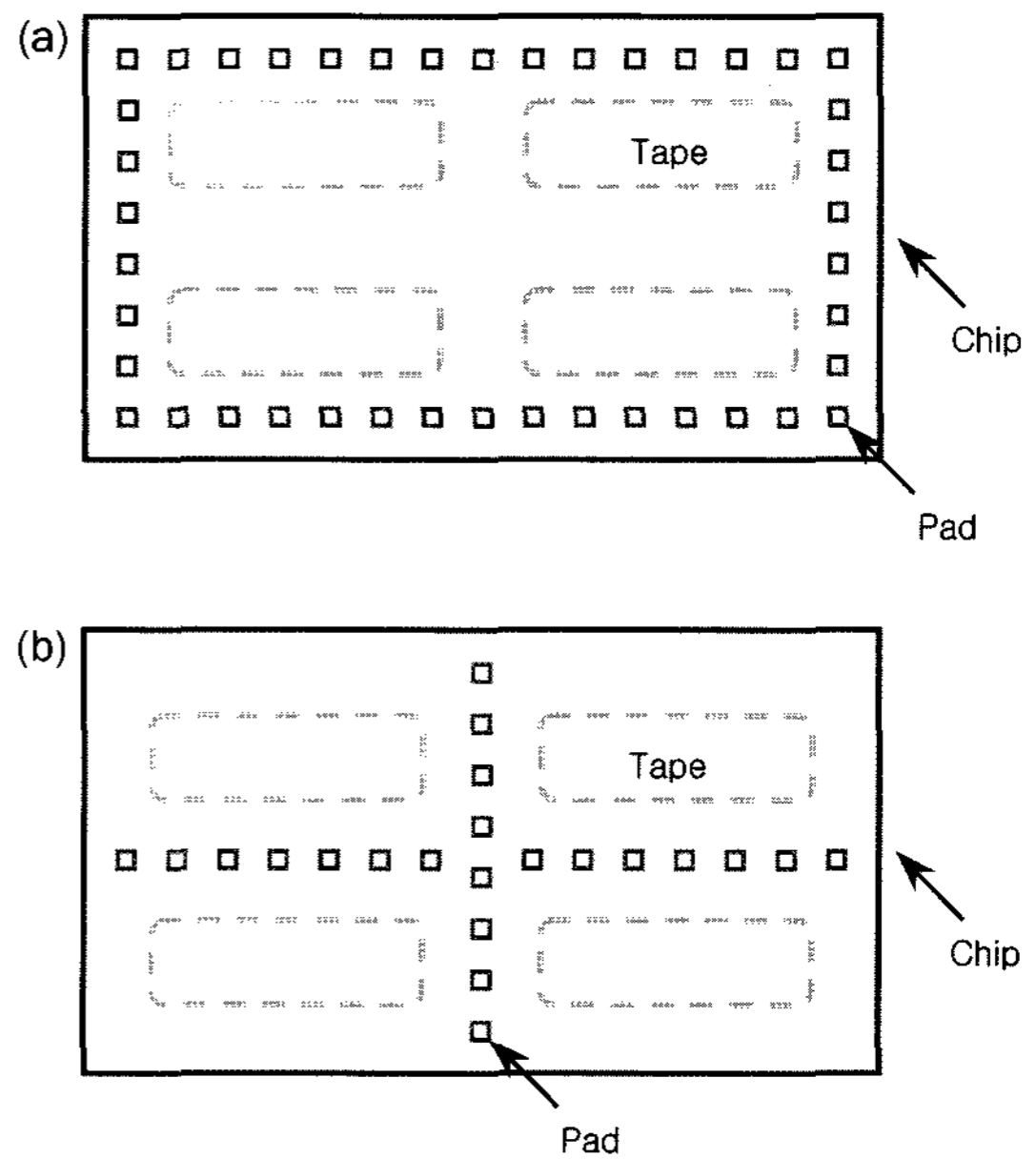


Fig. 6. Pad location on device surface: a) peripheral design, and b) central design.

### 4. 고 찰

이론적으로 +150°C에서 -65°C까지의 온도변화에 의해 칩 표면에 발생하는 열팽창 변위에 의해 발생하는 응력 중 전단응력에 대한 해석은 다음과 같다.<sup>2)</sup> 즉, 2개의 서로 다른 물성을 가진 두꺼운 재질의 열팽창 차이에 의해 중간의 박막이 받게 되는 전단응력;

$$\tau = \frac{(\alpha_1 - \alpha_2)TG \sinh \beta x}{\left[ t \sqrt{\frac{G}{t} \left( \frac{1}{E_1 t_1} + \frac{1}{E_2 t_2} \right)} \right] \cosh \beta L} \quad (1)$$

where,

$x$  = distance from the chip center

$L$  = package dimension

$(\alpha_2 - \alpha_1)$  = difference in thermal expansion coefficient between two thick layers

$E_1$  = elastic modulus of upper layer

$E_2$  = elastic modulus of lower layer

$t_1$  = thickness of upper layer

$t_2$  = thickness of lower layer

$t$  = thickness of interlayer

$G$  = shear modulus of interlayer

$T$  = temperature

$$\beta = \sqrt{\frac{G}{t} \left( \frac{1}{E_1 t_1} + \frac{1}{E_2 t_2} \right)}$$

식 (1)에서 두 개의 두꺼운 층에 의해 중간의 박막에서 받게 되는 최대의 전단응력은 다음과 같은 관계식으로 나타낼 수 있다. 즉,  $x \rightarrow L$ 일 때, 전단응력은 최대가 되며 그때의 응력 값은 다음과 같다.

$$\tau_{max} = \frac{(\alpha_1 - \alpha_2)TG \tanh \beta L}{\left[ t \sqrt{\frac{G}{t} \left( \frac{1}{E_1 t_1} + \frac{1}{E_2 t_2} \right)} \right]} \quad (2)$$

where  $L$  = package dimension and  $\tanh \beta L \approx 1$

식 (2)에서 볼 수 있듯이 실리콘 칩과 프라스틱 패키지와 여러 가지 물성차이에 의해 칩 표면의 패시베이션에서 받게되는 전단응력이 칩의 위치 ( $L$ )에 상당히 민감하게 의존한다는 것을 알 수 있다. 특히, 식 (2)의 상층 (layer 1)이 프라스틱 재질이 아닌 리드 프레임 테이프를 대입할 경우 최대 전단응력 값은 열팽창 계수의 차이 만큼 커질 수 있다는 것을 추론할 수 있다. 결국, 칩의 테두리 부위 특히, 코너 부위에 취약한 패드가 위치해 있고 리드 프레임 테이프가 근접해 있을 경우 대단히 큰 전단응력이 집중되어 패시베이션 균열의 위험성이 매우 높다는 것을 알 수 있다. 이는 FEM을 이용한 전단응력 계산결과나 실험적 분석 결과와 일치하는 것으로 회로 설계시 패드의 위치는 칩의 코너와 테두리 부위는 가급적 피하여 설계하여야 하며 리드 프레임의 설계시에도 테이프가 이들 부위에 너무 인접하지 않도록 설계하여야 한다는 것을 알 수 있다.

## 5. 결 론

FEM을 이용한 응력계산, 실험적 분석 및 이론적 검토를 통해 리드 온 칩 패키지 구조상에서 칩 테두리 특별히, 코너 부위에 위치한 패드는 프라스틱 패키지의 심한 열적 변형으로 발생하는 전단응력에 의해 손상 될 가능성이 매우 높다는 것을 알 수 있었다. 따라서 회로의 설계시에는 패드의 위치를 가급적 중앙에 가까운 위치에 배치하도록 설계하여야 한다는 것을 본 논문에서는 보여준다. 또한, 리드 프레임을 칩 위에 부착하기 위해 필요한 테이프는 접착력을 유지할 정도의 최소 면적만 이용하여야 하며, 특별히 테이프의 끝 부위가 패드에 인접하지 않도록 제작되어야 한다는 것을 간접적으로 확인할 수 있었다.

## 참고문헌

1. S. M. Lee, "The Dependence of Thermal-Cycling-Induced Failure Mechanism on Topological Feature of Passivated Metallic Conductors in Plastic-Encapsulated Microelectronic Devices", IUMRS-ICA-2006, September 10 (2006).
2. S. M. Lee, "Dependence of Thermal-Cycling-Induced Deformation on Passivation Morphology in Plastic-Encapsulated Microelectronic Devices", Japanese Journal of Applied Physics, Vol. 45, No. 10A, 7677-7679 (2006).
3. S. M. Lee, "Thermomechanical Stability of Memory Package with LOC Structure", Metals & Materials International, Vol. 11, No. 1, 89-93 (2005).
4. S. M. Lee, "Filler-Induced Failure Mechanism in Plastic-Encapsulated Microelectronic Packages", Metals & Materials International, Vol. 12, No. 6, 513-516 (2006).