

고면저항 에미터 결정질 실리콘 태양전지의 전면전극 접촉저항 분석

안준용*, 정주화, 도영구, 김민서, 정지원**

Contact Resistance Analysis of High-Sheet-Resistance-Emitter Silicon Solar Cells

Jun Yong Ahn*, Ju Hwa Cheong, Young-Gu Do, Min-Seo Kim and Ji-Weon Jeong**

Abstract

To improve the blue responses of screen-printed single crystalline silicon solar cells, we investigated an emitter etch-back technique to obtain high emitter sheet resistances, where the defective dead layer on the emitter surface was etched and became thinner as the etch-back time increased, resulting in the monotonous increase of short circuit current and open circuit voltage. We found that an optimal etch-back time should be determined to achieve the maximal performance enhancement because of fill factor decrease due to a series resistance increment mainly affected by contact and lateral resistance in this case. To elucidate the reason for the fill factor decrease, we studied the resistance analysis by potential mapping to determine the contact and the lateral series resistance. As a result, we found that the fill factor decrease was attributed to the relatively fast increase of contact resistance due to the dead layer thinning down with the lowest contact resistivity when the emitter was contacted with screen-printed silver electrode.

Key words

Single crystalline silicon solar cell(단결정 실리콘 태양전지), High sheet resistance emitter(고면저항 에미터), Emitter etch-back(에미터 에치백), Contact resistance(접촉저항)

(접수일 2008. 6. 3, 수정일 2008. 6. 15, 게재확정일 2008. 6. 19)

* LG 전자 Solar Cell 사업팀 R&D 그룹

■ E-mail : ahnjy@lge.com ■ Tel : (042)870-6431 ■ Fax : (042)861-2585

** LG 전자 Solar Cell 사업팀 R&D 그룹

■ E-mail : jiwjeong@lge.com ■ Tel : (042)866-5818 ■ Fax : (042)861-2585

Nomenclature

FSRV : front surface recombination, cm/s

IQE : internal quantum efficiency, %

Jsc : short circuit current density, A/cm²

Voc : open-circuit voltage, V

FF : fill factor, %

Eff : energy conversion efficiency, %

PECVD : plasma-enhanced chemical vapor deposition

SDE : saw damage etching

BSF : back surface field

AM1.5 : air mass 1.5, 100 mW/cm²

1. 서론

고효율 결정질 실리콘 태양전지 제조에 있어서 높은 면저항(R_s) 및 낮은 표면 불순물(dopant) 농도를 지니는 에미터 형성은 고농도의 n-type 불순물 인(P: Phosphorous)의 확산에 의한 재결합 손실, 특히 표면 재결합 속도(FSRV)의 감소를 유도할 수 있기 때문에 상기 태양전지의 단파장 수집 효율(IQE) 개선 및 단락 전류(J_{sc}) 향상, 그리고 재결합 감소에 따른 개방 전압 개선으로 태양전지 에너지 변환 효율을 상당 부분 개선시킬 수 있다. 상기와 같은 재결합 감소를 통한 효율 개선을 위해서는 에미터 표면에 존재하는 데드 레이어(dead layer)⁽¹⁾, 즉, 고체 용해도 이상으로 P가 존재하는 표면 영역의 축소와 근본적으로 얇은 n-type 에미터(shallow emitter)의 형성이 필수적이다.

위와 같은 고면저항 에미터는 불순물 확산공정의 조정을 통해 손쉽게 획득가능하나 60 Ω/\square 이상의 shallow emitter에 있어서 일반적인 양산 제조공정인 screen-printing 법에 의한 전면 전극 형성 시 접촉 저항 증가에 따른 충실도(FF) 감소 문제가 발생한다. 이를 극복하기 위해 많은 연구 그룹에서 불순물 농도 분포, 전면 전극 설계, 특히, 전면 전극 형성을 위한 Ag paste 및 후속 열처리 공정에 대한 최적화를 시도하였으나, 100 Ω/\square 이상의 고면저항 에미터에서 효율 향상을 성공한 그룹은 많지 않다.⁽²⁾ 이는 screen-printed Ag 전면 전극과 태양전지 에미터의 전기적 접촉 현상이 아직도 충분히 규명되지 않고 있기 때문이기도 하다. 한편, 상기와 같은 고면저항 에미터 형성을 위해 시도될 수 있는 대안적인 기술로 에미터 에치백(emitter etch-back)이 있으며, 이 기술은 양산 기준인 $\sim 50 \Omega/\square$ 에미터의 표면 dead layer만을 식각하여 고면저항 에미터를 형성하는 매우 단순한 공정 기술이다.⁽³⁾ 이미 최적화된 에미터 및 후속 공정, 전면 전극 설계를 그대로 이용할 수 있어 양산 공정 적용이 용이한 장점이 있다.

본 연구에서는 고면저항 에미터 형성을 위한 습식 etch-back 공정의 최적화를 통해 일반적인 양산 제조공정인 screen-printing법을 기반으로 제작되는 단결정 실리콘(c-Si) 태양전지의 단파장 수집 효율 향상 및 이를 통한 효율 향상을 시도하였으며 제작된 태양전지의 특성 분석을 통해 고면저항 에미터의 FF 손실 원인, 특히 식각되는 dead layer 두께에 따른 접촉저항 증가 현상을 규명하고자 하였다.

2. 실험 및 분석방법

태양전지 제작을 위해 붕소(B) 도핑된 Deutsche Solar Inc.의 Solar grade CZ(Czochralski) 단결정 실리콘 웨이퍼(두께: $\sim 240 \mu\text{m}$, 비저항: 0.5–2.0 Ωcm , 면적: $125 \times 125 \text{ mm}^2$)를 사용하였다. 현재 양산 표준인 screen printing을 기반으로 자체 개발된 제조 공정을 이용하여 태양전지를 제작했으며, 본 제조 공정은 산을 이용한 초기 웨이퍼의 습식 표면 결합 제거(SDE), 에미터 생성을 위한 고온 확산 공정(POCl_3 diffusion), 플라즈마 화학기상증착법(PECVD)을 통한 표면 결합 보상 및 반사 방지용 질화막(SiNx:H) 증착, screen printing을 통한 전면 Ag 전극 및 후면 Al 전극 paste 전사, 마지막으로 전면 전기적 접촉(Ohmic Contact) 및 후면 전계(BSF)형성을 위한 열처리(Firing) 공정으로 구성된다. 본 연구에서는 전/후면 전극 형성을 위해 일반적인 양산공정 시 사용되는 Ag 및 Al paste를 사용하였다.

고면저항 에미터 형성을 위한 etch-back 공정은 확산 공정 직후 수행되었으며, 식각액은 질산(HNO_3)과 불산(HF)으로 구성되며 균일하고 느린 식각을 위해 질산 과다 조성(부피비 100:1 이상)을 선택하여 38°C에서 수행하였다. Etch-back 후 에미터 R_s 를 4-point probe를 이용하여 측정하였다. 본 연구에서는 측정된 R_s 변화를 통해 etch-back 중 식각된 두께를 간접적으로 추출하였다(2.1 절).

제작된 태양전지 특성 평가는 태양광 모사기를 통해 Global AM1.5 100 mW/cm^2 표준 조건에서 수행하였다. 정확한 효율 평가를 위해 NREL(National Renewable Energy Lab)에서 검증된 2차 기준 태양전지를 이용하여 태양광 모사기의 광원 세기를 조정하였다. FF 감소를 유발하는 기생 직렬 저항 추출을 위해 Sun's Voc⁽⁴⁾ 법을 이용하였고, 기생 직렬 저항의 한 요소인 전면 전극의 접촉저항 평가를 위해 Corescan⁽⁵⁾을 통해 빛 조사 중 위치별 전면 표면전위를 측정 분석하였다(2.2 절).

2.1 Etch-back 중 식각 두께 결정

Etch-back 중 식각되는 에미터 표면 두께는 수십 nm 수준의 매우 얇은 두께로 SDE 후 수 μm 수준의 요철을 보이는 웨이퍼 표면에서 직접 측정해내는 것은 매우 어렵다. 본 연구에서는 etch-back 후 증가하는 R_s 를 통해 식각된 두께를 간

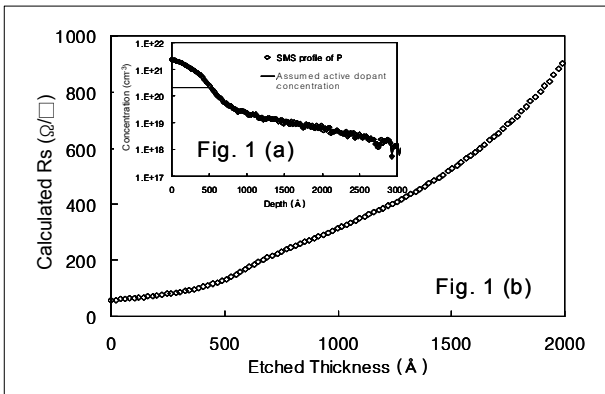


Fig. 1 (a) 50 Ω/□ 에미터의 불순물 P에 대한 SIMS 결과
(b) Etch-back 중 식각 두께에 따른 Rs 변화

접적으로 추출하였다.

Fig. 1(a)은 본 연구의 확산 공정 후 표준 50 Ω/□ Rs에 대응되는 에미터의 SIMS(Secondary Ion Mass Spectroscopy) 결과이다. P의 결정질 실리콘 내부에서 태양전지 확산 온도 ~ 830°C의 고체 용해도는 ~ 2×10²⁰cm³이기 때문에 n-type 운반자(carrier) 전자를 생성하여 전기 전도도에 기여하는 활성화된 불순물 농도는 Fig. 1에서와 같이 고체 용해도로 제한된 실선으로 근사할 수 있다. 이를 근거로 계산된 Rs가 측정된 50 Ω/□과 일치했으며 이는 위 근사의 타당성을 확인해 준다. 한편, 고체 용해도 이상의 불순물이 존재하는 두께 ~ 500 Å까지를 높은 재결합 손실을 유발하는 에미터 dead layer라 정의했다. 상기와 같이 가정된 활성화된 불순물 농도를 근거로 식각 두께에 따른 Rs 변화를 계산하였다 (Fig. 1(b)).⁽⁶⁾

본 연구에서는 상기와 같은 계산을 통해 얻은 Fig. 1(b)를 근거로 etch-back 후 측정을 통해 획득한 증가된 Rs 값에 대응되는 식각 두께를 확인하여 간접적으로 식각 두께를 추출하였다.

2.2 접촉저항 추출

고면저항 에미터 적용은 기생 직렬저항 증가에 따른 FF 감소를 유발한다. 이는 에미터 Rs 증가로, 표면을 따라 흐르는 광전류로 인해 발생하는 측면 기생 직렬저항 성분(Rs lateral) 및 전면 전극과의 접촉저항(Rc) 성분이 증가하기 때문이다. etch-back 중 식각되는 에미터 표면 두께 증가로 증가하는

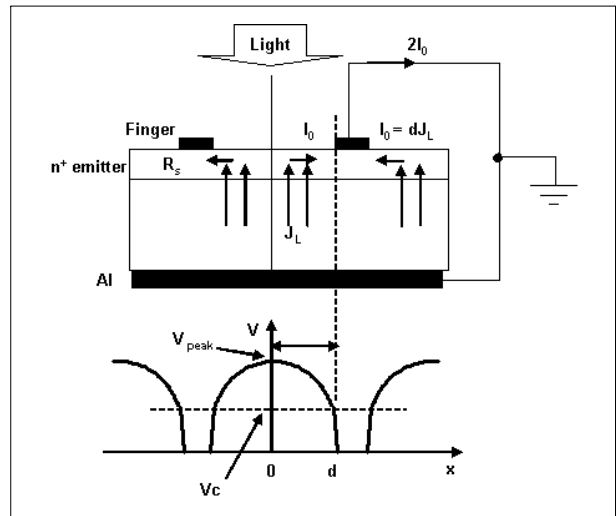


Fig. 2 Corescan 측정 시 단락 상태의 태양전지 광전류 흐름 및 위치별 표면 전위

전체 기생 직렬저항에서 상기 성분들을 각각 추출해 내고자 하였다. 이는 단락 상태에서 빛(~ 0.9 sun)을 조사하며 위치별 표면 전위를 측정하는 Corescan(SunLab BV 社)을 통해 수행하였다.

Fig. 2에서 Corescan을 통해 측정되는 이론적인 위치별 표면 전위 및 측정 시 태양전지 광전류 흐름에 대한 간단한 개념도를 도시하였다. Finger는 전면 전극, 2d는 전극간 거리, J_L은 단위 면적당 생성되는 광전류, I₀는 Finger 한 측면으로 수집되는 광전류이다. V_{peak}는 측정되는 표면 전위 중 가장 높은 값에 대응된다. Fig. 3에서처럼 전위형태는 R_{s lateral}에 의한 2차 포물선 형태 및 Rc로 인한 전극 경계에서의 급격한 전위 변화(V_c)로 구성된다. 각각의 전위성분 크기는 식 (1), (2)로 표현 된다.⁽⁵⁾

$$V_c = 2I_0 R_c = 2dJ_L R_c \quad [V] \quad (1)$$

$$V_{peak} - V_c = \frac{1}{2} J_L R_s d^2 \quad [V] \quad (2)$$

식 (1)은 V_c를 통해 Rc를 추출할 수 있음을 보이고 있으며, 측정되는 V_{peak} 및 Rs로부터 식 (2)를 이용하여 V_c를 추출할 수 있다. J_L은 30mA/cm²로 고정한다.

일반적으로 기생 직렬저항은 단위면적에 대한 값으로 정규화하여 비교하며 이렇게 정규화한 측면 기생 직렬저항(r_{s lateral}) 및 접촉저항(r_{s contact})은 위 두 전위성분을 이용하여 식 (3), (4) 같이 표현할 수 있다.^(5,7)

$$r_{s\ contact} = \frac{V_c}{J_L} \quad [\Omega\text{cm}^2] \quad (3)$$

$$r_{s\ lateral} = \frac{2(V_{peak} - V_c)}{3 J_L} \quad [\Omega\text{cm}^2] \quad (4)$$

본 연구에서는 Corescan 및 4-point probe를 통해 V_{peak} 및 R_s 를 측정하고 식 (2), (3), (4)를 이용하여 각각의 정규화된 기생 직렬저항 성분들을 추출하였다.

3. 결과 및 토의

Fig. 3은 etch-back으로 구현된 고면저항 에미터가 적용된 c-Si 태양전지의 etch-back 시간에 따른 특성 변화를 보여 준다. Table 1에 정리한 것 처럼 etch-back 시간이 증가하면서 R_s 또한 초기 $50\Omega/\square$ 에서 $76\Omega/\square$ 까지 증가하고 있다. 이러한 에미터 면저항 증가와 함께 태양전지 V_{oc} 및 J_{sc} 값 또한 단조 증가하고 있다. 원인은 에미터 dead layer 두께 감소로 인한 FSRV 감소로 표면 재결합 손실이 축소되었기 때문이며 Fig. 4의 단파장 영역의 광 수집효율 증가로 확인된

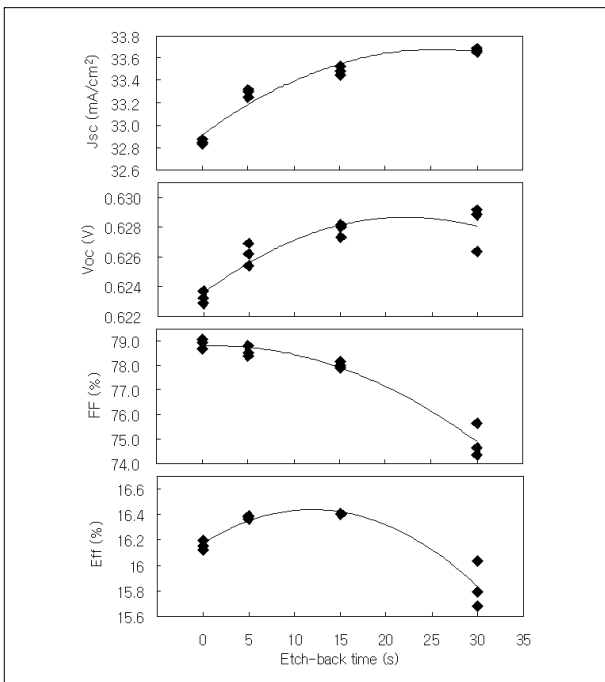


Fig. 3 Etch-back 시간에 따른 결정질 실리콘 태양전지 특성 변화

다. 측정된 상기 수집효율 및 PCID를 이용하여 대응되는 FSRV를 추출하여 보았으며, 초기 $\sim 10^5\text{cm/s}$ 수준에서 $\sim 10^4\text{cm/s}$ 수준으로 감소하여 확인된 태양전지 특성 개선과 잘 일치하였다. 이러한 특성 개선은 전형적인 고면저항 에미터 적용으로 나타나는 효과와 일치하며 이는 본 연구에서 선택한 etch-back 방식의 screen printing 기반 양산 제조 공정으로서의 적용 가능성을 보여 준다.

한편, FF는 etch-back 시간 증가 즉, R_s 증가와 함께 지속적으로 감소하고 있으며 감소 속도는 점점 증가하고 있다. 이로 인해 가장 큰 효율 개선이 발생하는 시간은 가장 높은 V_{oc} , J_{sc} 를 보이는 30 초가 아니라 FF 감소가 그 시간까지 비교적 크지 않고 보다 짧은 시간인 15 초에서 발생했다. 결과적으로 etch-back을 적용하지 않은 태양전지와 비교하여 절대 효율 기준 최고 0.3%의 효율 개선을 확인할 수 있다.

효율 개선 폭 증가를 위해서는 더 높은 J_{sc} , V_{oc} 를 보이는 높은 R_s 에서, 대응되는 FF의 감소 폭을 줄여야 하며 이를 위해서는 높은 R_s 에서의 FF 감소원인 파악이 선행되어야 한다. 높은 R_s 에서의 FF 감소는 알려진 바와 같이 $r_{s\ lateral}$ 및 $r_{s\ contact}$ 증가가 원인이며 두 성분 중 더 큰 영향을 미치는 성분을 파악하기 위해 2.2절에서 소개한 분석 방법을 이용하여 두 기생 직렬저항 성분을 분석하였다.

Fig. 5는 측정된 표면 전위들이다. Etch-back 시간에 따라 V_{peak} 값이 증가하고 있음을 볼 수 있다. Fig. 5에서 알 수 있듯이 2.2절에서 언급된 두 전위 성분의 경계가 모호하여 V_c 를 측정된 전위 곡선에서 바로 결정하기가 어려우며 소개한 바와 같이 측정된 R_s 를 통해 간접적으로 결정하였다. Table 1에, V_c 결정을 위해 이용되는 V_{peak} 및 R_s 로부터 2.1절에 따라 결정된 식각 두께를 정리하였다.

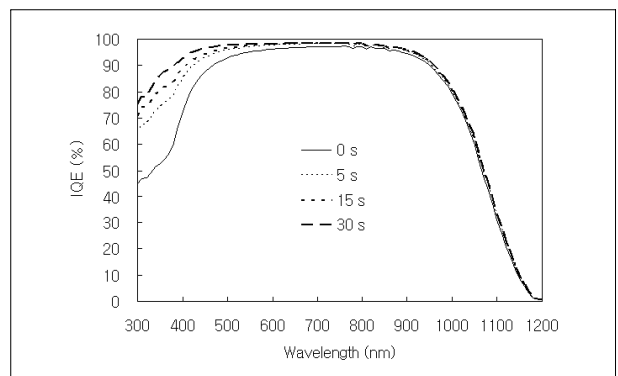


Fig. 4 Etch-back 시간에 따른 내부 광수집효율 변화

Table 1. Etch-back 시간에 따른 Rs, Vpeak, 식각 두께

Etch-back 시간 (s)	Rs (Ω/\square)	V _{peak} (mV)	식각 두께 (nm)
0	50	13	0
5	56	16	8
15	63	20	16
30	76	32	28

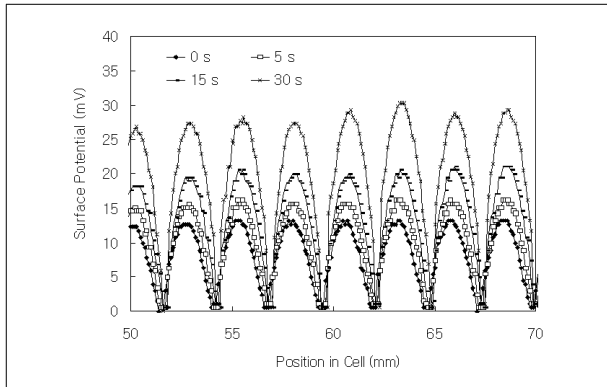


Fig. 5 Etch-back 시간에 따른 Corescan으로 측정된 위치별 표면 전위 곡선

Table 1에서 식각 두께는 etch-back 시간의 30 초까지의 증가에 따라 28nm까지 증가하며, 초기 ~ 50nm의 dead layer 두께를 고려할 때 본 실험의 etch-back 공정 후에도 dead layer가 잔류하며 etch-back 시간 증가와 함께 그 두께가 감소하고 있음을 알 수 있다.

Fig. 6은 2.2절의 저항 분석으로부터 얻어진 각각의 기생 직렬저항 성분을 보여 준다. Sun's Voc 법으로 얻어진 전체 기생 직렬저항이 etch-back 시간과 함께 증가하고 있으며 FF 감소 양태와 동일하게 etch-back 시간 증가와 함께 증가 폭이 커지고 있다. 한편, 전체 기생 직렬저항의 주요 성분인 $r_{s\ lateral}$ 및 $r_{s\ contact}$ 의 변화는 차이를 보이며 후자의 경우 FF 변화와 일치하여 시간에 따라 급격한 증가 경향을 보이고 있다. 심지어 30 초에서는 초기 매우 작은 값을 보이던 $r_{s\ contact}$ 가 $r_{s\ lateral}$ 보다 큰 값으로 측정된다. 따라서 FF 감소의 주요 원인은 etch-back 시간에 따른 $r_{s\ contact}$ 의 급격한 증가라 할 수 있다.

이러한 접촉저항의 etch-back 시간에 따른 증가 경향은 위에서 언급된 감소하는 dead layer 두께와 전면 전극으로서 전사된 Ag paste의 firing 후 전기적 접촉 구조로 설명된다. Ag paste는 firing 중 소결되어 금속 전극을 형성하는데 에미터와의 경계에 glass frit으로 구성된 절연층이 형성된다. 한편, firing 후 빠른 냉각 과정에서 glass frit에 용해되어

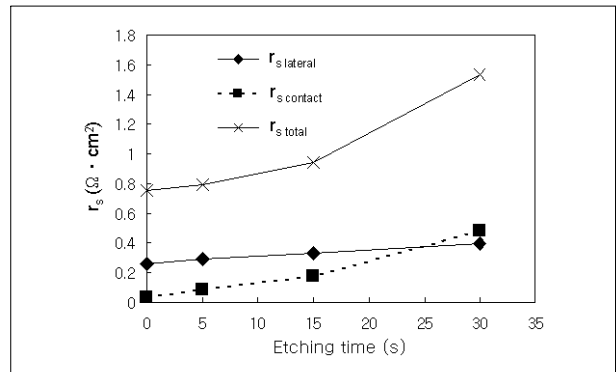


Fig. 6 Etch-back 시간에 따른 기생 직렬저항 변화

있던 Ag가 재결정화 되어 ~ 수백 nm 크기의 알갱이를 형성하며 이 Ag 구조가 에미터와 상부 금속사이의 전기적 통로 역할을 하게 된다.⁽⁸⁾ 이러한 Ag 구조는 에미터 내부로 ~ 200nm 까지도 침투하는 것이 보고 된다. 이로 인해 Ag 구조가 접하는 도핑 농도는 dead layer의 $2 \times 10^{20} \text{cm}^{-3}$ 에서 하부 $\sim 10^{19} \text{cm}^{-3}$ 에 이른다. 금속과 고농도 도핑된 반도체 간 접합에서 전기 전도는 터널링(Tunneling)⁽⁹⁾에 의해 발생되며 도핑 농도에 크게 의존하기 때문에 가장 높은 농도를 지니는 dead layer와 Ag 구조의 접합면만이 주요 전기적 도통로 (electrical conduction path)를 형성할 것이다. 또한, 이러한 접촉면의 크기는 전면 전극의 전체 접촉저항과 역수적인 관계를 보이게 된다. 따라서 etch-back 시간의 증가로 dead layer가 식각되어 얇아지면 위에서 설명한 접촉면적의 감소로 접촉저항이 증가하게 되고 역수적인 관계에 의해 Fig. 6에서와 같이 식각 두께 증가에 따라 더욱 더 빠른 증가를 보이게 된다.

위의 논의를 바탕으로 접촉저항 감소를 통한 FF 감소 축소를 유도하기 위해서는 표면 재결합 손실 축소 관점과 반대로 어느 정도 두께 이상의 dead layer가 필요함을 알 수 있다. 따라서 단순한 etch-back 공정적용보다 선택적 에미터(selective emitter) 방식, 즉 금속 전극과의 접합 부분에서만 높은 도핑농도를 유지하는 방식의 결합을 통해 더욱 개선된 효율을 확보할 수 있을 것이다.

4. 결론

본 연구에서는 양산공정인 screen printing을 기반으로 한 결정질 실리콘 태양전지의 표면 재결합손실 축소에 의한 효율 향상을 위해 습식 etch-back으로 구현되는 고면저항에

미터를 적용하였으며 0.3%의 절대 효율 향상을 달성하였다. Etch-back 시간에 따른 급격한 FF 감소는 이 방식으로 획득되는 효율 향상을 제한하며 이는 dead layer 두께 감소로 인한 급격한 접촉저항 증가 때문임을 정량적 접촉저항 분석을 통해 확인 할 수 있었다. 또한, 이런 낮은 전면 접촉 저항을 위한 dead layer 존재의 필연성으로부터 선택적 에미터 구조와의 결합을 통해 더욱 증가된 효율 개선을 획득할 수 있음을 예상할 수 있다.

후 기

본 연구는 지식경제부의 New & Renewable Energy R&D program(2006-N-PV12-P-01)의 일환으로 수행되었습니다.

References

- [1] M. A. Green, Solar Cells: Operating Principles, Technology, and System Applications, Prentice-Hall, Inc., EnglewoodCliffs, 1982, p. 150.
- [2] M. M. Hilali, M. M. Al-Jassim, Bobby To, H. Moutinho, A. Rohatgi, and S. Asher, Journal of The Electrochemical Society, Vol. 152, G742-G749, 2005.
- [3] I. Szlufcik, H. Elgamel, M. Ghannam, J. Nijs, R. Mertens, Simple integral screenprinting process for selective emitter polycrystalline silicon solar cells, Appl. Phys. Lett. 59 (1991) 1583-1584.
- [4] R. A. Sinton, A. Cuevas, A quasi-steady-state open-circuit voltage method for solar cell characterization, in: Proc. 16th European Photovoltaic Solar Energy Conference, 1-5 May 2000, Glasgow, UK, pp. 1152-1155.
- [5] A. S. H. van der Heide, A. Schneckner, G. P. Wyers, W. C. Sinke, Mapping of contact resistance and locating shunts on solar cells using resistance analysis by mapping of potential (RAMP) techniques, in: Proceedings of the 16th European Photovoltaic Solar Energy Conference, 2000, Glasgow, pp. 1438-1442.
- [6] R. S. Muller, T. I. Kamins, Device Electronics for Integrated Circuits (2nd ed.), p. 34, p.112.
- [7] D. L. Meier, D. K. Schroder, Contact resistance: its measurement and relative importance to power loss in a solar cell, IEEE Transactions on Electron Devices ED-31 (1984) 647-653.
- [8] C. Ballif, D. M. Hulijic, G. Willeke, A. Hessler-Byser, Silver thick-film contacts on highly doped n-type silicon emitters: structural and electronic properties of the interface, Appl. Phys. Lett. 82 (2003) 1878-1880.
- [9] D. K. Schroder, and D. M. Meier, Solar cell contact resistance—a review, IEEE Transactions on Electron Devices ED-31(1984) 637-647.

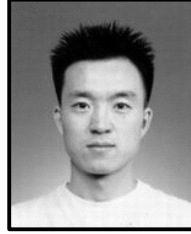
안 준 용



1996년 한국과학기술대학교 전기 및 전자공학과
공학사
1998년 한국과학기술원 전기전산학과 전기 및
전자공학 석사
2003년 한국과학기술원 전기전산학과 전기 및
전자공학 공학박사

현재 LG 전자 Solar Cell 사업팀 R&D 그룹 책임연구원
(E-mail : ahnjy@lge.com)

정 주 화



2002년 고려대학교 재료공학과 공학사
2004년 고려대학교 재료공학과 석사

현재 LG 전자 Solar Cell 사업팀 R&D 그룹 주임연구원
(E-mail : cheongjh@lge.com)

도 영 구



2000년 충남대학교 재료공학과 공학사
2002년 광주과학기술원 신소재공학과 전자재료
석사

현재 LG 전자 Solar Cell 사업팀 R&D 그룹 선임연구원
(E-mail : younggu@lge.com)

김 민 서



2000년 전북대학교 화학공학부 학사
2002년 전북대학교 화학공학부 석사

현재 LG 화학/기술연구원 CRD 연구소 나노센터 연구원
(E-mail : evergreen@lgchem.com)

정 지 원



1990년 인하대학교 물리 이학사
2000년 Georgia Institute of Technology Electrical
and Computer Engineering 석사
2002년 Georgia Institute of Technology Electrical
and Computer Engineering 공학박사

현재 LG 전자 Solar Cell 사업팀 R&D 그룹 책임연구원/그룹장
(E-mail : jiwjeong@lge.com)