특집

Linear Voltage Regulator Introduction & Design Technology

윤 상 일(KEC), 권 명 진(KEC)

I. 서 론

휴대용 전자기기 (휴대폰, 노트북, 디지털카메라 등)의 수요가 늘어남에 따라 Low-Voltage, Low Drop-out 레귤레이터(LDO)의 요구가 증가하고 있으며, LDO는 DC-DC 컨버터와 밀착되어 독립형 부품만큼 많이 사용되어 진다. 이들은 전원 공급 장치에서 일반적으로 스위칭 레귤레이터와 직렬로 사용하여 노이즈를 억제하며, 휴대용 기기의 소형화와 저 전력 소모를 위하여 LDO의 형태로 진보하여 왔다.

0.5V 이하의 입-출력 전압 강하를 갖는 리니어 전압 레귤레이터는 배터리 전원공급장치의 응용회로에서 출력 안정화를 지속적으로 보장하기 위해 사용되며, 본 고는 이들 소자의 특성과 동작에 대해 기술한다.

저 드롭 리니어 레귤레이터는 입력과 출력 전압차가 0.5V 이하일 때 출력 전압의 효과적인 안정성을 제공할 수 있는 저전압 레귤레이터이다. 이러한 상황은 주 전원이 과 부하에 걸릴 때 짧은 기간동안 돌발적으로 발생할 수 있다. 예를 들면, 디비이스가 포터블 장비에서 후 레귤레이터로써 사용될 때처럼 전원의 전력소모를 줄이기 위한 설계 목적을 심사숙고한 결과이다.

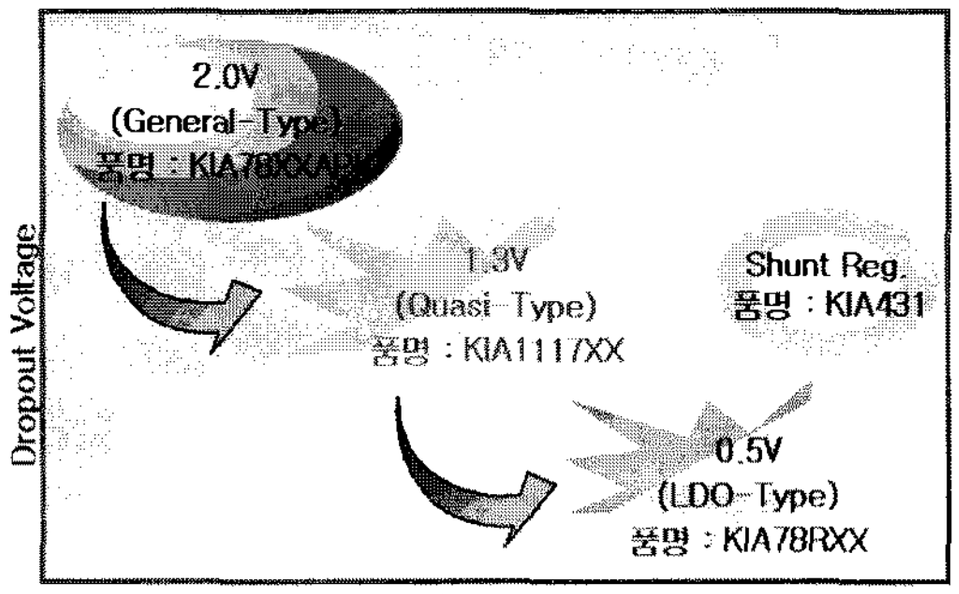
저 드롭 레귤레이터는 IC를 기본 바탕으로 해야 하는 응용회로에서 광범위하게 사용되고 있다. 이러한 이유 때문에 대부분의 저 드롭 디바이스는 기존 레귤레이터에서는 발견할 수 없는 보호 기능을 포함하고 있다.

본 고는 이러한 레귤레이터 설계 시에 고려되어야 하는 전반적인 특성과 동작에 대하여 살펴보고자 한다. 본 고의 구성은 II장에서는 레귤레이터의 개요를 설명하고 III장에서는 설계 시 고려되는 특성을 살펴보고 마지막 IV장에서 결론 및 향후 전망에 대하여 살펴본다.

II. 개 요

1. REGULATOR IC 소개 및 분류

레귤레이터 회로란 불규칙한 입력 전압 및 높은 입력 전압을 SET의 일반 회로에서 요구하는 전원 전압으로 안정하게 공급해 주는 회

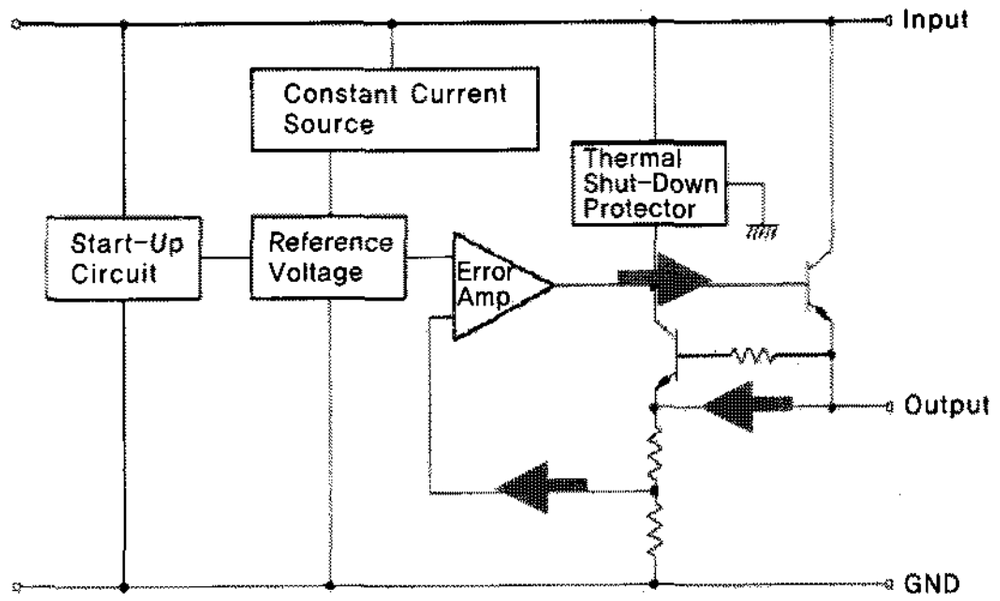


〈그림 1〉 선형 레귤레이터의 분류

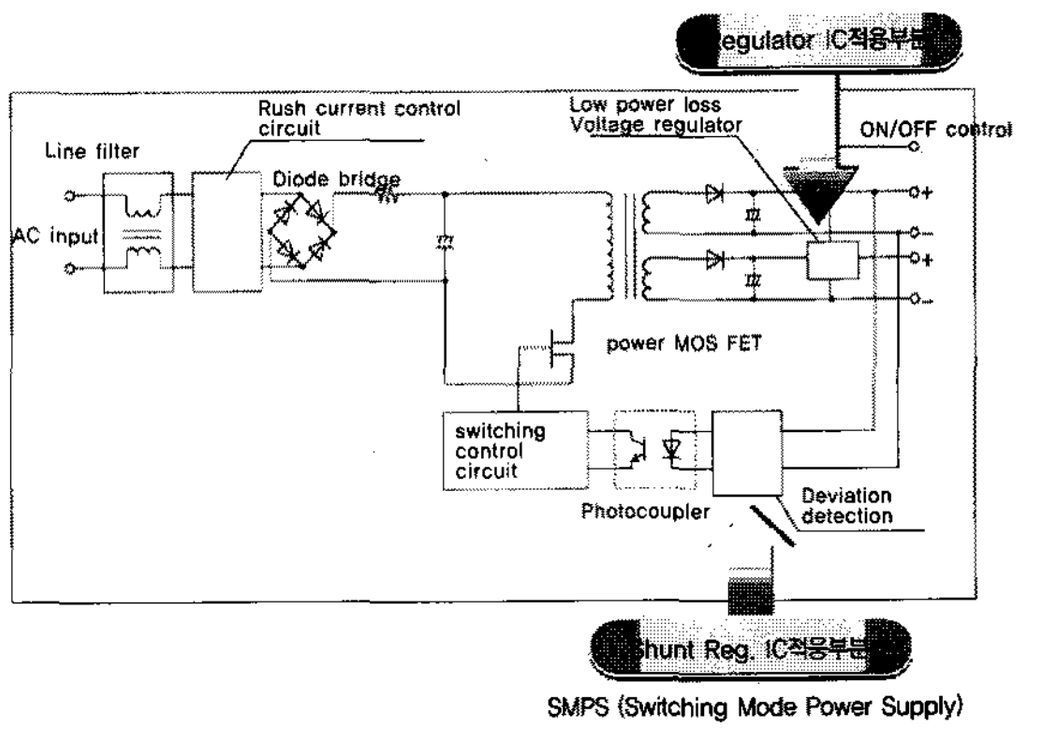
로를 말하며, 이를 집적하여 제품화 한 것을 Regulator IC라고 한다. 일반적으로 1.5~24V의 고정된 출력 전압을 가지는 고정용과, 외부 정수로 출력 전압을 임의적으로 변경할 수 있는 가변형이 있으며 안정된 전원을 요구하는 모든 시스템에 적용될 수 있다. 일반적인 레귤레이터 IC의 분류는 그림 1과 같으며 크게 입력전압을 일종의 가변저항에 의하여 떨어뜨려 일정한 전압을 출력하는 선형 레귤레이터와 회로의 On/Off에 의해 정전압을 출력하는 스위칭 레귤레이터로 나뉘어 진다. 선형 레귤레이터는 다시 입력과 부하 사이에 Pass Tr이 직렬로 연결되는 Series 레귤레이터와 부하와 pass Tr이 병렬로 연결되는 Shunt 레귤레이터로 분류된다.

2. 동작 및 적용회로

레귤레이터 IC의 동작은 그림 2와 같이 출력전압이 부하 및 입력 전압에 의해 변동하면 변동량은 Error Amp 입력으로 Feed-Back되며 Feed-Back 성분이 레귤레이터 IC의 Power TR을 제어하여 안정한 출력전압을 얻게 된다. 또한 일반적인 적용회로는 그림 3에 나타내었다



〈그림 2〉 레귤레이터 IC의 동작



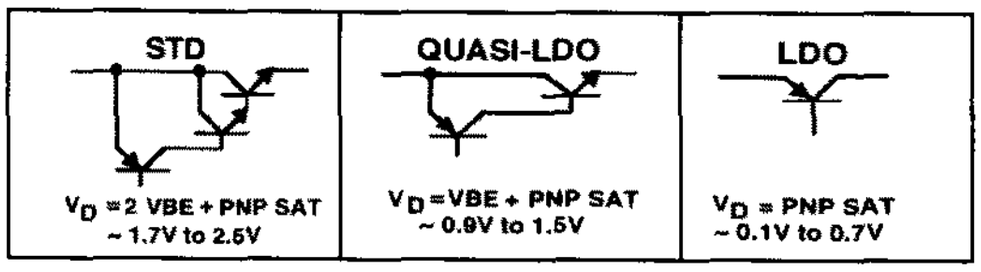
〈그림 3〉 레귤레이터 IC의 적용회로

III. REGULATOR DESIGN

1. DROPOUT

리니어 전압 레귤레이터의 드롭 아웃 전압은 주어진 출력전류, Io에 대해 입력과 출력 전압 사이의 최소 차이로써 정의할 수 있는데, 출력 전압은 일반적인 입력 전압을 갖는 Io에서 측정된 전압보다 낮은 100mV이다. 전류 Io는 부하 전류가 증가함에 따라 드롭아웃 전압이 증가함을 정의 해야만 한다.

10mA에서 50mA의 출력 전류를 갖는 0.05V에서 0.5V의 드롭아웃 전압을 얻기 위해서는,



〈그림 4〉 Dropout에 따른 레귤레이터 분류

그림 4에 보인 것과 같이 PNP 직렬-패스 트랜지스터를 갖는 KIA78RXX, KR52SXX 그리고 KIA78RXXX 등 레귤레이터 형태들이 있다. PNP 트랜지스터는 공통 에미터 형태로 연결되어 있어, 원하는 저 드롭출력 전압을 갖으면서 포화 영역에서 동작한다.

더 높은 드롭아웃 값은 에미터 폴로워 형태에서 NPN 직렬-패스 소자가 사용된다. 그림 4에 보인 것 같은, 이러한 접근은 KIA1117XX 시리즈 레귤레이터에서 사용되는데 500mA에서 1.1V의 최대 드롭전압을 나타낸다.

2. CURRENT CONSUMPTION / QUIESCENT CURRENT

그림 5와 6에 나타난 회로도는 소자의 전류 소모에 관련해서 큰 차이를 나타내지만 부하를 연결하지는 않았다. 그림 6의 경우에, 이러한 전류는 레귤레이터의 보조회로 (전압 레퍼런스, OP앰프 등) 기능을 위해서 필수적이다. 출력 트랜지스터의 베이스 전류는 부하로 흘러간다. 반대로, 그림 5의 회로에서, 출력 트랜지스터의 베이스 전류는 부하로 흘러가지 않고, 포화영역에서, 부하전류에 크게 의존한다.

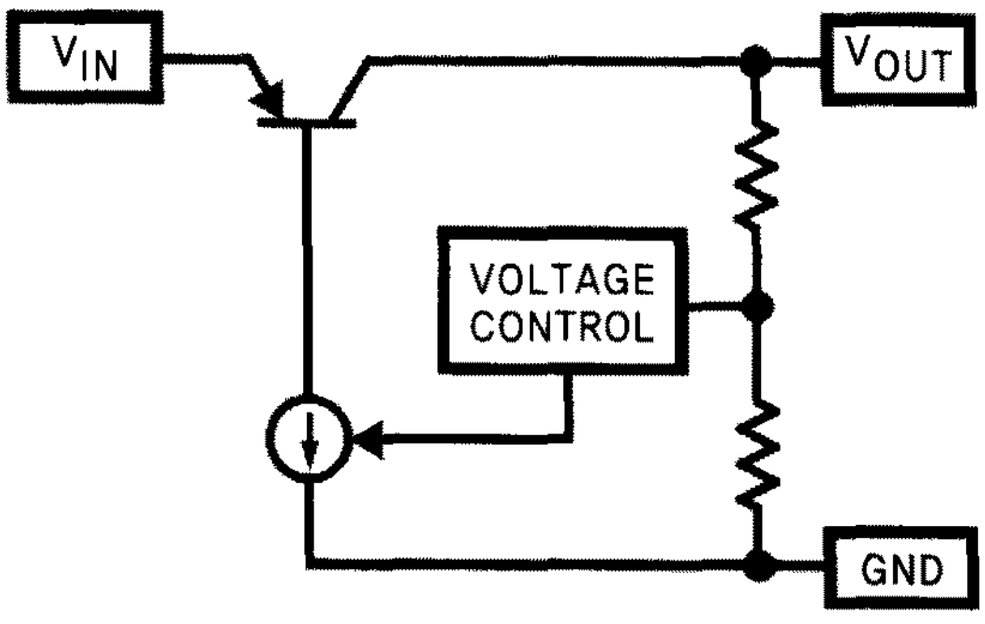
일반적으로 Lateral PNP 트랜지스터는 높은 포지티브와 네가티브 과전압에 견딜수 있기 때문에 IC 에서 사용된다.

입력에 네가티브 과전압이 발생하지 않았거나, 외부 보호 회로가 제거 되었을 때에는, 수직(Vertical) PNP 트랜지스터가 Lateral트랜지스터 대신에 사용된다.

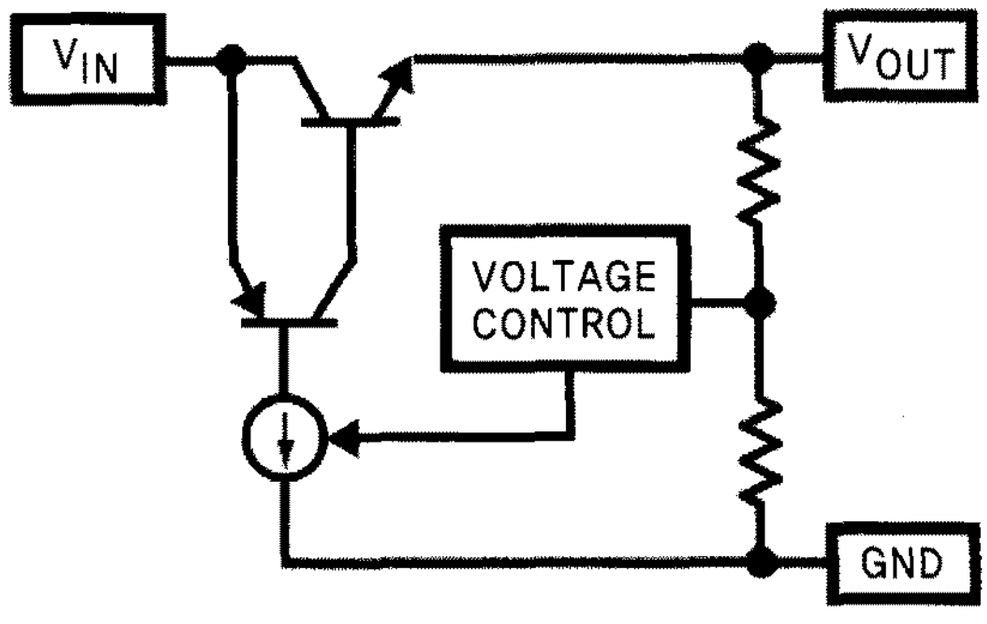
한편 더 높은 이득을 갖는 수직 PNP 트랜지스터는 레귤레이터 내에서 소모되는 전류를 크게 줄일 수 있다. 수직 PNP 트랜지스터가 앞으로의 설계에 사용될 것이다.

3. BANDGAP REFERENCES

입력 전압과 주위온도(40에서 125℃)의 넓은 동작 범위에서 매우 정확한 출력 전압은 매



〈그림 5〉 저 드롭 레귤레이터를 위한 공통 에미터 형태의 PNP Series Pass Tr.

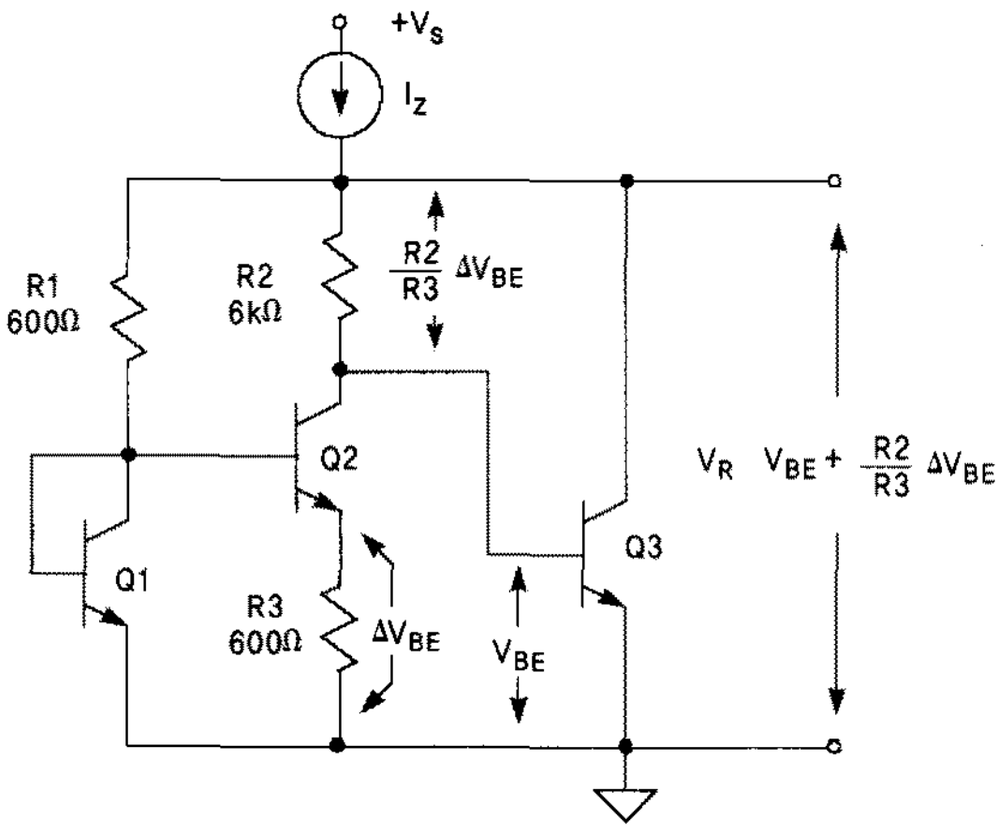


〈그림 6〉 에미터 폴로워 형태의 NPN Series Pass Tr.

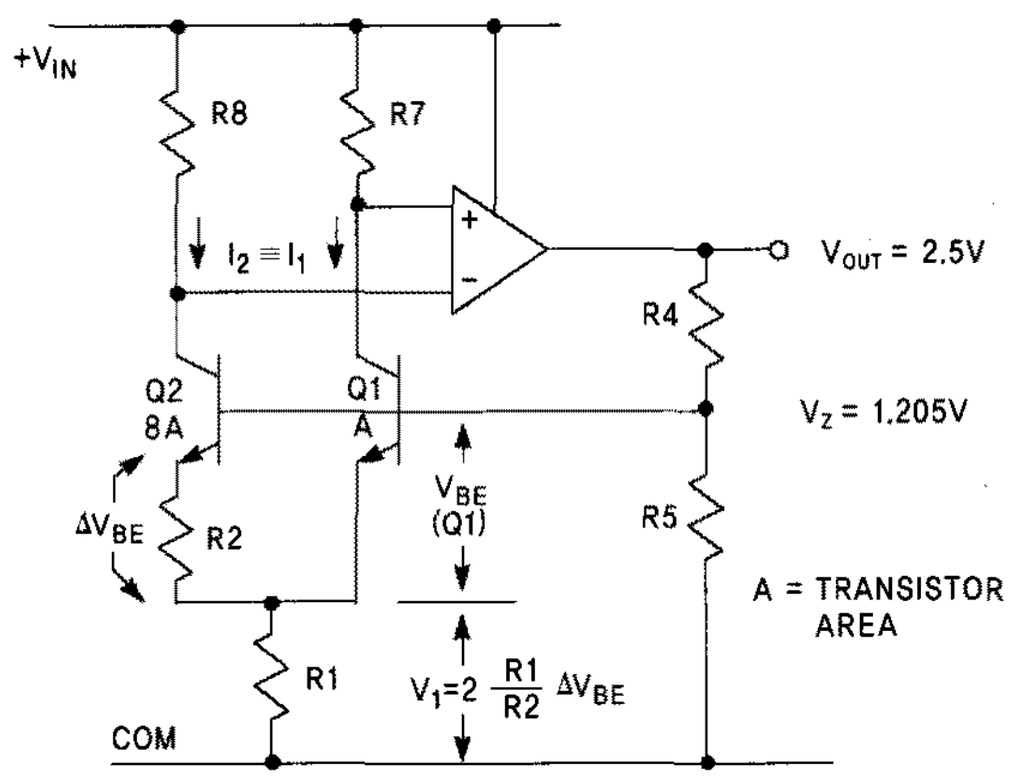
우 안정된 전압 레퍼런스가 사용되어야만 함을 의미하며, 실리콘의 밴드갭 전압이 기초가 되는 저 전압 레퍼런스의 개발은 좋은 TC(Temperature Coefficient) 성능을 가지면서 저 전압 전원에서 동작되어질 수 있는 다양한 IC들의 도입을 이끌어 왔다. 모든 저 드롭 레귤레이터는 그림 7과 같은 밴드갭 형태의 전압 레퍼런스가 사용되고 이 회로는 정합된 트랜지스터 Q1-Q2사이의 다른 전류 밀도가 R3 양단에 ΔVBE를 생성하기 때문에 ΔVBE 레퍼런스라고 불린다. 이것은 R2 양단에 나타나는 Q1-Q2의 증폭된 ΔVBE와 Q3의 VBE의 합에 의하여 동작되며 ΔVBE와 VBE 성분은 서로 반대 극성의 TC를 가진다; ΔVBE가 PTAT (Proportional-to-absolute-temperature)인 반면에 VBE는 CTAT(Complementary-to-absolute-temperature)이다. 이들이 더해진 출력은 VR이고 1.205V일 때 TC는 최소이다. 하지만 그림 7의 기본 설계는 부하와 전류 드라이브 민감도를 생각해야 하고 정확한 출력을 필요로 한다.

개선된 3단자 밴드갭 레퍼런스는 그림 8과 같다. "Brokaw Cell"이라 부르는 이 회로는 표준 출력전압과 좋은 드라이브 능력을 가질 수 있는 완충 된 출력을 제공하며 Op-Amp를 통한 폐 루프와 동일한 부하 저항의 영향에 의하여 동일한 컬렉터 전류에서 동작하는 2개의 (8:1로 면적이 배율 된) 트랜지스터 Q1-Q2를 가진다. 면적이 8배 된 Q2의 VBE가 더 작은 결과로 인하여 R1에 PTAT 전압인 V1이 걸리는 반면 Q2와 직렬로 연결된 R2는 ΔVBE 전압이 걸린다. 밴드갭 레퍼런스 전압 VZ는 Q1의 베이스에 걸리는 전압으로 VBE(Q1)과 V1의 합이며 1.205V 이다.

최근 많은 밴드갭 레퍼런스 개발에서 전력 효율이 좋고 저 비용이며 소형화의 요구가 증가되는 시스템에 대처하기 위하여 더 작은 패키지 사이즈와 비용 절감에 중점이 모아지고 있다.



〈그림 7〉 Basic Bandgap Reference



〈그림 8〉 Brokaw Cell을 이용한 Bandgap Reference

$$V_Z = V_{BE}(Q1) + V_1$$

$$= V_{BE}(Q1) + 2 \times \frac{R1}{R2} \times \Delta V_{BE}$$

$$= V_{BE}(Q1) + 2 \times \frac{R1}{R2} \times \frac{kT}{q} \times \ln \frac{J1}{J2}$$

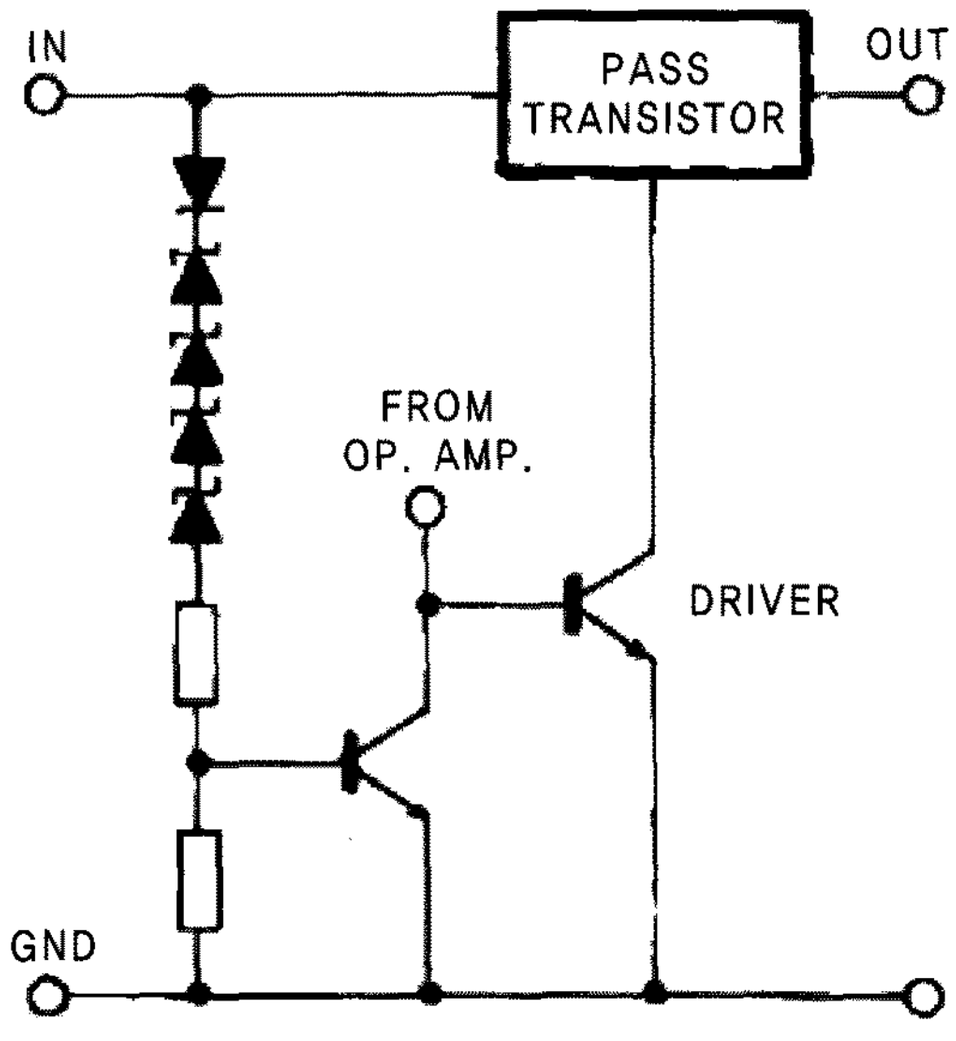
$$= V_{BE}(Q1) + 2 \times \frac{R1}{R2} \times \frac{kT}{q} \times \ln 8 = 1.205V$$

(J1=Q1의 전류밀도, J2=Q2의 전류밀도)

4. PROTECTION AGAINST HIGH ENERGY TRANSIENTS

고전압에서 레귤레이터를 보호하기 위해, 그림 9에서 사용된 기초적인 회로가 고에너지 포지티브 천이에 대해 이용된다. 이 회로에서 제너는 최대 동작값과 출력단을 차단하기 위해 공급 전압을 제한한다. 그로인해 출력 트랜지스터는 파괴 전압에 이르는 전압을 견딜수 있게 된다. 또 다른 레귤레이터에서는 내부 회로에 공급하는 전원도 또한 차단한다. 이러한 보호 회로의 동작속도는 순간적으로 정상 동작을 중단시킬 수 있는데 아무런 무리없이 고에너지 천이를 견디어 낼수 있을 만큼 충분히 동작 속도가 빨라야 한다. 네가티브 천이를 막기위한 보호회로는 가용 전류 통로에 높은 직렬 임피던스와 래터럴 PNP 트랜지스터의 역바이어스된 파괴 전압을 제공한다.

파괴 전압은 (공정)기술에 의존적이므로 천이능력은 다양한 형태에 따라 내압이 정해질 수 있다.



〈그림 9〉 과전압 보호 회로

5.PROTECTION AGAINST LOW ENERGY OVERVOLTAGES

고주파 노이즈 발생기와 같은 특성을 가지는 스위칭 스파이크 등의 천이와 관련된 에너지는 작지만 네가티브와 포지티브 피크가 200V에 다다르는 전압파형을 가진다. 소자가 견딜 수 있는 낮은 에너지의 과전압은 짧은 상승 시간을 가지고 파괴 전압을 초과한다. 그러므로 앞서 기술한 보호 회로는 불충분하다. 이러한 천이와 관련한 에너지는 매우 작지만, 레귤레이터는 이러한 것에도 아무런 문제없이 견딜 수 있어야 한다. 그러므로 입력단에 100nF 정도의 커패시터를 연결하는 것이 타당할 것이다.

대부분의 저 드롭 레귤레이터는 출력 단에 보상 캐패시터가 필요하다. 또한 이 캐패시터는 높은 주파수에서 낮은 임피던스를 가지므로 낮은 에너지 천이에 대해 여분의 필터링을 제공하게 된다.

6. THERMAL PROTECTION

접합 온도가 소자에 대한 최대 안정 영역을 초과 했을 때, 열 차단 회로(그림 10)는 출력 트랜지스터를 과온 상태가 없어질 때까지 오프 시킨다. 그림 10에서, 회로 저항 R1, R2 그리고 R3가 계산되고 Q1의 베이스 전압은 600mV 이므로 Q1과 Q2의 전도를 막게 된다.

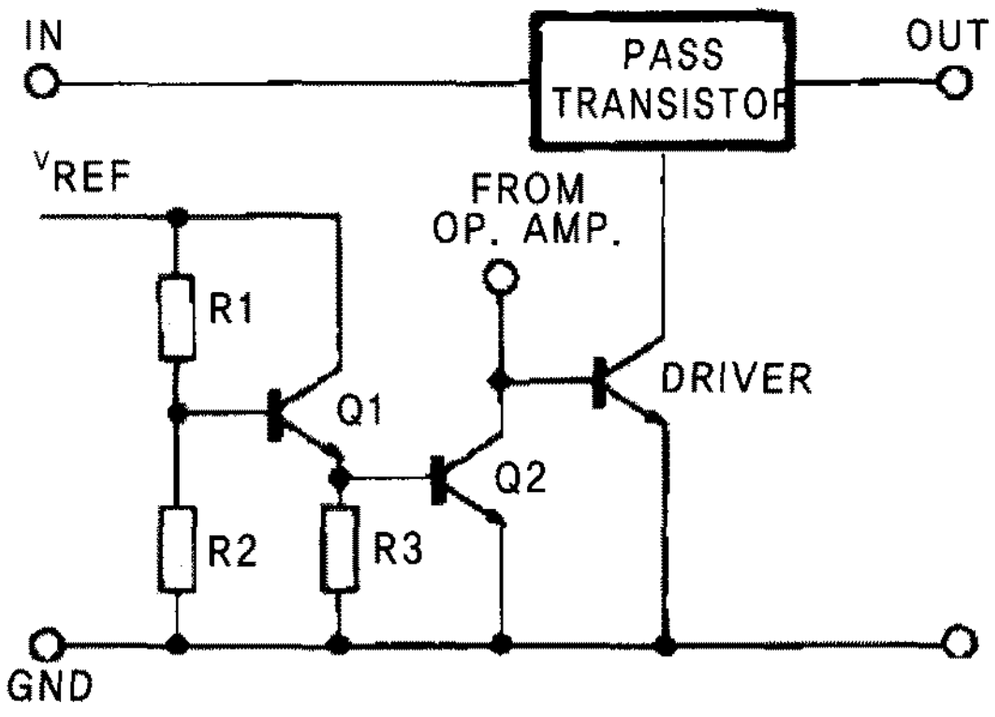
접합온도가 증가함에 따라, 두 트랜지스터의 전도에 대한 최소 VBE 전압은 약 15℃, 2VBE=600mV에서 두 트랜지스터가 전도되고 Q2가 출력 트랜지스터 구동회로를 차단 시키게 된다.

7. CURRENT PROTECTION

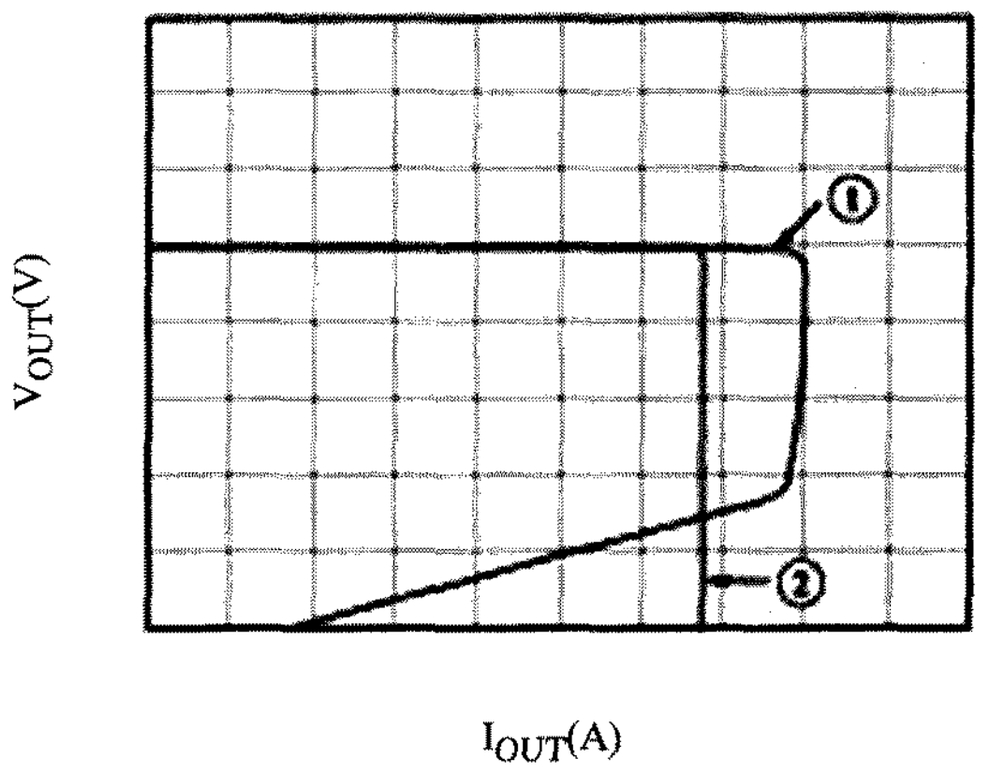
레귤레이터에서 출력 전류는 단락회로가 되었을 경우 자체의 최대 값을 제한하게 된다. 특정한 회로가 출력 트랜지스터의 베이스에 작용하여, 과부하시에 견딜수 있게 설정해놓은 값을 초과하는 출력 전류를 막게 된다. 레귤레이터에서는 폴드백 회로(그림 11)가 단락 회로 상태에서 부하와 소자 양쪽에서 소모되는 전력 소모를 제한하는데 사용된다. 전류는 최대값을 초과하자마자 설계 시 정하여 놓은 낮은 값(ISC)으로 제한된다. 이러한 상태에서, 부하를 통해 흐르는 전류 ISC에 따라 출력 전압이 결정된다. 과부하 상태가 없어지면 출력 전압은 바로 일반적인 부하 값으로 되돌아 가게 되며 그림 11에서 곡선 ②는 constant current limit 회로를 통하여 과전류가 흘렀을 때 회로 보호를 위하여 일정한 전류값으로 제한하는 것을 보여준다. 곡선①은 current limit 회로와 SOA(Safe Operating Area) 회로에 의하여 과전류가 흘렀을 때 보호기능을 수행하여 곡선②보다 PD(Power Dissipation)을 줄여 디바이스의 파괴를 막아준다.

8. FREQUENCY COMPENSATION

네가티브 피드백은 Open-Loop 특성의 심한 변화를 억제하여 보다 정확한 동작을 하도록 도와준다. 그러나 피드백 시스템은 잠재적으

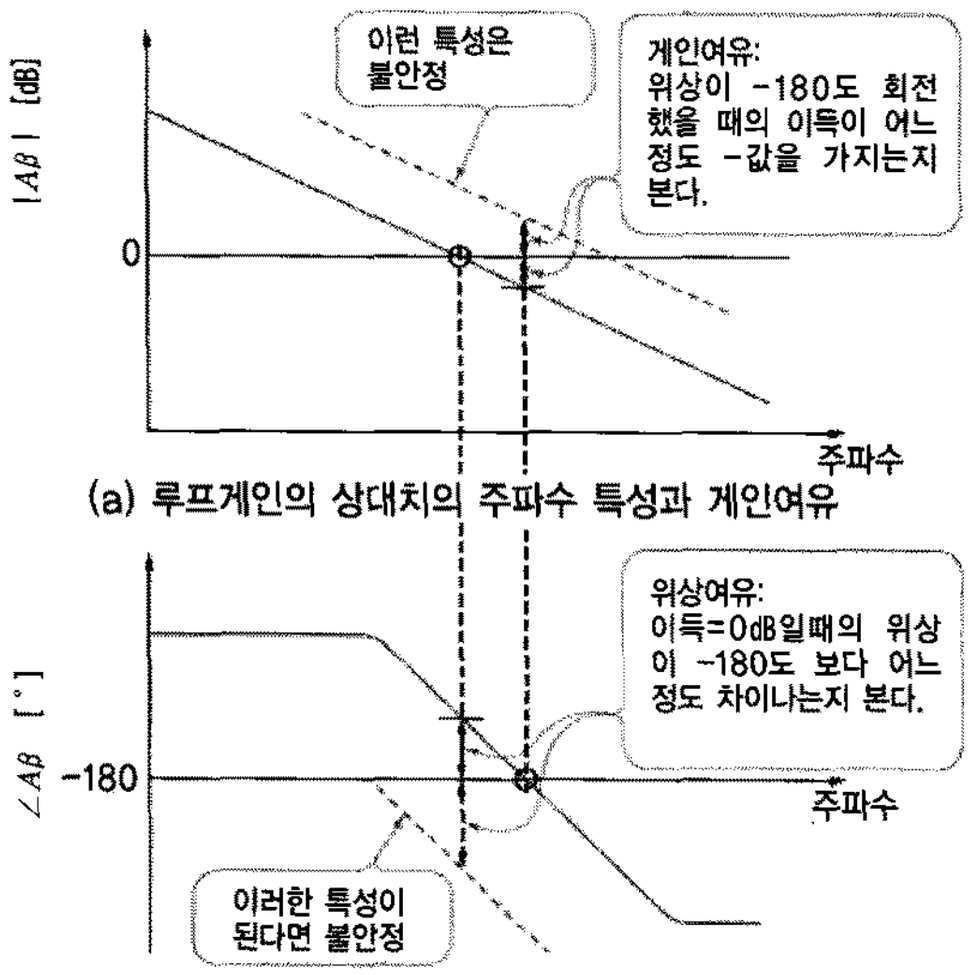


〈그림 10〉 온도 보호 회로



〈그림 11〉 Io-Vo 특성 곡선

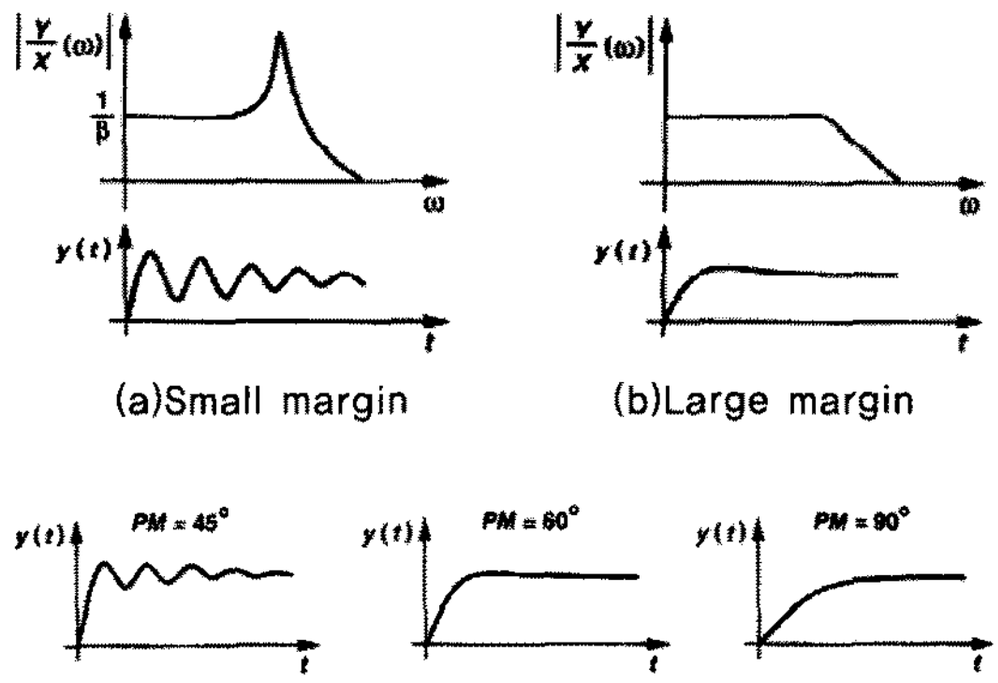
로 불안정하게 동작할 가능성을 가지며, 그에 해당될 경우 회로가 발진할 수 있다. 폐루프 전달함수인 $\frac{Y}{X}(s)=\frac{H(s)}{1+\beta H(s)}$ 의 값은 $\beta H(s)$ 의 값이 -1에 가까워질수록 무한대로 접근하게 되는데 이는 회로에 직접적으로 그에 해당되는 주파수 s의 입력을 가하지 않더라도 회로 자체의 노이즈가 갖고 있는 주파수 s의 성분이 점점 자기 증폭을 하게 되는 현상을 일으킨다. 이러한 현상으로 인해 발진이 일어나게 되고 회로는 제어불능의 상태가 되어버리는 문제점을 갖는다. 회로의 발진조건은 $|\beta H(s)|=1$이고 위상이 -180° 회전한 경우이며, 일반적으로 보드선도를 통하여 발진을 평가하고, 그림 12과 같이 Gain Margin과 Phase Margin을 이용한다. 또한 게인여유와 위상여유에 따른 스텝응답을 그림 13와 표1에 나타낸 바와 같이 주파수 특성에서 피크성분을 없애면서 스텝응답에서 Ringing 발생을 막고 느린 응답을 피하기 위하여 보통 위상여유를 60도로 가져간다.



(a) 루프게인의 상대치의 주파수 특성과 게인여유

(b) 루프게인의 위상의 주파수 특성과 위상여유

〈그림 12〉 발진평가 기준



(c)Phase margin에 따른 시간 응답

〈그림 13〉 Margin에 따른 특성 및 응답

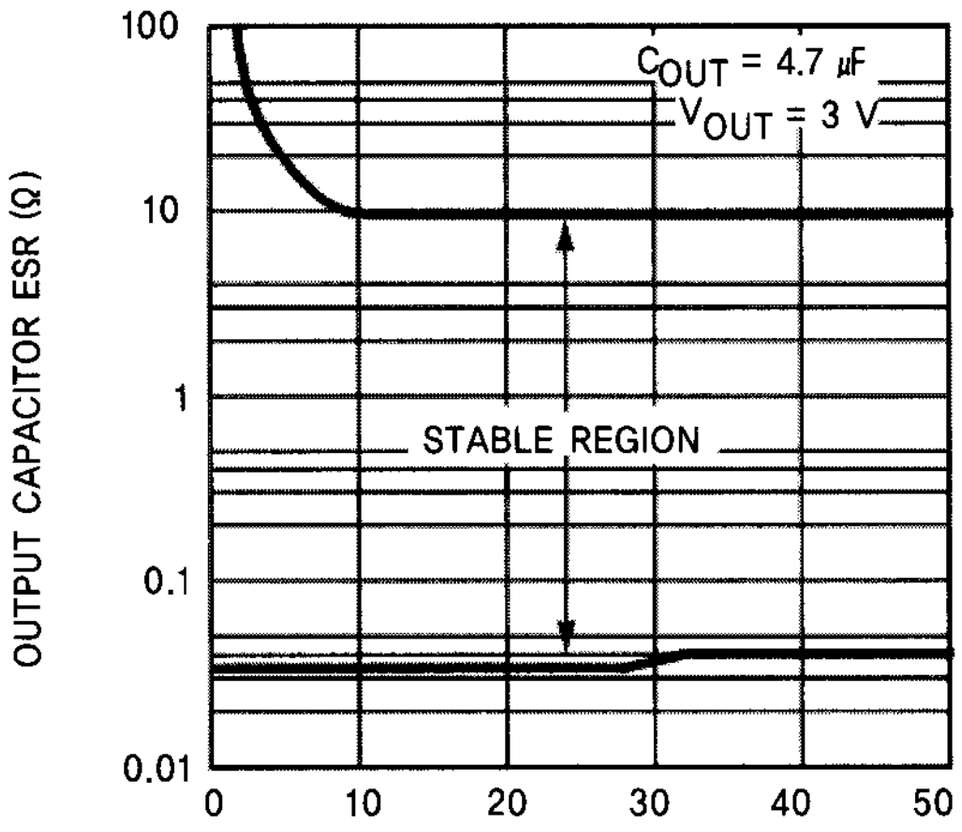
앞에서도 언급했듯이, 위상여유를 적절한 값으로 가져가기 위해서는 주파수 보상기법을 이용하여 안전성을 확보할 수가 있으며 주폴을 저주파로 옮기는 방법과 폴에 제로의 위치를 겹치게 하여 둘의 효과를 상쇄시키는 Pole-zero cancellation 기법이 있다. 주폴을 저주파로 옮기는 방법은 Chip 내부에 큰 커패시터를 집적해야하는 면적 문제가 있으므로 Miller effect를 이용하여 2nd Pole을 고주파로 이동시켜 주폴과의 거리를 멀리하여 원하는 위상여유를 확보할 수가 있다. 또한 출력 커패시터의 ESR (Equivalent Series Resistance)의 영향으로

〈표 1〉 게인여유/위상여유와 스텝응답

게인여유 [dB]	위상여유 [°]	스텝응답
3	20	많은 Ringing
5	30	약간의 Ringing
7	45	응답시간이 짧다
10	60	일반적으로 적절한 값
12	72	주파수특성에 피크가 나오지 않음

제로가 발생하여 위상 전위가 변하게 되는데 일반적으로 레귤레이터의 이득이 0dB가 되는 점이 1MHz 이상이므로 출력저항이 작아 루프특성 영향이 수MHz 이상에서 제로가 발생하면 안정하다고 볼 수 있다. ESR이 어느 정도 크면 위상변화가 적어 발진에 대하여 안정하나 너무 큰 값을 가지면 위상 주파수가 떨어져 발진할 가능성을 가진다. 그리고 출력 커패시터가 전해콘덴서라면 ESR이 적당한 크기로 발진에 안정하지만 부하 전류가 고속으로 변동하면 ESR의 영향으로 출력전압이 변하게 되고 세라믹콘덴서라면 ESR이 작아 고속 변동하는 전원에는 적당하나 위상이 돌아오지 않아 발진의 위험이 있는 점을 염두해 두어야 한다.

실제적으로 모든 LDO 레귤레이터는 안정성을 보증하기 위하여 SET 범위내에서 출력 커패시터의 ESR을 요구하며 제조사는 부하전류의 함수로써 그려진 (그림 14) 안정한 영역의 경계를 정의한 곡선을 제공한다.



〈그림 14〉 전형적인 LDO의 ESR 범위

9. TURN-ON WITH CHAPACITIVE LOADS

출력과 접지 사이의 중요한 커패시터(외부 보상 커패시터를 포함해서) 부하는 레귤레이터가 전원이 공급될 때 단락 회로로써 나타날 것이다. 그러므로 레귤레이터는 부하 커패시터가 정상값으로 충전될 때까지 단락회로에 전류를 공급하게 될 것이다.

이러한 요소는 전원의 크기에 극히 중요한 것이다. 매우 작은 DC 부하 조차도 이 경우에는 최대 부하같이 작용할 것이고 전원에서 나오는 전력은 부하로 공급되는 단락회로 전류의 합이 되어 레귤레이터에서 소모되는 최대 전류가 된다.

Ⅳ. 결론 및 향후 전망

지금까지 레귤레이터에 대한 일반적인 개요와 설계 시 고려해야 하는 항목들에 대하여 살펴 보았다. 이외에도 reset 등의 부가적인 기능이 더 추가될 수도 있으며, 또한 앞에서 설명된 몇 가지 기능이 추가되지 않은 레귤레이터 등 사용자의 요구에 따라 다양한 기능과 정밀도의 레귤레이터가 등장하고 있다. 또한 공정기술은 더 높은 packing 밀도를 요구하는 디지털과 혼성신호 시장에 의하여 설계기술과 함께 발전하여 왔으며 결과적으로 리소그래피(lithography)가 작아지고 관련된 절연파괴 전압이 감소되었다. 즉, 기술 경향은 더 낮은 공급 전압에서 동작하는 회로에 집중되고 있다.

더 낮은 절연파괴 전압의 결과는 더 낮은 입력 전압에서 작동하는 레귤레이터 설계를 강요할 것이고 저 전압 배터리 셀 동작의 수요가 증가함에 의해 더욱 심해질 것이다. 게다가 Quiescent 전류와 drop-out 전압도 마찬가지로 감소하도록 요구되어 질것이다. 또한, 더 높은 packing 밀도에 대한 수요증가는 더 작은 칩 면적을 차지하는 LDO를 요구할 것이 분명하다. Low drop-out 레귤레이터는 순수하게 CMOS와 Bipolar 공정기술에서 설계되어 왔고 설계할 수 있지만 성능은 biCMOS 환경에서의 설계에 의하여 강화되어질 수 있다. CMOS 공정에 간편하고 비교적 값싼 p-base layer의 추가로 주파수 응답과 LDO의 회로 topology 특성을 강화한 vertical bipolar device의 능력을 제공한다. 결론적으로, 더 좋은 제조 리소그래피를 가지는 biCMOS 기술로의 발전은 LDO의 회로 설계에 상당히 유익할 것이다. 하지만 동시에 낮은 입력전압에서의 동작, 더 낮은 quiescent 전류, 더 작은 칩 면적과 더 낮은 drop-out 전압을 가지는 레귤레이터에 대한 더욱 가혹한 요구조건이 앞으로의 설계 과제로 주어질 것이다.

참고문헌

[1] Gray Hurst Lewis Meyer, "Analysis and Design of analog integrated circuits"

[2] Behzad Razavi, "Design of Analog CMOS Integrated Circuits"

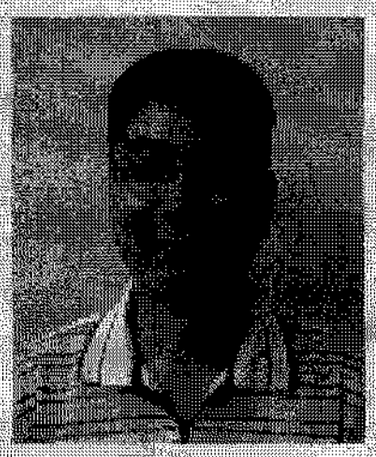
[3] Robert C. Dobkin, 3-Terminal Regulator is Adjustable, National Semiconductor AN-181, March, 1977.

[4] Paul Brokaw, A simple Three-Terminal IC Bandgap Voltage Reference, IEEE Journal of Solid State Circuits, Vol. SC-9, December, 1974.

[5] Gabriel A. Rincon-Mora, A Low-Voltage, Low Quiescent Current, Low Drop-Out Regulator, IEEE Journal of Solid State Circuits, Vol.33, NO.1, January, 1988.

[6] Chester Simpson, Linear and Switching Voltage Regulator Fundamentals, National Semiconductor.

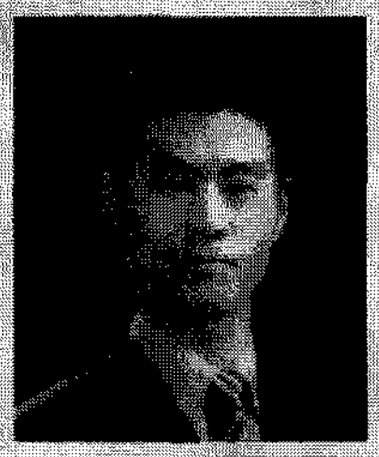
저자소개



윤 상 일

1997년 경상대학교 전자공학과 학사
2001년 LDO REGULATOR 개발
2004년 SHUNT REGULATOR 개발
2004년 QUASI LDO REGULATOR 개발
2008년~현재 KEC [IC]DE Team 기정

주관심 분야 : Power Management, LED Driver IC.



권 명 진

2002년 울산대학교 전자공학과 학사
2004년 울산대학교 전자공학과 석사
2004년~2005년 IS Selah 연구원
2008년~현재 KEC [IC]DE Team 기좌

주관심 분야 : Power Management, Display, Sensor Interface IC.