

논문 2008-45SD-7-1

전기영동 디스플레이 패널용 OTFT-하판 제작 연구

(Study on OTFT-Backplane for Electrophoretic Display Panel)

이 명 원*, 류 기 성*, 송 정 근**

(Myung Won Lee, Gi Sung Ryu, and Chung Kun Song)

요 약

본 논문에서는 플라스틱 기판에 OTFT를 스위칭 소자로 사용하여 유연한 EPD 패널을 제작 하였다. OTFT의 채널 폭과 길이의 비(W/L)는 EPD의 응답속도를 고려하여 15이상으로 설계를 하였다. 게이트전극은 Al, 절연층은 cross-linked PVP, 반도체층은 펜타센, 중간층은 PVA/Acryl를 사용하였다. 플라스틱 기판은 보호층 처리를 통하여 열처리 공정 시 발생하는 입자를 제거하였고, 거친 표면을 평탄화하였다. 반도체층의 크기는 게이트 전극 보다 작도록 제한하여 누설전류를 줄일 수 있었다. EPD-상판과 OTFT-하판 사이에 픽셀전극을 삽입하고 또한 OTFT-하판을 보호하기 위하여 PVA/Acryl로 구성된 중간층을 상빙하였다. 완성된 OTFT-하판에서 OTFT의 이동도는 $0.21\text{cm}^2/\text{V}\cdot\text{s}$, 전류점멸비(Ion/Ioff)는 10^5 이상의 성능을 보였다.

Abstract

We fabricated flexible electrophoretic display(EPD) driven by organic thin film transistors(OTFTs) on plastic substrate. We designed the W/L of OTFT to be 15, considering EPD's transient characteristics. The OTFTs employed bottom contact structure and used Al for gate electrode, the cross-linked polyvinylphenol for gate insulator, pentacene for active layer. The plastic substrate was coated by PVP barrier layer in order to remove the islands which were formed after pre-shrinkage process and caused the electrical short between bottom scan and top data metal lines. Pentacene active layer was confined within the gate electrodes so that the off current was controlled and reduced by gate electrodes. Especially, PVA/Acryl double layers were inserted between EPD panel and OTFT-backplane in order to protect OTFT-backplane from the damages created by lamination process of EPD panel on the backplane and also accommodate pixel electrodes through via holes. From the OTFT-backplane the mobility was $0.21\text{cm}^2/\text{V}\cdot\text{s}$, Ion/Ioff current ratio 10^5 . The OTFT-EPD panel worked successfully and demonstrated to display some patterns.

Keywords : Electrophoretic Display, Pentacene, OTFT, backplane

I. 서 론

오늘날 정보통신의 발달로 인한 디스플레이의 수요가 급증을 하고 있으며, 다양한 형태의 디스플레이 요구도 이와 더불어 증가하고 있다. 최근에는 이러한 요구

를 충족하고 종이와 같은 질감을 보이는 전기영동 디스플레이(EPD:electrophoretic display)가 주목 받고 있다.^[1,2] 그러나 EPD는 문턱전압이 없기 때문에 이를 디스플레이소자로 사용하기 위해서는 화소에 트랜지스터를 부착한 능동형 구동모드로 동작시켜야 한다.^[3-4] Flexible EPD 구동을 위한 하판(backplane)은 LG-philips에서 금속 호일 기판에 14.1인치 크기로 a-Si TFT-하판을 제작한 바 있다.^[5] 또한, 삼성에서는 2007년 SID에서 14.3인치 크기의 a-Si TFT-하판을 PEN 기판에 제작하여 EPD를 구현하였다.^[5]

본 논문은 PEN 기판에 EPD용 OTFT-하판을 제작하는 공정기술에 관한 것으로 특히 OTFT 어레이 집적화 시 발생하는 여러 가지 문제들과 이를 극복하는 공

* 학생회원, 동아대학교 전자공학과(미디어디바이스 연구센터)
(Dept of Electronic Eng., Media Device Lab., Dong-A University)

** 정회원, 동아대학교 전자공학과
(Dept of Electronic Eng., Dong-A University)

※ 본 연구는 지식경제부의 21세기 프론티어기술개발사업인 차세대정보디스플레이기술개발사업단의 기술개발비(F004061)지원으로 수행되었습니다.

접수일자: 2007년11월16일, 수정완료일: 2008년6월30일

정기술에 대해서 연구하였다.

II. OTFT-하판 제작 공정

1. 픽셀 회로 설계

EPD는 일반적으로 응답속도가 느리다. 그림 1은 전기영동형 마이크로 캡슐을 이용한 EPD의 인가 펄스 전압에 대한 광 응답특성과 명암비를 나타내고 있다. 상승시간은 130 ms, 하강시간은 100 ms, 그리고 명암비는 9:1이었다. 따라서, EPD를 구동하기 위해서는 최소 130 ms 이상 동안 전압을 인가해야 한다. 스캔 라인이 10개만 되더라도 이미 1초 이상의 시간이 소요된다. 그러므로 구동시간을 단축하기 위하여 커패시터를 병렬로 연결해야 한다. 커패시터는 짧은 시간동안 TFT를 통하여 공급되는 전하들을 충전하고 EPD에 충분한 시간동안 인가전압을 유지시켜준다.

단위 화소는 그림 2 (a)와같이 OTFT와 커패시터 그리고 EPD로 구성되어 있다. OTFT의 게이트 인가전압 $V_g = -20\text{ V} \sim -25\text{ V}$, 그리고 드레인 인가전압 $V_d = -10\text{ V} \sim -15\text{ V}$ 이므로 문턱전압 $V_{th} = 5\text{ V}$ 이하에서

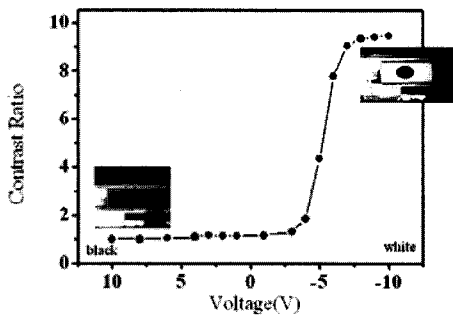
는 항상 $V_g > V_d + V_{th}$ 조건을 만족하기 때문에 OTFT는 선형영역에서 동작한다. 따라서 커패시터의 시간에 대한 전압충전 식(1)과 OTFT의 선형영역 I-V 특성 식(2)에 의하여 OTFT의 전류구동능력 변수 K 값은 식(3)과 같이 주어진다.

$$I_d(t) = C_t \times \frac{dV_p(t)}{dt} \tag{1}$$

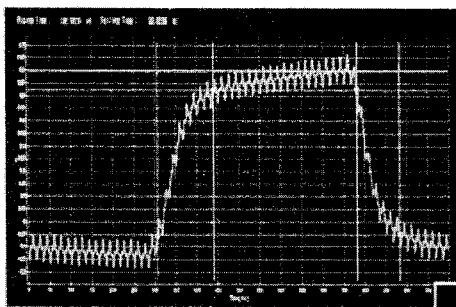
$$I_d = K\{2(V_G - V_{Th}) - V_D\} V_D \tag{2}$$

$$K = \frac{W\mu C_g}{L} = \frac{C_t}{2\{V_g - V_{th} - V_d\}t} \times \ln \left\{ \frac{[2\{V_g - V_{th} - V_d\} + \{V_d - V_p(t)\}] \times [V_d - V_p(0)]}{[2\{V_g - V_{th} - V_d\} + \{V_d - V_p(0)\}] \times [V_d - V_p(t)]} \right\} \tag{3}$$

μ 는 전계효과이동도, C_g 는 단위 면적당 게이트 커패시턴스, W 는 채널의 폭, L 은 채널의 길이를 의미한다. 그리고 여기서 $C_t = C_{EPD} + C_s$ 이다. μ 와 C_g 는 TFT의 제조공정에 의해 결정되는 공정 변수이기 때문에 단위



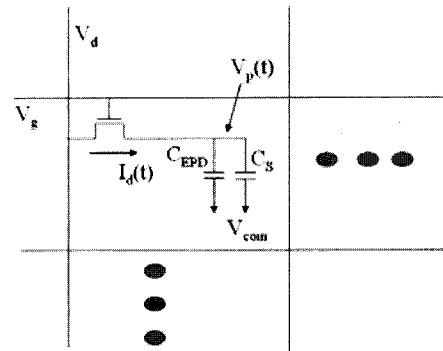
(a)



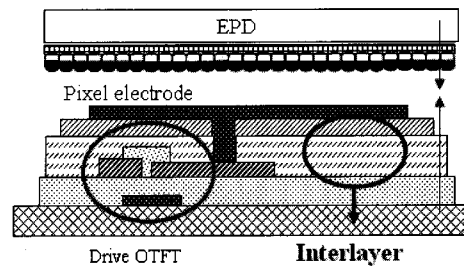
(b)

그림 1. 펄스 인가전압에 대한 EPD의 (a) 명암비 (b) 광 응답특성 그래프

Fig. 1. (a)The voltage-contrast ratio curve of EPD and (b) the response time with respect to pulse input voltage.



(a)



(b)

그림 2. (a) EPD 화소 회로 구성도, (b)OTFT-하판과 EPD 상판의 단면도

Fig. 2. (a) The circuit configuration of EPD pixel, and (b) the cross-section of a pixel consisting of OTFT backplane and EPD panel.

픽셀 설계에서는 이들 특성을 기준으로 필요한 OTFT의 전류구동능력(K)을 고려하여 W/L을 결정해야 한다. 그리고 그림 2에서 OTFT의 부하용량을 C_L 라 하면 전류와 전압관계식은 식(1)과 같이 되고 식(1)과 (2)로부터 전류구동능력 K값을 식(3)으로부터 구할 수 있다.

하나의 라인에 인가되는 스캔시간 (해상도가 SVGA (600×800)급으로 라인수는 300×400(×2)으로 4개의 구동 드라이버 IC가 조절한다고 가정하면)은 $T_{on} = \frac{1}{60Hz} \times \frac{1}{400line} = 42\mu sec$ 이고, T_{on} 의 50% 이내에 $C_s = 1.04 pF(100 \mu m \times 100\mu m; PVP$ 의 두께 350 nm, 유전율 4.11)를 데이터 전압 $V_D = 15 V$ 의 99%로 충전하기 위해서는 식(3)으로부터 전류구동능력 $K = 9.9 \times 10^{-9} sec/volt$ 이상 되어야 한다. 따라서, μ_{eff} 와 C_g 가 각각 $0.2 cm^2/V.sec$, $1.04 \times 10^{-8} F/cm$ 인 경우 OTFT의 폭/길이 비율(W/L)은 15 이상이 되어야 한다.

2. 플라스틱 기반 OTFT-하판 제작

OTFT-하판 공정은 대략 다음과 같다. OTFT제작에 사용되는 플라스틱 기판은 DuPont Teijin의 PEN(polyethylenephthalate)을 사용하였다. OTFT는 하부전극 구조로 그림 2 (b)와 같이 제작 하였다. 플라스틱 기판은 오염 방지를 위하여 class 1000의 클린룸에서 세정 공정을 하였고 열 공정에 의한 기판 수축을 최소화하기 위하여 열 전처리 공정을 200 °C 오븐에서 1시간 동안 진행 하였다. 게이트 전극은 Al을 70 nm로 진공 증착한 후 포토공정을 이용하여 형성하였고, 게이트 절연막은 열경화제가 포함된 PVP (Polyvinylphenol)를 스핀코팅 공정으로 350 nm로 성막을 하였다.^[6] 소스와 드레인 전극은 사진식각 공정으로 채널 20 μm 과 폭 300 μm 으로 Au를 진공 증착한 후 리프트-오프 공정으로 형성하였다. 반도체 층은 펜타센을 웨도우 마스크를 이용하여 0.3 Å/sec로 45 nm로 성막하였다.

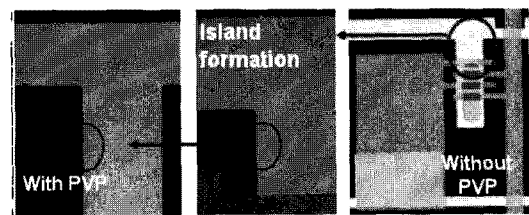
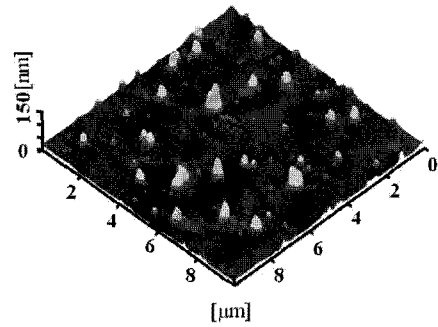
OTFT-하판과 EPD 상판을 결합하기 위하여 두 패널 사이에 중간층을 삽입하였다. 중간층은 그림 2(b)에서 보듯이 EPD 패널 결합 시 OTFT-하판을 보호하고 EPD 상판과 드레인 전극을 연결하는 픽셀 전극을 포함하고 있다. 따라서 중간층에는 픽셀 전극을 수용하기 위한 비어홀을 형성해야 하므로 포토공정이 가능한 재료를 사용하였다. 중간층은 PVA(polyvinylalcohol)와 photo-acryl로 구성하였고, 스핀코팅 공정을 이용하여 도포하고 사진식각 공정으로 비어홀을 형성하였다. 이

어서 Al을 증착하여 픽셀 전극을 형성하였다. 마지막으로 OTFT-하판에 EPD 상판을 결합하여 디스플레이를 완성하였다. 총 사용된 마스크는 6장으로 포토마스크 4장과 웨도우 마스크 2장 이었다.

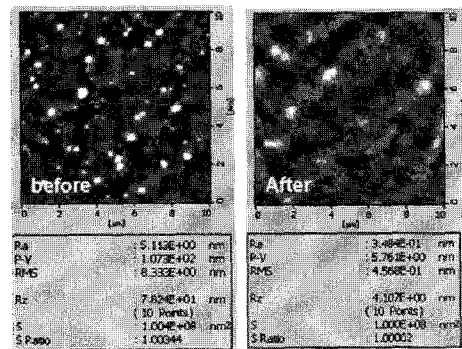
지금부터 절을 달리하여 어레이 집적화 공정시 발생하는 문제들과 이들을 해결하는 공정에 대해서 상세히 설명한다.

(1) 플라스틱 기판 전 처리 공정

플라스틱 기판에 안정된 OTFT를 제작하기 위해서는 기판 자체가 안정적이어야 한다. 플라스틱 기판은



(b)



(c)

그림 3. (a) 초기 기판의 표면 AFM 이미지, (b) barrier layer 유무에 따른 열 전처리 공정 후 사진 (c) 열 전처리 공정 전 후의 표면 거칠기 사진
Fig. 3. (a) AFM image of bare plastic surface (b) plastic substrate image with and without barrier layer (c) surface roughness before and after pre-annealing process.

열적 안정성과 내 화학성이 우수한 PEN(polyethylenenaphthelate) film을 선택하였다. 그러나 PEN film이 열적 안정성이 우수 하더라도 열적 팽창과 수축이 유리 기판보다 크기 때문에 OTFT 제작시 충분히 감안하여 설계를 해야 한다. 특히, 열처리 공정을 진행하지 않으면 후속공정에서 열에 의한 변형이 일어나고 이것은 각각 층간의 정렬이 맞지 않게 되어 많은 문제점들을 야기 시킨다. 기판 표면 또한 유리보다 평탄하지 못하기 때문에 소자 제작시 많은 문제가 된다. 그러므로 이러한 문제점들을 해결하기 위해 열에 의한 변형을 최소화 할수 있는 사전 열처리와 표면 평탄화를 해주어야 한다.

PEN 기판의 경우 열 전처리 공정을 진행 하면 그림 3 (a)와 같이 불규칙한 작은 봉우리들이 기판 표면에 랜덤하게 일어난다. 이것은 표면의 상태를 불균일하게 할 뿐만 아니라 후속 공정에서 도포되는 절연층이 완전하게 도포가 되지 못하고 하판 제작시 상/하부 전극간 전기적 쇼트 현상을 유발 시킨다. 이러한 현상을 막기 위하여 열 전처리 공정전 PVP를 코팅층으로 도포 하여 표면을 평탄화 시켰고, 200 °C 오븐에서 1시간 동안 처리하여 열수축/팽창에 의한 변형을 최소화 하였다. 표면처리를 통한 평탄화 정도는 AFM 사진과 표면거칠기를 측정하여 개선됨을 확인 하였고, 수축율은 플라스틱 기판에 기준점을 표시하고 열처리를 진행한 후 기준점이 벗어나는 정도를 측정하여 확인하였다. 그 결과 수축율은 0.3 % (200 um 이상)에서 0.01 % (20 um 이내)로 안정되었고 그림 3 (b), (c)와 같이 표면 거칠기는 8.3 nm에서 0.46 nm로 향상된 균일하고 평탄한 안정된 기판을 얻을 수 있었다.

(2) 펜타센 성막 공정

EPD는 양쪽 전극간 음/양의 전압 차이에 따라 구동된다. 이러한 동작을 원활하게 하기 위해서는 많은 양의 전하들이 픽셀전극으로 충분히 공급되어야 하는데 이러한 역할을 TFT가 담당을 한다. 그러므로 소스에서 인가되는 전압을 효과적으로 픽셀 전극에 전달하려면 충분한 양의 전류를 흘려 주어야 한다. 일반적으로 충분한 전압을 인가하기 위해 필요로 하는 전류의 양은 채널 폭과 채널 길이의 비율(W/L)로 설계를 한다. 그러나 픽셀 어레이의 면적은 제한되어 있으므로 W/L도 제한된다. 이러한 문제점을 극복하기 위해서 단위면적당 채널 폭이 넓은 손가락 구조를 채택하는 경우가 있다.

손가락 구조의 채널은 단위면적당 높은 전류를 얻을

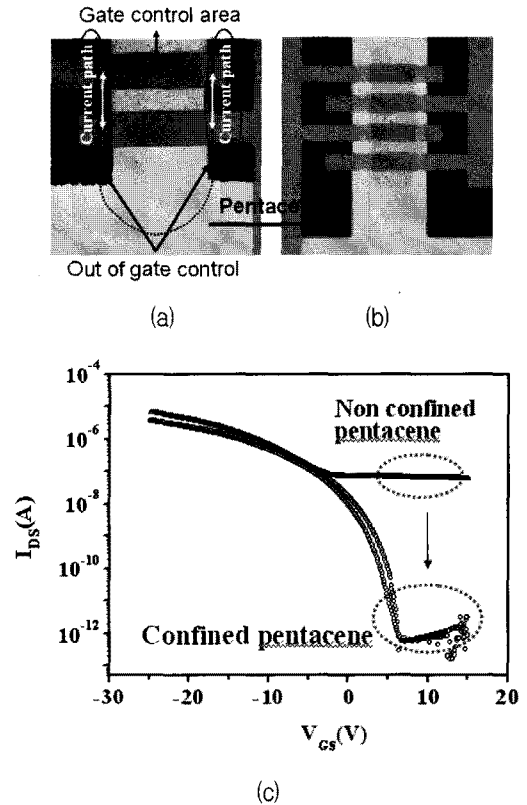


그림 4. (a) 그림자 효과 때문에 게이트 전극 보다 넓게 성막된 펜타센 활성층, (b) 게이트 전극 안에 형성된 펜타센 활성층, (c) 반도체층이 제한된 전후의 OTFT 특성 비교 곡선

Fig. 4. (a) The picture of pentacene active layer larger than gate electrode width, (b) the pentacene layer confined within the gate electrode, (c) The transfer characteristics of OTFTs with the confined active layer within the gate electrode and with the nonconfined pentacene layer.

수 있는 장점이 있지만 유기반도체 활성층을 게이트 전극의 폭 보다 작게 제한하지 않으면 차단상태의 전류가 그림 4(c)와 같이 크게 나타난다. 이것은 웨도우 마스크로 펜타센 활성층 영역을 증착할 경우 마스크의 그림자 효과 때문에 활성층 영역이 그림 4(a)와 같이 게이트 전극 보다 넓게 형성될 수 있다. 이 경우 게이트 전극 바깥에 형성된 활성층을 통하여 흐르는 전류는 게이트 전극으로 차단할 수 없기 때문에 차단 전류가 커진다. 따라서 이러한 문제를 제거하려면 마스크 설계 시 그림자 효과를 고려하여 충분한 여유를 주어 그림 4(b)와 같이 활성층 영역이 반드시 게이트 전극 안에 형성되도록 해야 한다. 본 연구에서는 펜타센 활성층을 게이트 전극안에 형성하여 그림 4(c)와 같이 차단전류를 수 십 nA에서 수 pA 수준으로 줄일 수 있었다.

(3) 중간층(interlayer) 성막 공정

제작된 OTFT-하판에서 픽셀 전극을 형성하고 EPD 층은 OTFT위에 형성이 되므로 OTFT에 최소의 영향을 주어야 하고, 픽셀전극을 형성하기 위해 패터닝(patterning)이 가능해야 한다. 또한, 안정된 스위칭 동작을 위하여 OTFT passivation층 역할도 해야 한다. 이러한 요구조건을 충족하기 위하여 PVA와 photo-initialized acryl을 중간층으로 하여 2층 구조로 구성하였고 OTFT의 성능을 조사 하였다. OTFT에 최소한의 영향을 주기 위하여 선택된 PVA는 수용성 재료로써 다른 유기 용제와 비교하여 반도체층인 유기물에 최소한의 영향을 주고^[7] photoinitiated acryl은 패터닝이 가능하면서 수분침투를 효과적으로 막을 수 있다. 그리고 PVA는 사진식각 공정이 가능하도록 하기 위하여 PVA에 ammonium dichromate 0.03 wt%로 혼합하여 광반응이 가능하도록 하였다.^[8]

먼저 PVA를 스핀코터로 도포하여 상온에서 건조시키고 포토공정으로 일정한 형태로 패터닝을 하였다. Acryl도 같은 방법으로 스핀코터로 도포하여 오븐에서 건조시키고 포토공정을 이용하여 패터닝을 진행 하였다. 각각의 층에 비어홀(via hole)이 형성되고 이곳을 통해 픽셀 전극이 잘 형성되었음을 그림 5 (a)에서 보여주고 있다.

중간층을 최적화하기 위하여 선택된 재료들의 각각의 특성들을 살펴보았다. 중간층 역할로 PVA를 단독으로 할 경우(그림 5 (b)) PVA는 수용성 재료이기 때문에 이미 형성되어진 펜타센에는 적은 영향을 주어 OTFT의 성능 감소는 다소 적으나 PVA가 수분을 흡수하게 되고 이러한 영향은 OTFT에서 trap으로 작용하여 큰 히스트레시스를 나타낸다. photoinitiated acryl을 단독으로 할 경우(그림 5 (c))에는 Acryl에 포함된 유기용제에 의하여 반도체층인 펜타센에 심각한 손상을 입히게 되고 그 결과 OTFT성능이 매우 감소하게 된다. 그러므로 각각의 재료가 단독으로 중간층으로 사용되기는 다소 무리가 있다. 최종적으로 PVA로 OTFT의 성능감소를 최소화 시키고 다음으로 Acryl을 이용하여 수분침투를 최소화하기 위하여 두 층의 도포성을 최적화 하였다. 그 결과 그림 5 (d)에서와 같이 안정된 OTFT성능을 확보 할 수 있었다. 표 1은 각각의 층이 형성된 OTFT 성능을 요약한 결과이다.

중간층은 OTFT위에 코팅막을 형성하는 것이기 때문에 일부 성능이 감소되는 것은 당연하나 이를 최소화 하고 장시간 안정화 시키는 것이 중요하다. 앞에서 언

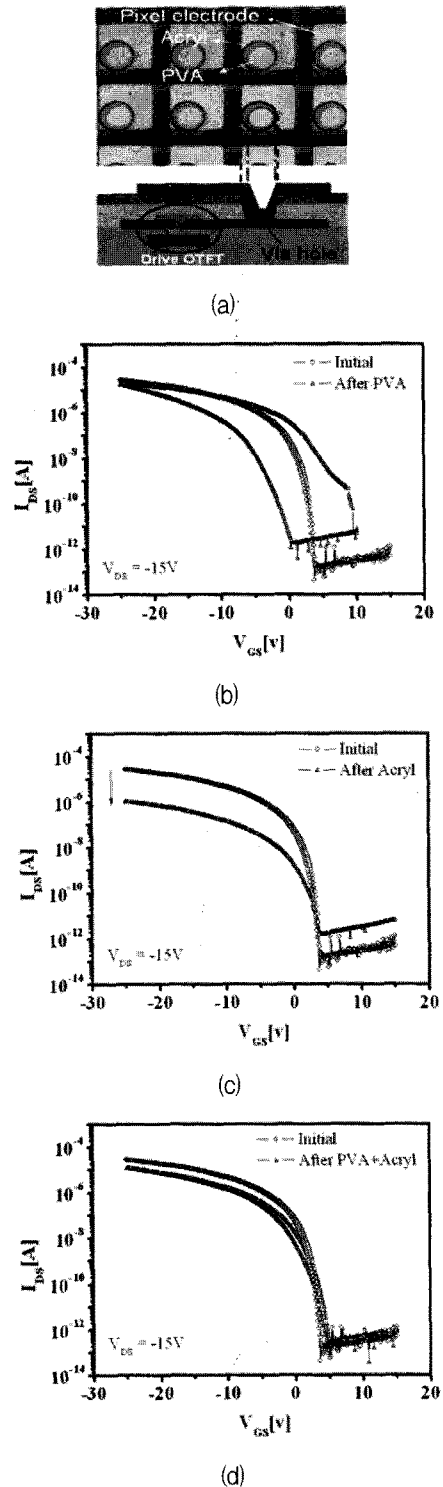
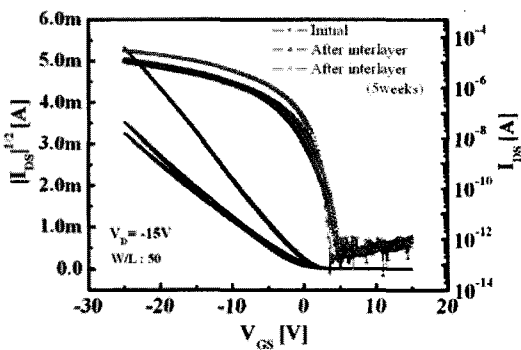


그림 5. (a) 중간층의 via hole을 통해 픽셀 전극이 형성된 이미지, 플라스틱 기판에 제작한 (b) 중간층으로 PVA 단독 (c) 중간층으로 Acryl 단독 (d) 중간층으로 PVA/Acryl 이중 구조로 형성된 OTFT의 특성 곡선

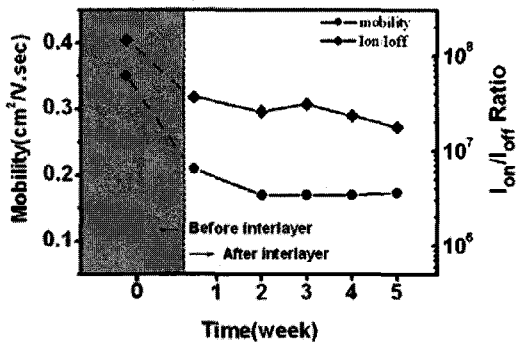
Fig. 5. (a) Image of pixel electrode which was successfully deposited through the via hole, The transfer characteristics of OTFT (b) using PVA (c) using Acryl (d) using PVA/Acryl as interlayer.

표 1. 중간층으로 사용된 PVA, Acryl, PVA/Acryl 각각의 이동도 비교
Table 1. Comparison of the mobility after PVA, Acryl, PVA/Acryl deposition as interlayer.

코팅영역	이동도(cm ² /V.s)	감소율	비고
코팅 전	0.35	0 %	
PVA 코팅	0.26	25.7 %	히스트레시스가 큼
Acryl 코팅	0.016	95.4 %	전기적 특성이 불량함
PVA+Acryl 이중 코팅	0.21	40 %	히스트레시스 없음



(a)



(b)

그림 6. 중간층 삽입이후 시간에 따른 OTFT 특성 곡선
(b) 시간에 따른 이동도 및 전류점멸비 변화
Fig. 6. (a) The transfer characteristics of OTFT before and after PVA/Acryl interlayer deposition, and (b) the variation of mobility according to time.

급된 방법으로 형성된 중간층은 보호층 역할로도 충분히 수행한다. OTFT-하판에서 중간층이 형성되고 나면 비록 최초의 성능보다 이동도 측면에서 40%정도 감소하나 일단 중간층이 형성되고 나면 소자의 성능은 매우 안정적으로 나타난다. 그림 6 a)에서 최초로 제작된 소자와 5주가 지난 소자의 전류전달 특성에서 전류의 양을 제외하고는 거의 특성 변화가 없음을 보여주고 있다. 그림 6 b) 또한 이동도와 전류 점멸비가 중간층 형성 후 매우 안정적으로 동작함을 보여주고 있다. 이러한 결과들은 중간층이 OTFT의 보호역할을 하고 있음

을 보여주고 있다. 차후 보다 가혹한 환경을 만들어 보호역할을 조사 분석 하고자 한다.

III. OTFT-하판 성능 평가

제작된 OTFT는 어레이 상에서 각각의 성능을 추출하고 분석하였다. 전기적 특성은 대기환경에서 측정을 하였고 각각의 파라메타는 MOSFET 관계식을 이용하여 추출하였다.

사용된 플라스틱 기판 사이즈는 200 mm × 200 mm 로 한 배치에 4개의 패널이 나오도록 설계하였으며 2.5 인치 기준으로 128 × 96픽셀의 OTFT-하판을 제작 하였다. 10,000개가 넘는 OTFT중 각 부분별로 샘플링 하여 성능을 비교분석하였다.

추출된 OTFT의 성능은 표 2에 요약하였으며, 성능 편차는 20%이내로 전체적으로 균일한 특성을 보였다. 또한, EPD 구동을 위한 스위칭 역할을 확인하기 위하여 무작위로 OTFT 선택하여 On/Off 점멸 테스트를 진행 하였고 그 결과를 그림 7에서 나타내었다. 이것은 스위칭 소자로서 역할을 충분히 수행하고 있음을 보여 주고 있다.

앞 절에서 언급된 모든 공정을 최적화 하여 플라스틱

표 2. OTFT-하판 성능
Table 2. The performance parameters of OTFT-backplane.

	Uniformity
Mobility(cm ² /V.s)	0.213 ± 0.021
SS(V/dec)	2.43 ± 0.43
Ion/Ioff	4.8 ± 1.36 × 10 ⁵
V _{Th} (V)	7.42 ± 0.59
Off-state current(pA/um)	0.056 ± 0.0142

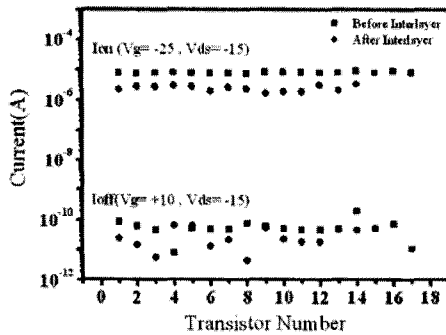


그림 7. OTFT 어레이에서 On/Off 전류 점멸비 테스트
Fig. 7. Ion/Ioff current test in OTFT-backplane.

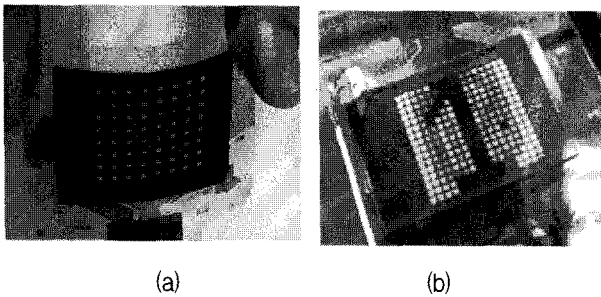


그림 8. OTFT를 이용하여 이미지를 구현한 유연한 EPD 패널
Fig. 8. The image displayed on flexible OTFT-EPD panel.

기반 OTFT-하판을 제작 하였고, 최종적으로 EPD를 결합함으로써 유연한 디스플레이를 제작 하였다. EPD 구동을 위한 동작전압에서 전압 폭은 30 V로 하였다. 제작된 OTFT의 이동도는 $0.21 \text{ cm}^2/\text{V}\cdot\text{s}$, Ion/Ioff는 10^5 이상으로 EPD를 구동하기 위한 조건을 충분히 만족하고 있다. 그림 8 (a), (b)는 OTFT를 구동 소자로 하여 이미지를 구현한 flexible EPD 사진으로 패널이 성공적으로 작동하고 있음을 보여주고 있다.

IV. 결 론

본 논문에서는 EPD용 OTFT-하판의 설계 요건과 공정의 문제점들을 살펴 보았다. 플라스틱 기판을 이용하여 OTFT를 제작할 경우 열에 의한 기판의 수축정도가 크고, 표면상태가 고르지 못하여 균일하고 안정된 소자를 만들기가 매우 어렵다. 이러한 문제점들을 해결하기 위하여 플라스틱 기판에 PVP를 도포하여 표면을 평탄화 시켰다. 평탄화 처리된 플라스틱 기판은 후속 공정에서 균일하고 양질의 막을 형성하게 하여 보다 안정된 OTFT제작이 가능하게 하였다. 이와 더불어 열처리공정을 통하여 수축율을 0.01 % 이내로 안정화

시켜 후속공정에서 일어날 수 있는 미스 얼라인 문제를 최소화 하였다.

손가락 구조에서는 유기반도체 활성층을 게이트 전극의 폭 보다 작게 제한하지 않으면 게이트 전극에 의한 차단상태를 조절 할 수 없기 때문에 차단상태의 전류가 크게 나타난다. 이러한 문제점들이 발생하지 않도록 설계시 그림자 효과를 고려하여 충분한 여유를 두고 설계를 하여야 한다. 제안된 OTFT-하판 공정에서는 차단상태에서도 정확하게 전류의 흐름이 조절 될 수 있도록 활성층을 제한하였고 그 결과 누설전류를 수 십 nA에서 수 pA 수준으로 줄일 수 있었다.

중간층은 픽셀전극을 형성하고 활성층을 보호할 수 있도록 2층으로 구성된 중간층 구조를 제시하였다. 각각의 층을 제작하여 분석하였고 그 결과를 이용하여 중간층을 최적화 하고 안정된 성능의 OTFT-하판을 확보할 수 있었다. 또한 장시간 OTFT성능을 분석함으로써 제시된 중간층은 보호층 역할도 충분히 수행하고 있음을 확인 하였다.

제작된 OTFT-하판의 이동도는 $0.21 \text{ cm}^2/\text{V}\cdot\text{s}$, Ion/Ioff는 10^5 이상의 우수한 성능을 보였다. 최종적으로 유연한 기판에 EPD를 결합하여 이미지를 구현 함으로써 OTFT를 이용한 유연한 디스플레이의 가능성을 보였다.

참 고 문 헌

- [1] B. chomiskey, J. D. Albert, H. Yoshizawa and J. Jacobson, "An electrophoretic ink for all-printed reflective electronicdisplays" Nature 394, 253 1998.
- [2] S. E. Burns, W. Reeves, B.H. Pui, K. Jacobs, S. Siddique, K. Reynolds, M. Banach, D. Barclay, K. Chalmers, N. Cousins, P. Cain, L. Dassas, M. Etchells, C. Hayton, S. Markham, A. Menon, P. Too, C. Ramsdale, J. Herod, K. Saynor, J. Watts, T. von Werne, J. Mills, C.J. Curling, H. Sirringhaus, "A flexible plastic SVGA e-paper display" SID symposium digest p.74-76 2006.
- [3] S. Forrest, P. Burrow, M. Thompson, "The dawn of organic electronics" IEEE Spectrum 37, 8 29 2000.
- [4] G. P. Crawford, "A bright new page in portable displays" IEEE Spectrum 37, 10 40 2000.
- [5] Exhibition at SID 2007.
- [6] H. S. Byun, Y. X. Xu, C. K. Song. "Fabrication of high performance pentacene thin film

transistors using poly(4-vinylphenol) as the gate insulator on Polyethyleneterephthalate substrate” Thin Solid Films, 493, 278 2005.

- [7] C. D. Sheraw, L. Zhou, J. R. Huang, D. J. Gundlach, T. N. Jackson, M. G. Kane, I. G. Hill, M. S. Hammond, J. Campi and B. K. Greening, J. Francl and J. West, “Organic thin-film transistor-driven polymer-dispersed liquid crystal displays on flexible polymeric substrates” Appl. Phys. Lett. 80, 1088 2002.
- [8] C. Pizzocaro, C. Lafond and M. Bolte, “Dichromated polyvinylalcohol: key role of chromium(V) in the properties of the photosensitive material” J. Photoc-ernistry and Photobiology A: Chemistry 151, 221 2002.

저 자 소 개



이 명 원(학생회원)
 2002년 2월 동아대학교
 전자공학과 학사 졸업.
 2004년 2월 동아대학교
 전자공학과 석사 졸업.
 2005년 2월 ETRI 연구원
 2005년~현재 동아대학교
 전자공학과 박사과정.

<주관심분야 : OTFT, AMEPD, 반도체, 플렉시블 디스플레이>



류 기 성(학생회원)
 2003년 2월 동아대학교
 전자공학과 학사 졸업.
 2005년 2월 동아대학교
 전자공학과 석사 졸업.
 2005년~현재 동아대학교
 전자공학과 박사과정.

<주관심분야 : OTFT, AMOLED, 반도체, 플렉시블 디스플레이>



송 정 근(정회원)
 1980년 서울대학교 전자공학과
 학사 졸업.
 1984년 서울대학교 전자공학과
 석사 졸업
 1992년 University of Cincinnati
 Electrical and Eng.
 공학 박사

1993년~현재 동아대학교 전자공학과 전자컴퓨터공학부 정교수.

<주관심분야 : 나노유기소자, 분자전자소자, Flexible Electronics, Flexible Display>