

논문 2008-45SD-7-2

Short-gate SOI MESFET의 문턱 전압 표현 식 도출을 위한 해석적 모델

(An Analytical Model for Deriving The Threshold Voltage Expression
of A Short-gate Length SOI MESFET)

갈진하*, 서정하**

(Jin-Ha Kal and Chung-Ha Suh)

요약

본 논문에서는 short-gate SOI MESFET의 문턱전압 도출을 위한 간단한 해석적 모델을 제시하였다. 완전 공핍된 실리콘 채널 영역에서는 2차원 Poisson 방정식을, buried oxide 영역에서는 2차원 Laplace 방정식을 반복법(iteration method)을 이용해 풀어 각 영역 내에서의 전위 분포를 채널에 수직인 방향의 좌표에 대해 5차 다항식으로 표현하였으며 채널 바닥 전위를 구하였다. 채널 바닥 전위의 최소치가 0이 되는 게이트 전압을 문턱 전압으로 제한하여 closed-form의 문턱 전압 식을 도출하였다. 도출된 문턱 전압 표현 식을 모의 실험한 결과, 소자의 구조 parameter와 가해진 bias 전압에 대한 정확한 의존성을 확인할 수 있었다.

Abstract

In this paper, a simple analytical model for deriving the threshold voltage of a short-gate SOI MESFET is suggested. Using the iteration method, the Poisson equation in the fully depleted silicon channel and the Laplace equation in the buried oxide region are solved two-dimensionally. Obtained potential distributions in each region are expressed in terms of fifth-order of x , where x denotes the coordinate perpendicular to the silicon channel direction. From them, the bottom channel potential is used to describe the threshold voltage in a closed-form. Simulation results show the dependencies of the threshold voltage on the various device geometry parameters and applied bias voltages.

Keywords: SOI(Silicon On Insulator), MESFET, threshold voltage analysis, short channel effect, DIBL

I. 서론

지난 수십 년 간 반도체 산업의 주류를 이루는 고집적회로의 기본 소자인 MOSFET는 고집적화, 고속 스위칭 및 높은 전류 구동 능력 등을 위해 소자의 축소화를 위한 개발이 계속되어왔다. 이 결과 최근 0.1

micrometer 수준의 scale down에 이르게 되었으며 더 이상의 scale down에서는 게이트전압에 의한 전하 이동도 감소, hot carrier효과, 및 punch through효과 등, 여러 가지 문제점들에 봉착하게 되었다. 이러한 문제점들을 해결하기 위해 MOSFET을 MESFET으로 대체하는 방안이 최근 주목받고 있다. MESFET은 thin gate oxide가 없으며 다수 캐리어의 수송에 의한 소자 이므로 보다 고속성을 가지며, 게이트전압에 의한 캐리어 이동도 감소 효과가 적으며, hot carrier 효과를 피할 수 있고, radiation hardness가 우수하며, 소스(드레인)-채널 간 p-n접합에 비해 공간전하 영역이 좁은

* 학생회원, ** 정회원, 홍익대학교 전자전기공학부
(School of Electronic & Electrical Eng., Hongik Univ.)

※ 본 연구는 홍익대학교 2007년도 학술연구진흥과제에 의해 지원되었음.

접수일자: 2008년1월11일, 수정완료일: 2008년6월30일

$n^+ - n$ 이므로 punch through에 대한 면역성이 뛰어난 등, scale down 소자에서 여러 가지 장점^[1-9]을 가지고 있다. 또한 MESFET은 Schottky 접합으로 인해 작은 gate voltage swing 범위를 가져 저 전력 소자의 대안이 될 수 있다^[10]. short-gate MESFET 소자에서는 2차원 전계 효과가 무시할 수 없을 정도로 중요하므로 통상적인 GCA (Gradual Channel Approximation)를 쓸 수 없어 간단하면서도 정확한 해석적 모델 수립이 용이하지 않다. 일반적으로 FET의 문턱 전압을 정확하게 추정하는 것은 소자의 최적화 회로 설계에 있어 매우 중요하다. ATLAS^[11]나 MEDICI^[12] 등의 수치 해석 모델(numerical model)을 사용하는 것은 short-gate 소자 특성을 정확하게 추정할 수 있으나 비교적 많은 시간을 필요로 하여 보다 간편한 short-gate 모델들이 제안되었다. 이들은 주로 DIBL(drain induced barrier lowering) 개념에 기초하여 short-gate SOI(Silicon On Insulator) MESFET의 해석적 모델링^[13-15]을 제안했으나 다소 임의적인 가정을 도입하였으며 도출된 문턱 전압 표현식이 전형적인 short-channel effect (SCE)인 drain-induced roll-off를 과소평가하고 있다. 한편 Green 함수 기법을 이용하여 2차원 Poisson 방정식의 해를 영역별로 구함으로써 채널 바닥의 전위 분포와 문턱 전압을 도출하는 모델을 제안했으나^[16-17], 복잡한 Green 함수들을 증명 과정 없이 도입하여 모델의 이론 체계가 명백하지 않은 점이 있으며 게이트 금속 전극과 채널과 접한 양 쪽 모서리, 즉, 그림 1에서의 점(0,0) 및 (0,L)에서 제안된 경계 조건들이 상충하는 등 다소의 모순을 내포하고 있다. 최근에는 실리콘 채널 내에서의 2차원 전위 분포를 채널 방향에 수직된 좌표에 대해 포물선 함수로, buried oxide층에서의 전위를 선형 함수로 근사화할 수 있다고 가정하여 비교적 간단한 문턱 전압 모델^[18]이 제안된 바 있다. 그러나 이들 모델은 다소 두꺼운 buried oxide층을 갖는 소자에 대해서는 도출된 문턱 전압이 부정확해지는 단점을 갖고 있다. 본 논문은 이러한 기존 모델들의 미비점을 극복하며 short-gate SOI MESFET의 문턱 전압을 비교적 정확하면서 간단하게 도출할 수 있는 해석적 모델을 제안하고자 한다.

II. SOI MESFET의 문턱 전압 모델

1. Short-Gate SOI MESFET의 전위 분포 식

본 논문의 해석적 모델링을 위한 n-channel형 SOI

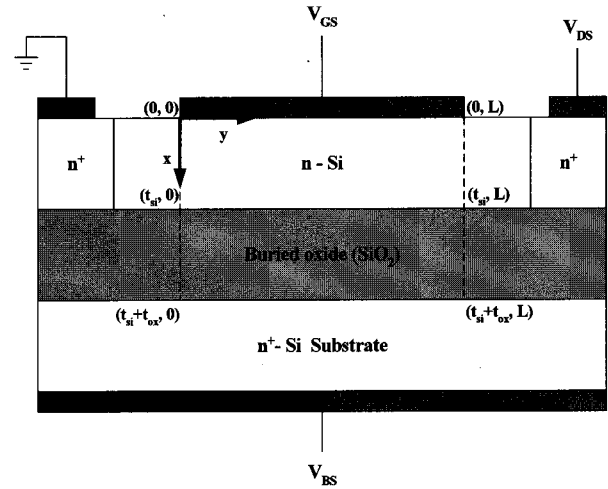


그림 1. 본 모델의 SOI MESFET의 단면도

Fig. 1. Cross-section of an n-channel SOI MESFET to be modeled.

MESFET의 단면도가 그림 1에 도시되어 있다. 여기서 x 는 게이트와 실리콘의 접합면으로부터 채널을 가로지르는 좌표이고, y 는 소스 끝에서 드레인 쪽으로 향하는 좌표, t_{si} 는 실리콘 몸체의 두께, t_{ox} 는 buried oxide층의 두께, 그리고 V_{GS} , V_{BS} , V_{DS} 는 각각 소스를 기준으로 한 게이트 전압, 드레인 전압, 기판(또는 back gate) 전압을 나타낸다. short-gate SOI MESFET의 정확하고 간단한 문턱 전압 모델 도출을 위해 실리콘 채널의 도핑 농도가 N_D 로 균일하고 buried oxide층 내의 공간 전하 밀도는 무시할 수 있으며 실리콘 채널이 비교적 얇아서 sub-threshold 조건에서 완전 공핍되었다고 가정하자. 그러면 실리콘 채널과 buried oxide층 내의 전위 분포는 각각 다음의 2차원 Poisson 방정식과 2차원 Laplace 방정식을 만족하게 된다.

$$\frac{\partial^2 \Psi}{\partial x^2} + \frac{\partial^2 \Psi}{\partial y^2} = \begin{cases} -\frac{qN_D}{\epsilon_{si}}, & 0 \leq x \leq t_{si} \\ 0, & t_{si} \leq x \leq t_{si} + t_{ox} \end{cases} \quad (1)$$

단, q 는 전자 전하량의 크기이며 ϵ_{si} 는 실리콘의 유전 상수이다. 편의상 $\Psi(x, y)$ 를 다음과 같이 구분하자.

$$\Psi(x, y) = \begin{cases} \Psi^{si}(x, y), & 0 \leq x \leq t_{si} \\ \Psi^{ox}(x, y), & t_{si} \leq x \leq t_{si} + t_{ox} \end{cases} \quad (2)$$

고려해야 할 경계 조건은 다음과 같다.

$$\Psi^{si}(0, y) = V_{GS} - \Phi_{bi} \equiv V_{GS}' \quad (3)$$

$$\Psi^{ox}(t_{si} + t_{ox}, y) = V_{BS} - \Phi_{MS} \equiv V_{BS}' \quad (4)$$

$$\Psi^{si}(t_{si}, y) = \Psi^{ox}(t_{si}, y) \equiv \Psi_b(y) \quad (5)$$

$$\epsilon_{si} \frac{\partial \Psi^{si}}{\partial x} \Big|_{x=t_{si}} = \epsilon_{ox} \frac{\partial \Psi^{ox}}{\partial x} \Big|_{x=t_{si}} \quad (6)$$

단, Φ_{bi} 는 게이트와 실리콘 간 Schottky 접합의 built-in 전압, Φ_{MS} 는 back 게이트와 실리콘 채널 사이의 일함수의 차, ϵ_{ox} 는 buried oxide의 유전 상수, 및 $\Psi_b(y)$ 는 채널 바닥 전위이다. 실리콘 영역의 2차원 전위 분포를 구하기 위해 초기 추정(initial guess)으로 GCA, 즉 $|\partial^2 \Psi / \partial x^2| \gg |\partial^2 \Psi / \partial y^2|$ 를 고려하면 $\Psi^{si}(x, y)$ 는 식(3) 및 식(5)를 만족하도록 다음과 같이 표현된다.

$$\Psi^{si}(x, y) = V_{GS}' + \frac{x}{t_{si}} [\Psi_b(y) - V_{GS}'] - \frac{qN_D}{2\epsilon_{si}} x(x - t_{si}) \quad (7)$$

상기 식은 $\Psi^{si}(x, y)$ 가 x 의 2차 함수로 표현된다고 가정한 기존 모델의 결과에 대응되며. 게이트 길이가 채널 폭의 크기에 비해 상당히 긴 경우에만 GCA가 유효하므로 short-gate 소자에서는 정확성이 떨어진다. 이를 해결하기 위해 식(7)을 y 에 대하여 두 번 미분하여

$$\frac{\partial^2 \Psi^{si}}{\partial y^2} = \frac{x}{t_{si}} \frac{d^2 \Psi_b}{dy^2} \quad (8)$$

을 얻고 이를 식(1)의 상단에 대입하면 초기 추정에서 도입된 GCA가 완화된 다음 식을 얻을 수 있다.

$$\frac{\partial^2 \Psi^{si}}{\partial x^2} = -\frac{qN_D}{\epsilon_{si}} - \frac{x}{t_{si}} \frac{d^2 \Psi_b}{dy^2} \quad (9)$$

경계 조건을 고려하여 식(9)을 만족하는 해 $\Psi^{si}(x, y)$ 는 다음과 같다.

$$\Psi^{si}(x, y) = V_{GS}' + \frac{x}{t_{si}} [\Psi_b(y) - V_{GS}'] - \frac{qN_D}{2\epsilon_{si}} x(x - t_{si}) - \frac{1}{6t_{si}} (x^3 - t_{si}^2 x) \frac{d^2 \Psi_b}{dy^2} \quad (10)$$

식(10)을 다시 y 에 대하여 두 번 미분하여

$$\frac{\partial^2 \Psi^{si}}{\partial y^2} = \frac{x}{t_{si}} \frac{d^2 \Psi_b}{dy^2} - \frac{1}{6t_{si}} (x^3 - t_{si}^2 x) \frac{d^4 \Psi_b}{dy^4} \quad (11)$$

을 얻고 이를 식(1)의 상단에 대입하면 $\Psi_b(y)$ 의 y 에 대한 변화가 고려된 2차원 Poisson 방정식이 얻어진다.

$$\frac{\partial^2 \Psi^{si}}{\partial x^2} = -\frac{qN_D}{\epsilon_{si}} - \frac{x}{t_{si}} \frac{d^2 \Psi_b}{dy^2} + \frac{1}{6t_{si}} (x^3 - t_{si}^2 x) \frac{d^4 \Psi_b}{dy^4} \quad (12)$$

식(12)을 만족하는 해 $\Psi^{si}(x, y)$ 는 경계 조건을 고려하면 다음과 같이 얻게 된다.

$$\Psi^{si}(x, y) = V_{GS}' + \frac{x}{t_{si}} [\Psi_b(y) - V_{GS}'] - \frac{qN_D}{2\epsilon_{si}} x(x - t_{si}) - \frac{1}{6t_{si}} (x^3 - t_{si}^2 x) \frac{d^2 \Psi_b}{dy^2} + \frac{1}{120t_{si}} \left(x^5 - \frac{10}{3} t_{si}^2 x^3 + \frac{7}{3} t_{si}^4 x \right) \frac{d^4 \Psi_b}{dy^4} \quad (13)$$

buried oxide층 내의 전위 분포를 구하기 위해서 처음에는 GCA를 이용하고 식(4), 식(5)를 고려하면 $\Psi^{ox}(x, y)$ 는 다음과 같이 쓸 수 있다.

$$\Psi^{ox}(x, y) = V_{BS}' - \frac{x'}{t_{ox}} [\Psi_b(y) - V_{BS}'] \quad (14)$$

단, $x' = x - t_{si} - t_{ox}$ 이다. 상기 식은 $\Psi^{ox}(x, y)$ 가 x 의 1차 함수로 표현된다고 가정한 기존 모델의 결과에 대응되며. 게이트 길이가 buried oxide층에 비해 상당히 긴 경우에만 적용 가능하므로, 실리콘 영역의 2차원 전위 분포를 구하는 방법과 같이하여 buried oxide층 내의 2차원 전위 분포 식이 다음과 같이 도출될 수 있다.

$$\Psi^{ox}(x, y) = V_{BS}' - \frac{x'}{t_{ox}} [\Psi_b(y) - V_{BS}'] + \frac{1}{6t_{ox}} (x'^3 - t_{ox}^2 x') \frac{d^2 \Psi_b}{dy^2} - \frac{1}{120t_{ox}} \left(x'^5 - \frac{10}{3} t_{ox}^2 x'^3 + \frac{7}{3} t_{ox}^4 x' \right) \frac{d^4 \Psi_b}{dy^4} \quad (15)$$

2. Short-gate SOI MESFET의 채널 바닥 전위

식(13)과 식(15)을 각각 x 에 대하여 미분하고 $x = t_{si}$ 를 대입하여 식(6)을 이용하면, 다음 식을 얻게 된다.

$$\Psi_b(y) - V_{GS}' - V_p - \frac{t_{si}^2}{3} \frac{d^2 \Psi_b}{dy^2} - \frac{t_{si}^4}{45} \frac{d^4 \Psi_b}{dy^4} = \frac{t_{si}}{\eta t_{ox}} \left[V_{BS}' - \Psi_b(y) + \frac{t_{ox}^2}{3} \frac{d^2 \Psi_b}{dy^2} + \frac{t_{ox}^4}{45} \frac{d^4 \Psi_b}{dy^4} \right] \quad (16)$$

단, $\eta = \epsilon_{si} / \epsilon_{ox}$ 이고, V_p 는 통상 pinch-off 전압이라고 불리는 다음과 같이 정의된 값이다.

$$V_p = \frac{qN_D}{2\epsilon_{si}} t_{si}^2 \quad (17)$$

식(16)을 정리하면 다음 식을 얻을 수 있다.

$$a_0 \frac{d^4 \Psi_b}{dy^4} + a_1 \frac{d^2 \Psi_b}{dy^2} - a_2 \Psi_b(y) + V_{GS}' + V_p + \frac{t_{si}}{\eta t_{ox}} V_{BS}' = 0 \quad (18)$$

단, a_0 , a_1 , 및 a_2 는 다음과 같이 정의되었다.

$$a_0 = \frac{t_{si}^4}{45} \left(1 + \frac{t_{ox}^3}{\eta t_{si}^3} \right) \quad (19)$$

$$a_1 = \frac{t_{si}^2}{3} \left(1 + \frac{t_{ox}}{\eta t_{si}} \right) \quad (20)$$

$$a_2 = 1 + \frac{t_{si}}{\eta t_{ox}} \quad (21)$$

상기 선형 미분 방정식의 해는 다음과 같이 쓸 수 있다.

$$\Psi_b(y) = \Phi_b + \frac{(\Psi_{b0} - \Phi_b) \sinh\left(\frac{L-y}{\lambda}\right) + (\Psi_{bL} - \Phi_b) \sinh\left(\frac{y}{\lambda}\right)}{\sinh\left(\frac{L}{\lambda}\right)} \quad (22)$$

단, $\Psi_{b0} = \Psi_b(0)$ 및 $\Psi_{bL} = \Psi_b(L)$ 이고,

$$\Phi_b = \frac{V_{GS}' + V_p + \frac{t_{si}}{\eta t_{ox}} V_{BS}'}{1 + \frac{t_{si}}{\eta t_{ox}}} \quad (23)$$

$$\lambda = \sqrt{\frac{a_1 + \sqrt{a_1^2 + 4a_0 a_2}}{2a_0}} \quad (24)$$

이다. 식(24)의 λ 는 도출 과정 및 표현식이 본 모델과는 상이하나 기존 모델에서 natural length에 해당된다.

3. Short-gate SOI MESFET의 문턱 전압 표현식

식(22)를 y 에 대해 미분하고 $\Psi_b(y)$ 이 최소값이 되는 y 의 값을 y_m 이라고 하면 다음 식을 얻는다.

$$\frac{\cosh\left(\frac{L-y_m}{\lambda}\right)}{\cosh\left(\frac{y_m}{\lambda}\right)} = \frac{\Psi_{bL} - \Phi_b}{\Psi_{b0} - \Phi_b} \quad (25)$$

식(25)에 아래의 두 항등식

$$\frac{\cosh\left(\frac{L-y_m}{\lambda}\right)}{\cosh\left(\frac{y_m}{\lambda}\right)} = \cosh\left(\frac{L}{\lambda}\right) - \sinh\left(\frac{L}{\lambda}\right) \tanh\left(\frac{y_m}{\lambda}\right) \quad (26)$$

$$\cosh\left(\frac{L}{\lambda}\right) = 1 + \sinh\left(\frac{L}{\lambda}\right) \tanh\left(\frac{L}{2\lambda}\right) \quad (27)$$

을 이용하면 다음 식이 도출된다.

$$\tanh\left(\frac{y_m}{\lambda}\right) = \tanh\left(\frac{L}{2\lambda}\right) - \frac{\Psi_{bL} - \Psi_{b0}}{\Psi_{b0} - \Phi_b} \operatorname{csch}\left(\frac{L}{\lambda}\right) \quad (28)$$

식(22)에 $y = y_m$ 을 대입한 후, 식(25)를 이용하면 $\Psi_b(y)$ 의 최소값이 다음 식으로 얻어진다.

$$\Psi_b(y_m) = \Phi_b + \frac{(\Psi_{b0} - \Phi_b) \sinh\left(\frac{L}{\lambda}\right)}{\cosh\left(\frac{y_m}{\lambda}\right) \sinh\left(\frac{L}{\lambda}\right)} = \Phi_b + (\Psi_{b0} - \Phi_b) \sqrt{1 - \tanh^2\left(\frac{y_m}{\lambda}\right)} \quad (29)$$

$L \gg \lambda$ 인 경우, 식(28)로부터 $y_m \approx L/2$ 이 얻어지고 $y_m \gg \lambda$ 를 식(29)에 대입하면

$$\Psi_b(y_m) \approx \Phi_b \quad (30)$$

을 얻는다. 또한 buried oxide층이 두꺼운 경우, 식(23)은 다음과 같이 쓸 수 있다.

$$\Phi_b \approx V_{GS}' + V_p \quad (31)$$

한편, 두꺼운 buried oxide층을 갖는 장 채널 소자의 문턱 전압은 다음과 같이 주어짐을 알고 있다.

$$V_T = \Phi_b - V_p \quad (32)$$

이상의 추론으로부터 sub-threshold 조건, 즉 $V_{GS} \leq V_T$ 을 일반적으로 다음과 같이 제안할 수 있다.

$$\Psi_b(y_m) \leq 0 \quad (33)$$

상기 부등식에 식(28) 및 식(29)를 대입하면 다음을 얻게 된다.

$$X \sqrt{1 - \left[\tanh\left(\frac{L}{2\lambda}\right) - \frac{V_{DS}'}{X} \operatorname{csch}\left(\frac{L}{\lambda}\right) \right]^2} \leq X - \Psi_{b0} \quad (34)$$

단, $X = \psi_{b0} - \phi_b$ 및 $V_{DS}' = \psi_{bL} - \psi_{b0}$ 이다. 식(34)의 양변을 제곱하고 정리하면 다음의 부등식을 얻는다.

$$\begin{aligned} & \tanh^2\left(\frac{L}{2\lambda}\right) X^2 \\ & - 2 \left[\tanh\left(\frac{L}{2\lambda}\right) \operatorname{csch}\left(\frac{L}{\lambda}\right) V_{DS}' + \psi_{b0} \right] X \\ & + V_{DS}'^2 \operatorname{csch}^2\left(\frac{L}{\lambda}\right) + \psi_{b0}^2 \geq 0 \end{aligned} \quad (35)$$

상기 부등식의 해는 $X = \psi_{b0} - \phi_b$ 및 $V_{GS} \leq V_T$ 을 고려하면 다음과 같이 얻어진다.

$$X \geq \frac{\tanh\left(\frac{L}{2\lambda}\right) \operatorname{csch}\left(\frac{L}{\lambda}\right) V_{DS}' + \psi_{b0} + \sqrt{D}}{\tanh^2\left(\frac{L}{2\lambda}\right)} \quad (36)$$

단, D 는 다음과 같다.

$$\begin{aligned} D &= \left[\tanh\left(\frac{L}{2\lambda}\right) \operatorname{csch}\left(\frac{L}{\lambda}\right) V_{DS}' + \psi_{b0} \right]^2 \\ & - \tanh^2\left(\frac{L}{2\lambda}\right) \left[V_{DS}'^2 \operatorname{csch}^2\left(\frac{L}{\lambda}\right) + \psi_{b0}^2 \right] \\ & = \operatorname{sech}^2\left(\frac{L}{2\lambda}\right) \psi_{b0} \psi_{bL} \end{aligned} \quad (37)$$

그러므로 ϕ_b 의 범위는 다음과 같이 도출된다.

$$\begin{aligned} \phi_b &\leq \psi_{b0} - \frac{(\psi_{bL} - \psi_{b0}) \operatorname{csch}\left(\frac{L}{\lambda}\right)}{\tanh\left(\frac{L}{2\lambda}\right)} \\ & - \frac{\psi_{b0} + \operatorname{sech}\left(\frac{L}{2\lambda}\right) \sqrt{\psi_{b0} \psi_{bL}}}{\tanh^2\left(\frac{L}{2\lambda}\right)} \\ & = -\frac{1}{2} (\psi_{b0} + \psi_{bL}) \operatorname{csch}^2\left(\frac{L}{2\lambda}\right) \\ & - \cosh\left(\frac{L}{2\lambda}\right) \operatorname{csch}^2\left(\frac{L}{2\lambda}\right) \sqrt{\psi_{b0} \psi_{bL}} \end{aligned} \quad (38)$$

따라서 문턱 전압 V_T 를 다음과 같이 도출할 수 있다.

$$\begin{aligned} V_T &= \phi_{bi} - V_p - \frac{t_{si}}{\eta t_{ox}} V_{BS}' \\ & - \left(1 + \frac{t_{si}}{\eta t_{ox}} \right) \operatorname{csch}^2\left(\frac{L}{2\lambda}\right) \left[\frac{1}{2} (\psi_{b0} + \psi_{bL}) \right. \\ & \left. + \cosh\left(\frac{L}{2\lambda}\right) \sqrt{\psi_{b0} \psi_{bL}} \right] \end{aligned} \quad (39)$$

끝으로, ψ_{b0} 와 ψ_{bL} 은 다음과 같이 표현할 수 있다.

$$\psi_{b0} = V_{bi} + R_s I_D \quad (40)$$

$$\psi_{bL} = V_{bi} + V_{DS}' - R_d I_D \quad (41)$$

단, V_{bi} 는 소스(드레인)에서 실리콘 영역의 n^+ 와 n 접

합의 built-in 전압, R_s 와 R_d 는 소스와 드레인의 기생 저항이며, I_D 는 드레인 전류이다. sub-threshold 영역에서 I_D 는 거의 0이므로 다음을 얻는다.

$$\psi_{b0} \approx V_{bi} \quad (42)$$

$$\psi_{bL} \approx V_{bi} + V_{DS}' \quad (43)$$

소스와 드레인 영역의 도핑 농도가 균일한 값 N_D^s 이라면 V_{bi} 는 다음과 같이 주어진다.

$$V_{bi} = \frac{k_B T}{q} \ln\left(\frac{N_D^s}{N_D}\right) \quad (44)$$

단, k_B 는 볼츠만 상수이며 T 는 절대 온도이다.

III. 모의 실험 결과 및 검토

앞서 구한 수식에 따라 $\psi_b(y)$ 및 V_T 를 모의 실험한 결과가 그림 2에서 8까지 도시되었다. 계산을 위해 $k_B T/q = 0.026$ [V], $\epsilon_{ox} = 3.9 \times 8.85 \times 10^{-14}$ [F/cm], $\epsilon_{si} = 11.8 \times 8.85 \times 10^{-14}$ [F/cm], $N_D^s = 1 \times 10^{20}$ [cm^{-3}] 를 사용하였다. 그림 2는 SOI MESFET의 단 채널 소자(0.1 μm)와 장 채널 소자(0.5 μm)에 대해 드레인 전압(V_{DS})이 0V, 0.5V, 1V로 증가함에 따른 바닥 전위의 변화를 나타낸다. 장 채널 소자에서 바닥 전위가 최소가 되는 위치(y_m)가 V_{DS} 의 증가에 따라 변화가 거의 없는 반면 단 채널 소자에서는 소스 쪽으로 이동하는 것을 보이고 있어 단 채널 소자에서 DIBL효과가 뚜렷이 나타나고 있음을 확인할 수 있다. 그림 3은 여러 채널 길이에 대한 드레인 전압에 따른 채널 바닥 전위가 최소가 되는 채널 위치(y_m)의 변화를 보이고 있다. 그림과 같이 드레인 전압이 증가할수록 장 채널에서는 거의 변화가 없으나 단 채널에서는 소스 쪽으로 이동하는 것을 관찰할 수 있다. 그림 4는 드레인 전압에 따른 문턱 전압의 변화를 보이고 있다. 이는 V_{DS} 의 증가에 따른 문턱 전압의 roll-off 현상을 잘 나타내고 있다. 그림 5는 기관 전압(V_{BS})에 대한 문턱 전압의 변화를 나타낸다. V_{BS} 가 0V, -1V, -2V일 경우에 따른 문턱 전압의 변화를 보이고 있는데 음의 방향으로 증가함에 따라 문턱 전압이 증가하는 기관 bias (또는 back bias) 효과를 보여주고 있다. 그림 6은 실

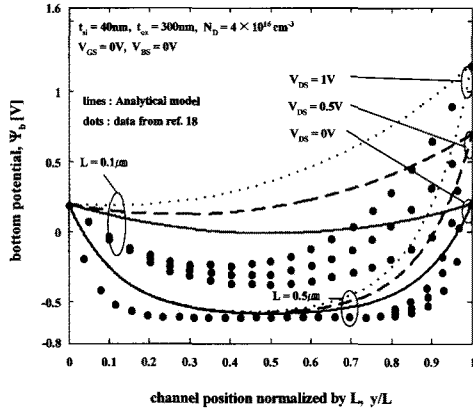


그림 2. short-gate SOI MESFET의 채널 위치에 따른 장채널과 단 채널의 채널 바닥 전위의 변화
 Fig. 2. channel bottom potential along the channel position of a long and a short channel device for various values of drain voltage.

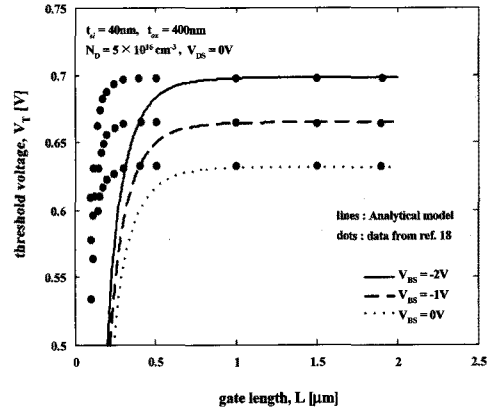


그림 5. 여러 V_{BS} 에 대한 short-gate SOI MESFET의 채널 길이에 따른 문턱 전압의 변화
 Fig. 5. Threshold voltage versus channel length for various values of substrate voltage.

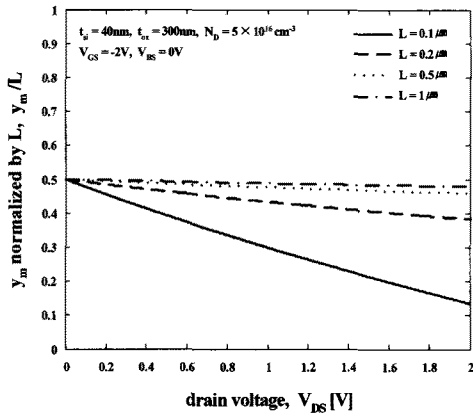


그림 3. 여러 채널 길이에 대한 드레인 전압에 따른 바닥 채널 준위가 최소가 되는 채널 위치의 변화
 Fig. 3. y_m normalized by L versus V_{DS} for various values of channel length.

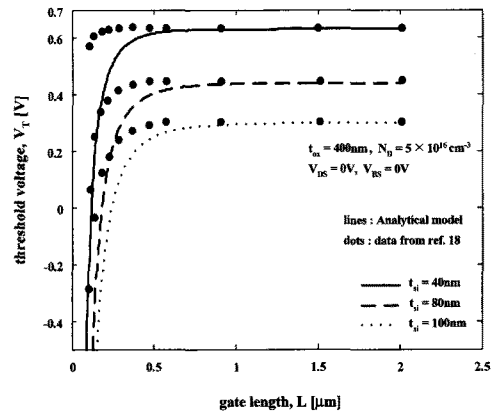


그림 6. 여러 t_{si} 에 대한 short-gate SOI MESFET의 채널 길이에 따른 문턱 전압의 변화
 Fig. 6. Threshold voltage versus channel length for various values of silicon channel thickness.

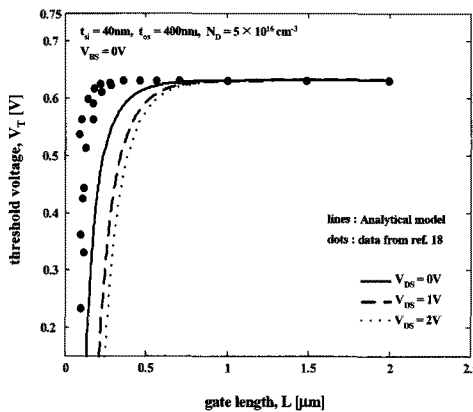


그림 4. 여러 V_{DS} 에 대한 short-gate SOI MESFET의 채널 길이에 따른 문턱 전압의 변화
 Fig. 4. Threshold voltage versus channel length for various values of drain voltage.

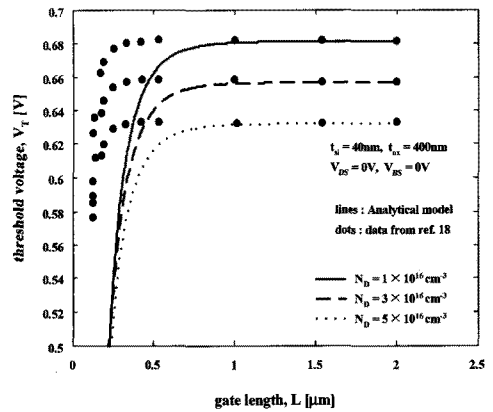


그림 7. 여러 N_D 에 대한 short-gate SOI MESFET의 채널 길이에 따른 문턱 전압의 변화
 Fig. 7. Threshold voltage versus channel length for various values of silicon channel thickness.

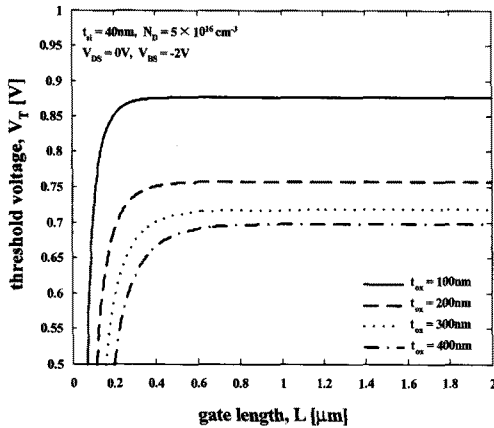


그림 8. 여러 t_{ox} 에 대한 short-gate SOI MESFET의 채널 길이에 따른 문턱 전압의 변화
 Fig. 8. Threshold voltage versus channel length for various values of buried oxide thickness.

리콘 채널의 두께에 따른 문턱 전압의 변화를 보이고 있다. 그림은 t_{si} 가 각각 40nm, 80nm, 100nm일 경우의 문턱 전압을 나타내고 있으며, 두께가 증가하면서 문턱 전압이 감소함을 보이고 있다. 그림 7은 실리콘 채널의 도핑 농도(N_D)에 따른 문턱 전압의 변화이다. N_D 가 각각 $1 \times 10^{16} [cm^{-3}]$, $3 \times 10^{16} [cm^{-3}]$, $5 \times 10^{16} [cm^{-3}]$ 로 증가함에 따라 문턱 전압이 낮아지는데, 도핑의 농도를 조절함으로써 문턱 전압을 제어할 수 있음을 보여준다. 그림 8은 buried oxide 두께(t_{ox})에 따른 문턱 전압을 나타낸 것이다. t_{ox} 가 각각 100nm, 200nm, 300nm, 400nm로 증가함에 따라 문턱 전압이 감소함을 보이고 있다.

IV. 결 론

본 논문에서는 short-gate SOI MESFET의 문턱 전압 도출에 관한 비교적 간단하고 정확한 해석적 모델을 제안하였다. 기존의 논문들의 경우에 불확실한 가정을 도입하거나 다소 논리적인 비약 및 복잡한 과정을 통해 문턱 전압의 표현 식을 도출한 데 비해 이 논문에서 제안한 해석적 모델은 간단하면서 무리한 가정이 없이 순조로운 논리적 과정을 통해서 문턱 전압의 표현식을 closed form으로 도출하고 있다. 또한 구해진 문턱 전압 식으로 모의실험을 한 결과가 여러 구조적 파라미터와 바이어스에 대해서 정확한 의존성을 보였으며 DIBL 효과에 의한 문턱 전압의 roll-off 현상과 기판 전압에 의한 기판 바이어스(또는 back bias)효과를 잘 설명하고 있다. 또한 문턱 전압의 요인 중 실리콘 채널의 도핑 농

도는 문턱 전압의 크기에만 영향을 미치며 전체적인 roll-off의 경향에는 영향을 미치지 않음을 보이고 있다.

참 고 문 헌

- [1] J. D. Marshall and J. D. Meindl, "A sub- and near-threshold current model for silicon MESFETs," *IEEE Trans. Electron Devices*, vol. ED-35, pp. 388-390, Mar 1988.
- [2] Q. Chen, M. Willander, J. Charter, C. H. Thaki, and E. R. A. Evans, "Fabrication and performances of delta-doped Si n-MESFET grown by MBE," *Electron Lett.*, vol. 29, pp. 671-673, Apr 1993.
- [3] A. Georagkilas, G. Halkias, A. Christou, C. Papavassiliou, G. Perantinus, G. Konstantinidis, and P. Panayotatos, "Microwave performance of GaAs-on-Si MESFETs with Si buffer layers," *IEEE Trans. Electron Devices*, vol. 40, pp. 507-512, Mar 1993.
- [4] C. D. Hartgring, B. A. Rosario, and J. M. Pickett, "Silicon MESFET digital circuit techniques," *IEEE J. Solid-State Circuits*, vol. 16, pp. 578-584, May 1981.
- [5] K. P. MacWilliams and J. D. Plummer, "Device physics and technology of complementary silicon MESFETs for VLSI applications," *IEEE Trans. Electron Devices*, vol. 38, pp. 2619-2631, Dec 1991.
- [6] J. Nulman, J. V. Faricelli, J. P. Krusius, and J. Frey, "Fabrication and analysis of (1=2)m silicon logic MESFETs," *IEEE Trans. Electron Devices*, vol. ED-30, pp. 1395-1401, Oct 1983.
- [7] U. Magnusson, J. Tiren, A. Soderberg, M. Rosling, O. Grelsson, H. Bleichner, J. O. Nylander, and S. Berg, "Bulk silicon technology for complementary MESFETs," *Electron Lett.*, vol. 25, pp. 565-566, 1989.
- [8] G. V. Ram and M. I. Elmasry, "On the scaling of Si-MESFETs," *IEEE Electron Device Lett.*, vol. EDL-1, pp. 259-262, Dec 1980.
- [9] P. A. Tove, K. Bohlin, F. Masszi, H. Norde, J. Nylander, J. Tiren, and U. Magnusson, "Complementary Si-MESFET concept using silicon-on-sapphire technology," *IEEE Electron Device Lett.*, vol. EDL-9, pp. 47-49, Jan 1988.
- [10] G. Bert et al., "Femto Joule logic circuits using normally of GaAs MESFET," *Electron Lett.*, vol 13, pp. 644, 1977.
- [11] MEDICI Two Dimensional Device Simulation Program, Version 2002. 4, User Manual. Avant

- corporation, TCAD Business Unit.
- [12] *ATLAS User's Manual*, vols. 1-2, software version 6.5.0.R, Silvaco International.
- [13] T. K. Chiang, Y. H. Wang, and M. P. Houn, "Modeling of threshold voltage and sub-threshold swing of short-channel SOI MESFET's," *Solid-State Electron*, vol. 43, pp. 123-129, 1999.
- [14] Vivek K. De, James D. Meindl, "An Analytical Threshold Voltage and Subthreshold Current Model for Short-Channel MESFET's," *IEEE J. Solid-State Circuits*, vol. 28(2), pp. 169-172, 1993.
- [15] J. G. Cao, "A Simplified 2-D Analytic model for the threshold Voltage of fully depleted short gate-length Si-SOI MESFETs," *IEEE Trans. Electron Devices*, vol. 43, pp. 2156-2162, 1995.
- [16] S. P. Chin, C. Y. Wu, "A New Two-Dimensional Model for the Potential Distribution of Short Gate-Length MESFET's and its Applications," *IEEE Trans. Electron Devices*, vol. 39, pp. 1928-1937, 1992.
- [17] C. S. Hou, C. Y. Wu, "A 2D Analytic Model for the Threshold-Voltage of Fully Depleted Short Gate-Length Si-SOI MESFET's," *IEEE Trans. Electron Devices*, vol. 42, pp. 2156-2161, 1995.
- [18] Prashant Pandey, B. B. Pal, and S. Jit, "A New 2-D Model for the Potential Distribution and Threshold Voltage of Fully Depleted Short-Channel Si-SOI MESFETs," *IEEE Trans. Electron Devices*, vol. 51, pp. 246-254, 2004.

 저자 소개



갈진하(학생회원)
 2006년 홍익대학교 전자전기
 공학부 학사 졸업.
 2008년 홍익대학교 대학원
 전자정보통신공학과
 석사 졸업.
 2008년 현재 (주)나노브릭 연구원
 <주관심분야: 반도체 소자 모델링>



서정하(정회원)
 대한전자공학회 논문지
 제41권 SD편 제3호 참조