

논문 2008-45SD-7-4

# MOSFET 게이트 산화막내 결함 생성 억제를 위한 효과적인 중수소 이온 주입

(Deuterium Ion Implantation for The Suppression of Defect Generation  
in Gate Oxide of MOSFET)

이재성\*, 도승우\*\*, 이용현\*\*\*

(Jae-Sung Lee, Seung-Woo Do, and Yong-Hyun Lee)

## 요약

중수소 처리된 3 nm 두께의 게이트 산화막을 갖는 MOSFET를 제조하여 정전압 스트레스 동안의 게이트 산화막의 열화를 조사하였다. 중수소 처리는 열처리와 이온 주입법을 사용하여 각각 이루어졌다. 열처리 공정을 통해서 게이트 산화막내 중수소의 농도를 조절하기가 힘들었다. 게이트 산화막내에 존재하는 과잉 중수소 결함은 열화를 가속시키기 때문에, 열처리 공정을 행한 소자에서 신뢰성이 표준공정에 의한 소자에 비해 저하되고 있음을 확인하였다. 그러나 중수소 이온 주입 방법을 통해서 소자의 신뢰성이 개선됨을 확인하였다. 스트레스에 의한 게이트 누설 전류 변화 및 구동 특성 변화는 게이트 산화막내의 중수소 농도와 관련이 있으며, 이러한 특성은 적절한 공정 조건을 갖는 이온 주입법을 통해 개선할 수 있었다. 특히, 큰 스트레스 전압의 PMOSFET에서 중수소의 효과가 뚜렷하게 나타났으며, 이는 "hot" 정공과 중수소의 반응과 관련이 있는 것으로 판단된다.

## Abstract

Experiment results are presented for gate oxide degradation under the constant voltage stress conditions using MOSFETs with 3-nm-thick gate oxides that are treated by deuterium gas. Two kinds of methods, annealing and implantation, are suggested for the effective deuterium incorporation. Annealing process was rather difficult to control the concentration of deuterium. Because the excess deuterium in gate oxide could be a precursor for the wear-out of gate oxide film, we found annealing process did not show improved characteristics in device reliability, compared to conventional process. However, deuterium implantation at the back-end process was effective method for the deuterated gate oxide. Device parameter variations as well as the gate leakage current depend on the deuterium concentration and are improved by low-energy deuterium implantation, compared to those of conventional process. Especially, we found that PMOSFET experienced the high voltage stress shows a giant isotope effect. This is likely because the reaction between "hot" hole and deuterium is involved in the generation of oxide trap.

**Keywords :** MOSFET, Gate oxide, Deuterium, Ion implantation, Reliability

## I. 서론

현재의 CMOS 공정에서는 나노급의 두께를 갖는 실리콘 산화막(SiO<sub>2</sub>)을 MOSFET의 게이트 산화막으로 사용하고 있다. 산화막의 두께가 얇아질수록 소자의 성능은 향상되지만 신뢰성은 매우 취약하게 된다. 게이트 산화막의 열화는 대부분 실리콘과의 결정 부정합(lattice mismatch)으로부터 발생하게 된다. MOS 구조에서 실리콘과 게이트 산화막사이의 dangling bond 밀

\* 정회원, 위덕대학교 정보통신공학부  
(Division of Information and Communication  
Engineering, Uiduk University)

\*\* 학생회원, \*\*\* 평생회원,  
경북대학교 전자전기컴퓨터학부  
(School of Electrical Engineering and Computer  
Science, Kyungpook national University)

※ 본 연구는 교육과학기술부의 원자력연구개발사업  
및 21세기 프론티어연구개발사업으로 시행한 양성  
자공학기술개발사업의 지원을 받았음  
접수일자: 2008년3월20일, 수정완료일: 2008년6월30일

도를 줄이기 위해서 수소 이온으로 passivation하는 방법이 현재 사용되고 있다. 수소 열처리 방법에 의해 주입된 수소 이온은 Si/SiO<sub>2</sub> 계면에 존재하는 dangling bond를 없애주는 역할을 하게 된다. 그러나 최근의 연구에 의하면 SiO<sub>2</sub> 막내부에 존재하는 수소 이온은 oxide trap을 생성 시키는 원인을 제공하기도 한다고 알려져 있다<sup>[1~2]</sup>. 특히, MOSFET의 집적도가 증가함에 따라 새로운 신뢰성 문제가 나타나고 있는데 그 원인이 게이트 산화막내에 존재하는 수소 이온의 거동이라고 알려지고 있어 이를 억제하기 위한 연구가 진행되고 있는 상황이다. 그러므로 dangling bond 밀도를 감소시키면서 수소에 의한 게이트 산화막의 열화를 억제시키는 방법이 필요하게 되었다.

게이트 산화막내의 결함 생성 모델로는 Hydrogen-Release (HR) 모델과 Anode-Hole Injection (AHI) 모델이 현재 유력하다<sup>[3~4]</sup>. HR 모델에 의하면 MOS 구조에서 터널링되는 전자는 Si-SiO<sub>2</sub> 계면에 존재하는 수소 결합을 파괴시킨다. 이때 생성된 수소 이온은 양전하를 띄며 게이트 산화막 내부로 흘러 들어가게 된다. 양전하 수소 이온은 산화막 내부에서 주변의 원자들과 결합을 형성하며, 이때 새로운 전자 포획 준위(electron trap)가 형성된다. AHI 모델은 게이트 산화막이 높은 전계의 스트레스를 받을 때 나타나는 열화를 설명하고 있다. 전자들이 터널링되어 실리콘 전극으로 들어갈 때 그들의 에너지가 가전자(valence) 대역에 있는 전자에게 전달된다. 이 에너지 전달에 의해 전자-정공 쌍(EHP)이 생성되고, 생성된 정공은 게이트 산화막으로 주입된다. 주입된 일부의 정공들은 게이트 산화막내에 남게되어, 새로운 전자 포획(electron trap) 준위를 형성하게 된다.

이러한 게이트 산화막의 열화와 막내에 포함된 수소와의 관계를 밝히기 위한 많은 연구가 진행되고 있다. 그러나 수소는 가장 작은 원소이며 대기 중에도 다량 존재하고 있어 제조되는 반도체 소자 내에 수소 양을 줄이는 것은 매우 정교한 작업일 것으로 판단된다. 수소의 이러한 단점을 보완하기 위해 수소 대신에 중수소(deuterium)를 SiO<sub>2</sub> 막내로 주입시키는 방법이 제시되었다<sup>[5~6]</sup>. 중수소는 수소의 동위원소이며, 그 질량은 수소의 2 배이다. Scanning Tunneling Microscope로 실리콘 표면을 분석한 결과, 실리콘과의 결합을 파괴하기 위한 해리 에너지가 중수소(D<sub>2</sub>)의 경우가 수소(H<sub>2</sub>)보다 매우 높다는 것이 밝혀졌다. 즉, Si-H 결합보다 Si-D 결합을 파괴할 때 많은 에너지가 필요하기 때문

에 Si-SiO<sub>2</sub>의 계면 트랩 준위를 낮추는데 수소 대신 중수소를 응용할 수 있다.

소자 제조의 최종 단계인 금속 배선 후 대기압 조건에서 중수소(Deuterium) 열처리 공정(post-metalization anneal : PMA)을 통해 MOSFET의 신뢰성 문제를 극복하는 방법이 소개되었다<sup>[7~8]</sup>. 중수소 효과를 뚜렷하게 관찰하기 위해서는 게이트 산화막내에 중수소가 충분히 주입되어 Si-H 결합보다는 Si-D 결합이 많이 존재해야 할 것으로 판단된다<sup>[1]</sup>.

그러나 절연막내에서 중수소 이온의 확산 정도를 고려 할 경우, 수소 이온과 비교하여 실리콘 산화막에서는 빠르게 확산할 수 있으나 실리콘 질화막(SiN)에서는 확산이 어려운 특징을 갖고 있다<sup>[9]</sup>. 일반적인 MOSFET 구조에서 상층에 SiN층이 존재하고 있으므로 효과적인 중수소 효과를 얻기 위해서는 이에 대한 고려가 필요하다.

본 논문에서는 CMOS 공정에 효과적으로 적용할 수 있는 중수소 주입법을 찾고자 하였다. 기존의 표준 공정을 사용하면서 간편하게 중수소를 게이트 산화막에 주입하여, MOSFET의 신뢰성을 개선시키고자 실험을 행하였다. 게이트 산화막에 중수소를 주입하기 위해 두 가지 방법이 사용되었다. 첫 번째는 고압의 중수소 열처리 공정이며, 두 번째는 저에너지 중수소 이온 주입법이다. 중수소 열처리공정에서는 공정 압력을 조절하여 게이트 산화막내에 주입되는 중수소 양을 변화시켰으며, 중수소 이온 주입법에서는 이온 주입량 및 주입 에너지를 조절하여 게이트 산화막 내 중수소 양을 변화시켰다. 각각의 공정에서 제조된 소자를 정전압 스트레스(constant voltage stress)를 통해 열화 특성을 조사하였으며, 이를 수소 주입 공정 및 일반적인 표준 공정으로 제조된 소자와 비교 분석하였다. 실험에 사용된 모든 소자는 중수소 및 수소 주입 공정을 제외하고는 동일한 표준 CMOS 공정에서 제조되었다.

## II. 실험

CMOS 공정을 사용하여 게이트 산화막의 물리적 두께가 약 3 nm 이고 채널 길이가 최소 0.15 μm인 MOSFET 소자를 제조하였다. 게이트 산화막은 H<sub>2</sub>-O<sub>2</sub> 분위기에서 성장시킨 후, NO 열처리를 통해 제조되었다. 게이트 전극 물질로는 고농도 도핑된 250 nm 두께의 다결정 실리콘을 사용하였다. 각 소자의 소오스/드레인 영역에는 "halo" 이온 주입을 행하여 각 접합을

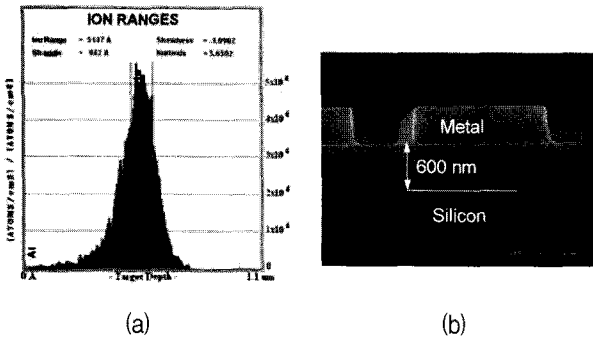


그림 1. (a) 중수소 이온 주입 조건 시뮬레이션 결과와 (b) 제조된 MOSFET의 단면

Fig. 1. (a) Simulation results for the process condition of deuterium ion implantation (b) the cross-section of manufactured MOSFET.

안정화시켰다. 금속 배선 접촉부분은 Co 실리사이드를 사용하여 접촉 저항을 줄였다. 중수소 및 수소의 후속 열처리하는 소자 제조의 최종단계 (metallization)에서 450°C의 온도로 30분 동안 이루어졌으며, 이때 분위기압은 1-5 기압 범위를 선택하였다. 고압 열처리 공정과 비교하기 위해 각 이온들의 저에너지 주입(implantation)을 행하였다. MOSFET 소자의 금속 배선이 완료된 후 소자의 윗면에서 이온 주입을 행하였다. 주입된 각 이온의 양은  $1 \times 10^{10} \sim 1 \times 10^{14} / \text{cm}^2$  범위를 갖으며, 이온 농도를 게이트위에 위치한 다결정 실리콘에서 최고 값이 나타나도록 주입 에너지를 정하였다. 이온 주입으로 인해 발생할 수 있는 결함이 게이트 산화막내에 존재하는 것을 피하고자 하였다. 이온 주입 후 질소 분위기에서 열처리를 최종적으로 행하였다. 그림 1은 중수소 이온 주입 조건을 위해 실시한 컴퓨터 시뮬레이션 결과와 실제 소자의 단면을 나타낸다. MOSFET가 존재하는 실리콘 표면위에 약 600 nm 두께의 실리콘 산화막이 존재한다. 제조된 소자들의 신뢰성 평가는 정전압 스트레스 (constant voltage stress : CVS)를 통해 이루어졌다. 스트레스는 상온 및 100 °C의 분위기 온도에서 게이트 전극에 일정 전압을 인가하여 이루어졌으며, 소자의 열화 정도는 구동 전류( $I_{ds}$ )의 백분율 변화 및 문턱전압 ( $V_{th}$ )의 변화로써 관찰하였다. 또한 게이트 전극에 일정한 큰 전압을 인가한 후 게이트 산화막에서 나타나는 누설전류의 크기도 조사하였다.

### III. 결 과

게이트 전극에 직접적으로 정전압이나 정전류를 인가함으로써 게이트 산화막내에 결함이 생성된다. 이러

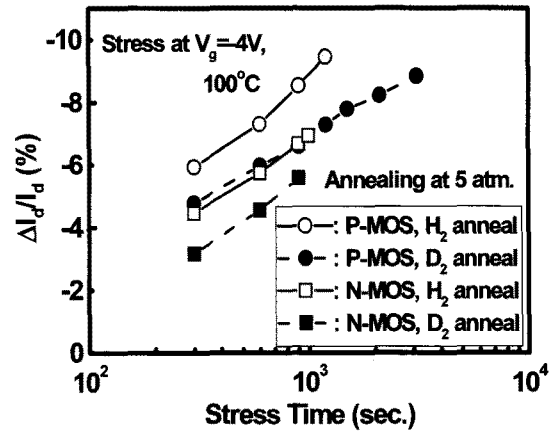


그림 2. 수소 및 중수소 열처리된 MOSFET의 정전압 ( $V_g = -4V$ ) 스트레스에 대한 포화 전류의 감소

Fig. 2. Decrease of saturation current depending on constant voltage ( $V_g = -4V$ ) stress time for both hydrogen and deuterium annealed MOSFETs.

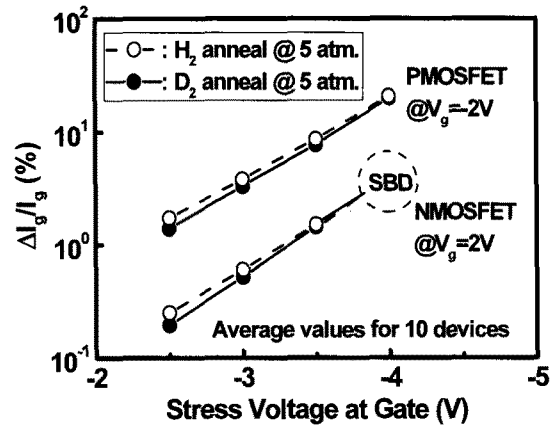


그림 3. 두 종류의 열처리 공정을 통해 제조된 P 및 NMOSFET의 스트레스 전압에 대한 게이트 누설 전류 변화

Fig. 3. Stress voltage dependence of gate leakage current for P and NMOSFETs depending on annealing gas.

한 결함이 전하를 띠게 되면, 소자의 구동에 영향을 주게 된다. 소자 구동의 열화는 포화 전류나 문턱전압의 변화로 알 수 있으며, 게이트 산화막의 열화는 게이트 누설 전류의 변화로 알 수 있다. 그림 2는 5 기압의 중수소 및 수소 분위기에서 각각 열처리된 P 및 NMOSFET를  $V_g = -4V$ 에서 스트레스를 인가할 때 측정된 포화 전류의 변화를 나타낸다. 동위원소 효과가 다소 약하게 나타나고 있음을 알 수 있다. 그림 3은 5 기압의 중수소 및 수소 분위기에서 각각 열처리된 P 및

NMOSFET에 대한 스트레스 게이트 전압 크기에 따른 게이트 누설전류의 변화를 나타내고 있다. 누설 전류는 구동 전압 근처( $V_g = \pm 2.0V$ )에서 측정되었다. 누설 전류를 쉽게 관찰하기 위해 사용된 소자는 넓은 면적( $W=L=36\mu m$ )을 갖는 것을 선택하였다. 스트레스 게이트 전압이 증가함으로써 동위원소 효과는 줄어들고 있다. 또한  $-4V$ 가 인가된 NMOSFET의 게이트 산화막에서는 soft breakdown (SBD) 현상이 나타났다.

스트레스에 의해 나타나는 박막 게이트 산화막의 일반적인 열화 현상으로는 스트레스 유도 누설 전류 (stress-induced leakage current : SILC), soft breakdown (SBD), 및 hard breakdown (HBD) 등이 있다<sup>[10-14]</sup>. SILC에서는 결함의 생성과 소멸이 동시에 발생하며, trap assisted tunneling (TAT) 개념에 의해 낮은 구동 전압에서 누설 전류가 증가하게 된다. 많은 결함 밀도가 게이트 산화막에 국부적으로 분포하면, multi-step TAT 개념에 의해 누설 전류는 더욱 증가하게 된다. 이러한 과정에서 soft breakdown 현상이 나타나게 된다. Soft breakdown이 발생하면 MOSFET의 게이트의 잡음이 증가하는 것으로 일반적으로 알려져 있다<sup>[15-16]</sup>. 잡음 현상은 열화된 게이트 산화막내에서 전자나 전공의 재결합-생성이 반복되기 때문에 나타난다. Soft breakdown 과정에서 보다 많은 에너지(Joule energy) 소비가 결함들 사이에서 이루어지면 hard breakdown으로 발전하게 된다. Hard breakdown에서는

게이트 산화막이 완전하게 절연성을 잃어버리기 때문에 이는 소자의 파괴를 의미한다.

그림 4는 5 기압 중수소 열처리된 소자와 표준공정에 의해 각각 제조된 소자에서 측정된 정전압 스트레스에 따른 게이트 누설 전류 증가를 나타내고 있다. 약 1000초 동안의 스트레스 동안 중수소 처리된 소자의 게이트 누설 전류가 억제되고 있음을 나타내고 있다. 게이트 누설 전류의 증가는 게이트 산화막내의 결함의 생성과 직접적인 관계가 있으므로 중수소 처리된 게이트 산화막에서 결함 생성이 효과적으로 억제되었음을 의미한다.

그림 5는 5 기압 중수소 열처리된 소자와 표준공정에 의해 각각 제조된 NMOSFET 소자에서 측정된 절연 파괴 특성을 나타낸다. 정전압 스트레스는  $100^\circ C$ 의 온도에서 축적(accumulation)조건에서 이루어졌다. 중수소 열처리된 소자의 절연 파괴가 표준공정에 의해 제조된 소자에 비해 절연 파괴가 빨리 일어나고 있음을 알 수 있다. 이러한 결과는 그림 4의 누설전류 개선의 결과와는 상반된 현상을 보여 주고 있다. 게이트 산화막내에 존재하는 중수소 결함은 그 양이 많아질 경우 잠재되어 있는 결함 (latent defect)으로 존재할 수 있다<sup>[17]</sup>. 이러한 결함은 전자나 정공과 결합하여 전하를 띌 수 있어 게이트 산화막내의 유효 전계의 세기를 줄이는 효과를 가져 올 수 있다. 그러므로 그림 4와 같이 게이트 누설 전류가 감소할 수 있다. 그러나 잠재되어 있는 결함은

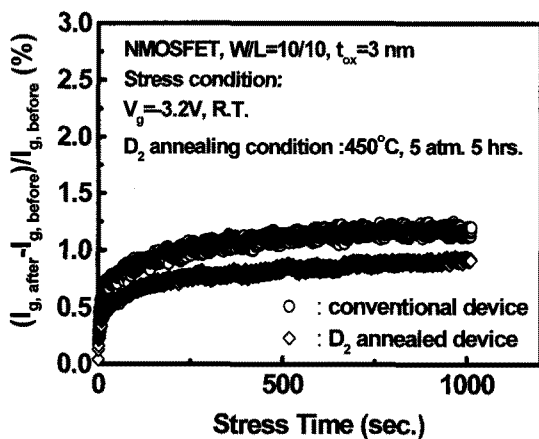


그림 4. 중수소 열처리 공정 및 표준 공정으로 각각 제조된 NMOSFET의 스트레스 시간에 따른 게이트 누설 전류

Fig. 4. Gate leakage current depending on stress time of both deuterium annealed and conventional processed NMOSFETs.

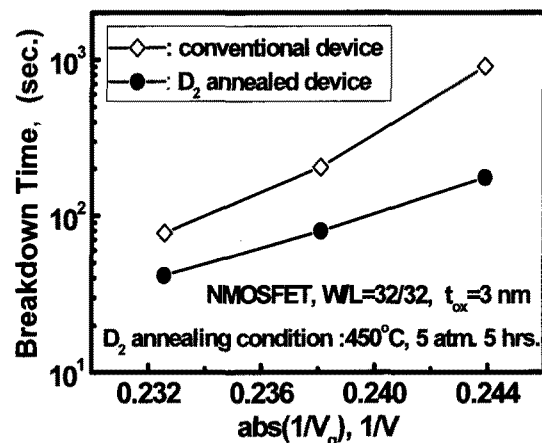


그림 5. 중수소 열처리 공정 및 표준 공정으로 각각 제조된 NMOSFET의 스트레스 전압 크기에 따른 절연 파괴 시간

Fig. 5. Breakdown time depending on stress voltage of both deuterium annealed and conventional processed NMOSFETs.

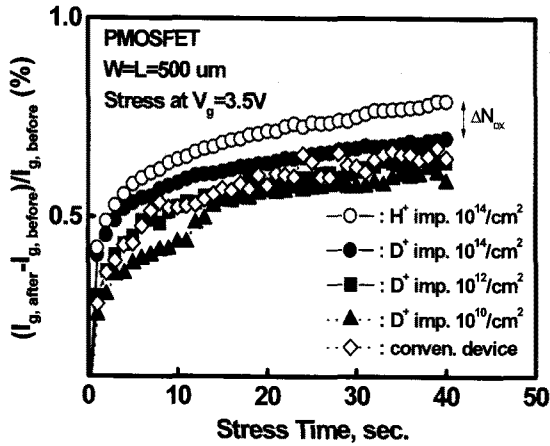


그림 6. 이온 주입 공정 및 표준 공정으로 각각 제조된 PMOSFET의 스트레스 시간에 따른 게이트 누설 전류  
 Fig. 6. Gate leakage current depending on stress time of both ion implanted and conventional processed PMOSFETs.

쉽게 전도성 결함으로 전환될 수 있어 게이트 산화막의 절연파괴를 유도하게 된다.

그림 6은 이온 주입을 행한 소자와 표준 공정을 행한 소자에 대해 정전압 스트레스를 인가할 때 측정된 게이트 누설전류의 증가를 보여주고 있다. 소자는 PMOSFET을 선택하였으며, 스트레스는 상온의  $V_g = 3.5V$ 에서 이루어졌다. 중수소와 수소를 각각 주입한 소자 사이에서 뚜렷한 누설전류 차이가 나타났다. 일반적으로 게이트 누설전류는 게이트 산화막내의 결함( $N_{ox}$ )과 관계가 있다. 중수소 및 수소의 주입량이  $10^{14}/cm^2$ 인 소자의 경우에는 표준 공정을 행한 소자에 비해 누설전류가 증가하고 있으며, 중수소가  $10^{12}/cm^2$  주입된 소자 경우에는 표준 공정을 행한 소자와 비슷한 특성을 보였다. MOS 구조에서 실리콘과 게이트 산화막( $SiO_2$ ) 사이 계면결함밀도는  $10^{10}-10^{11}/cm^2$ 의 범위를 갖는다고 알려져 있어 이를 고려한 중수소 이온 주입 양을 선택할 필요가 있다<sup>[18]</sup>.

그림 7은 중수소 및 수소 이온을 각각 주입한 PMOSFET를 정전압 스트레스를 행한 후 측정된 구동 전류의 변화를 나타낸다. 이러한 변화를 표준 공정에 의해 제조된 소자와 비교하였다. 정전압 스트레스는 상온 및  $100\text{ }^\circ C$ 에서  $V_g = -3.8V$  조건에서 400초 동안 각각 이루어졌다. 표준 공정에 의해 제조된 소자에 비해 중수소 및 수소 주입된 소자에서 구동 전류의 변화는 적게 나타났으며, 특히 중수소가  $10^{10}/cm^2$ 의 양으로 주입

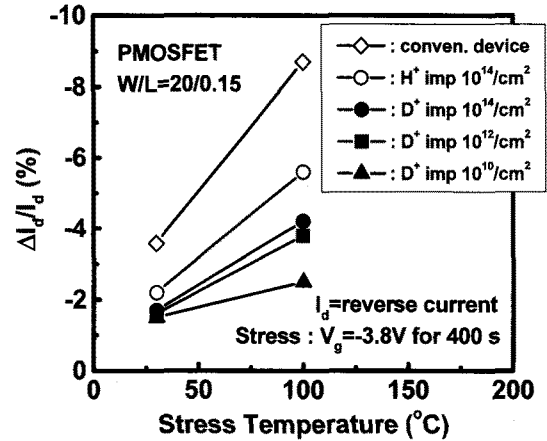


그림 7. 이온 주입 공정 및 표준 공정으로 각각 제조된 PMOSFET의 스트레스 온도에 따른 포화 전류의 변화  
 Fig. 7. Variation of saturation current depending on stress temperature of both ion implanted and conventional processed PMOSFETs.

된 소자에서 변화가 가장 적은 안정된 특성을 보였다. 온도 증가에 따른 소자의 구동전류 변화에서 중수소 이온 주입된 소자가 표준 공정에 의해 제조된 소자에 비해 변화율이 적게 나타나고 있다. 그림 8은 그림 7의 측정에 사용된 소자에 대한 문턱전압의 증가 변화를 보여주고 있다. 중수소 이온 주입된 소자의 문턱전압 변화가 표준 공정에 의해 제조된 소자에 비해 적음을 알 수 있다. MOS 구조에서 문턱전압의 크기는 게이트 산화막내에 존재하는 전하량에 따라 변화하게 된다. PMOSFET의 경우 게이트 산화막내에 양전하가 존재하게 되면 문턱전압의 크기가 증가하게 된다. 그러므로 중수소 주입된 소자의 게이트 산화막에서는 정전압 스트레스동안 양전하의 감소 또는 중성 전하의 생성 등을 예측할 수 있다. PMOSFET의 구조상 게이트 전극에 음전압을 인가하게 되면 채널(단결정 실리콘) 영역의 많은 정공이 게이트 산화막으로 주입될 확률이 높아지고, 게이트 전극에 양전압을 인가하게 되면 게이트 전극(다결정 실리콘) 영역의 많은 정공이 게이트 산화막으로 주입될 확률이 높아진다. 반면에 NMOSFET의 정전압 스트레스 조건에서는 많은 전자가 게이트 산화막으로 주입될 확률이 높아진다. 만약 NMOSFET의 게이트 산화막내에 음전하가 존재하게 되면 문턱전압은 감소하게 될 것이다. 본 연구에서는 중수소 이온 주입된 NMOSFET에 대해 정전압 스트레스 후 소자 특성 열화를 조사하였지만, 사용된 실험 조건 내에서는 표준

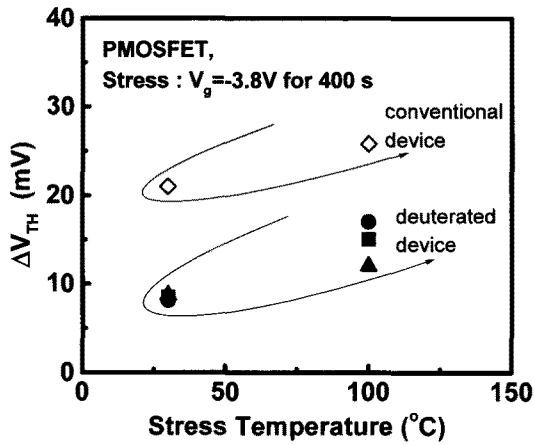


그림 8. 중수소 이온 주입 공정 및 표준 공정으로 각각 제조된 PMOSFET의 스트레스 온도에 따른 문턱 전압의 변화  
 Fig. 8. Variation of threshold voltage depending on stress temperature of both deuterium implanted and conventional processed PMOSFETs.

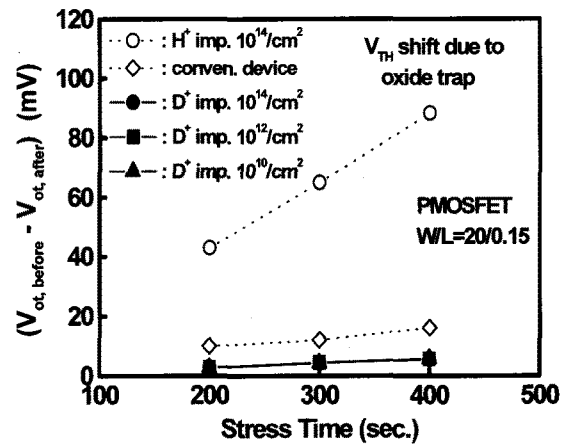


그림 9. 이온 주입 공정 및 표준 공정으로 각각 제조된 PMOSFET의 스트레스에 따른 문턱전압(Vot)의 변화  
 Fig. 9. Variation of threshold voltage (Vot) depending on stress time of both ion implanted and conventional processed PMOSFETs.

공정에 의해 제조된 소자의 열화 특성과 비교해서 뚜렷한 차이를 발견하지 못하였다.

문턱전압의 변화를 결정하는 결함 전하 요소로는 계면 전하(interface trap charge)와 bulk 전하(oxide charge)로 나눌 수 있다. MOS 에너지 대역에서 실리콘 에너지 금지 대역의 상위는 음전하 계면 결함(acceptor type)이 존재하고, 하위에는 양전하 계면 결함(donor type)이 존재하게 된다. 평판대역(flat band) 상태에서는 계면 결함의 전하량이 존재하지 않게 된다. 그러므로 이때 존재하는 결함 전하는 bulk 전하가 된다. 이러한 원리로 문턱 전압(VTH)은 식(1)으로 나타낼 수 있다.

$$V_{TH} = V_{it} + V_{ot} \quad (1)$$

여기서  $V_{it}$  및  $V_{ot}$ 는 각각 계면 전하 및 bulk 전하에 의해 나타나는 문턱전압 성분이다.

그림 9는 중수소 및 수소 이온을 각각 주입한 PMOSFET에 대해 정전압 스트레스 ( $V_g = -3.8V$ )를 인가하는 동안 분석된 각 소자의  $V_{ot}$  변화를 보여주고 있다. 수소 이온을 주입한 소자에서 가장 열악한 bulk 상태를 보여주고 있는 반면, 중수소 이온 주입된 소자에서는 표준 공정에 의해 제조된 소자보다도 안정된 bulk 상태를 보여주고 있다. 주입되는 중수소의 양에 따른  $V_{ot}$ 의 변화는 그다지 크지 않았다. 수소가 주입되어 게이트 산화막내에 수소 결함을 많이 형성하게 되면 결함의 전조(precursor)로 존재할 수 있다. 결함의 전조는

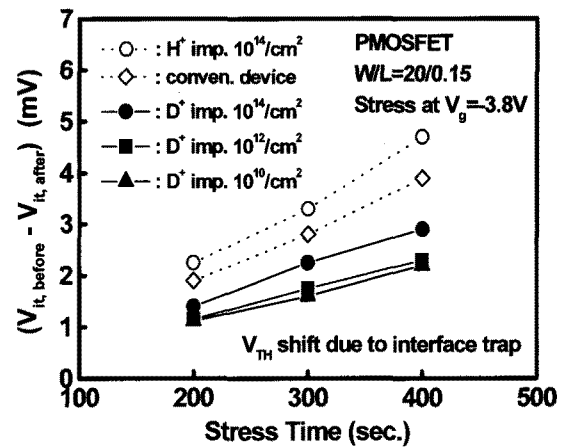


그림 10. 이온 주입 공정 및 표준 공정으로 각각 제조된 PMOSFET의 스트레스에 따른 문턱전압(Vit)의 변화  
 Fig. 10. Variation of threshold voltage (Vit) depending on stress time of both ion implanted and conventional processed PMOSFETs.

정전압 스트레스동안 쉽게 완전한 결함으로 바뀌게 된다. 그림 10은 그림 9와 동일한 조건에서 조사된 각 소자의  $V_{it}$  변화를 보여 주고 있다.  $V_{ot}$ 의 변화에 비해 소자별  $V_{it}$  변화 폭은 크지 않지만, 다른 소자에 비해 중수소 주입된 소자가 적은  $V_{it}$  변화를 보여주고 있다. 그리고 중수소 이온 주입량이  $10^{10}/cm^2$  및  $10^{12}/cm^2$  인 경우에 비슷한 계면 특성을 갖고 있다. 그러므로 그림 9

와 10의 결과로부터 본 연구의 실험 조건에서 PMOSFET의 문턱 전압을 변화시키는 요인은 정전압 스트레스 동안 변화된 산화막 bulk 특성에 크게 의존함을 알 수 있다.

IV. 토 의

중수소의 열처리 공정에서는 분위기압으로 주입 양을 조절하고, 트랜지스터의 상층에 존재하는 SiN 등의 절연막이 중수소의 확산을 막기 때문에 게이트 산화막 내의 적절한 중수소 농도를 조절하기가 힘들다. 또한 게이트 절연막에 과잉으로 존재하는 중수소 결함은 잠재되어 있는 결함으로 존재하고 있어 표준공정에 의해 제조된 소자보다 그 신뢰성이 더욱 떨어졌다. 그러므로 열처리 방법으로 중수소를 주입하기 위해서는 더욱 효과적인 방법이 필요할 것으로 판단된다. 반면에 본 연구에서 제안한 중수소 이온 주입 방법으로는 공정을 간단하게 수행할 수 있을 뿐더러 중수소의 주입 양도 조절이 쉽게 가능하였다. 게이트 산화막의 위쪽 부근까지가 이온주입거리(projected range)가 되므로 게이트 산화막에 이온 주입에 따른 손상은 발생하지 않은 듯하다. 그러나 이온 주입량이  $10^{12} \sim 10^{14}/\text{cm}^2$  인 경우에는 게이트 산화막의 열화가 상대적으로 증가하였으므로 주입되는 중수소 이온량은  $10^{12}/\text{cm}^2$  이하로 하는 것이 바람직하다고 판단된다.

본 연구에서는 NMOSFET 보다 PMOSFET에서 이온주입에 의한 중수소 효과가 두드러지게 나타났다. 특히, 정전압 스트레스 ( $V_g < 0$ ) 동안 중수소 주입된 PMOSFET는 열화가 매우 억제됨을 보였다. 열화 억제 효과는 높은 부 전압 스트레스에서 강하게 나타났다. 그림 11은 본 연구에서 사용된 표준 PMOSFET의 전류-전압 특성 곡선이다. 게이트 전압이 약 -3.5V 이상에서부터 impact ionization 현상이 실리콘 계면 근처에서 발생하게 되어 정공과 전자가 발생하게 된다.

그림 12(a)는 PMOSFET의 게이트 전극에  $0V < V_g < -3.5V$  를 인가하였을 때 전자 및 정공의 움직임을 에너지 밴드상에서 나타냈다. 게이트 산화막을 터널링하는 정공은 채널에 존재하는 "cold" 정공으로 분류될 수 있다. 이러한 정공에 의한 산화막내 결함 생성에는 동위원소 효과가 거의 발견되지 않는다고 알려져 있다<sup>[19]</sup>. 그림 12(b)는 PMOSFET의 게이트 전극에  $V_g > -3.5V$  를 인가하였을 때 정공 및 전자의 움직임을 나타낸다. 터널링되는 높은 에너지를 갖는 전자가 격자와 충돌

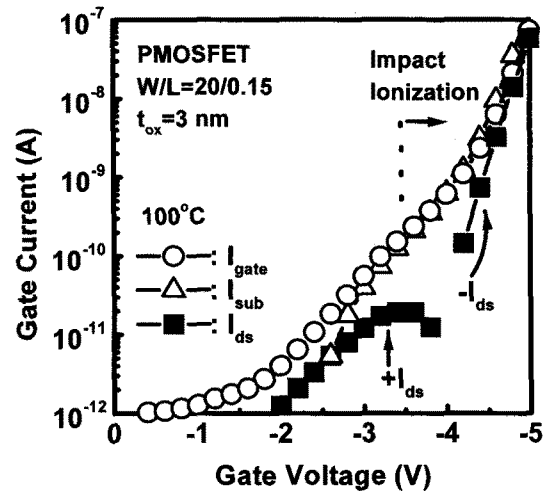


그림 11. 반전 영역에서 측정된 PMOSFET의 전류-전압 특성 곡선  
Fig. 11. I-V curves for PMOSFET measured in inversion mode.

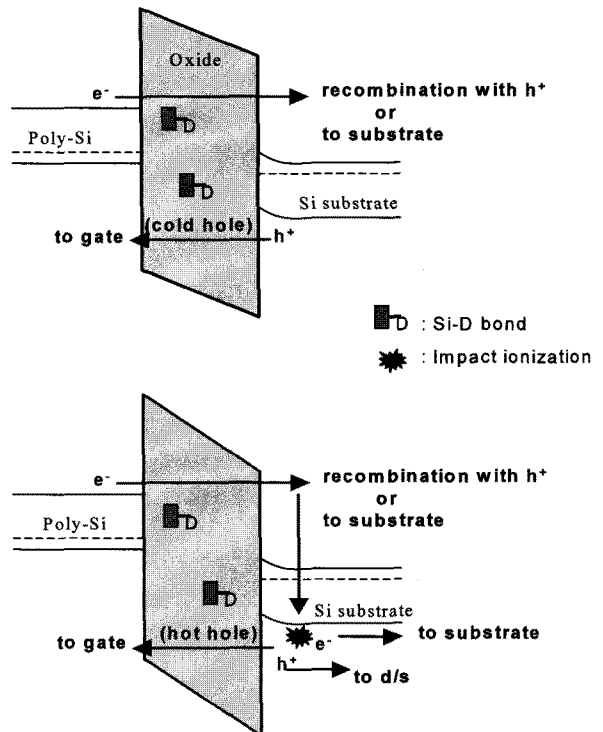


그림 12. (a) 낮은 게이트 전압과 (b) 높은 게이트 전압의 스트레스에서 각각 나타나는 중수소 주입된 게이트 산화막내의 carrier 이동  
Fig. 12. Illustrations for the flow of carriers in deuterated gate oxide ( $\text{SiO}_2$ ) under (a) the low and (b) the high gate voltage stresses.

(impact ionization)에 의해 정공 및 전자가 실리콘 계면에 생성된다. 이러한 정공 및 전자들도 높은 에너지를 갖게 되며, 특히 정공은 "hot" 정공으로 분류한다. 게이

트 전극방향으로 터널링되는 “hot” 정공들은 게이트 산화막내에 결함을 생성하게 되는데, 이때에는 동위원소 효과가 나타나게 된다. 즉, “hot” 정공은 Si-H 결합 또는 Si-D 결합과의 반응에 따라 생성하는 bulk 결합의 밀도가 다를 수 있다. “Hot” 정공에 의해 생성되는 산화막 결함은 중수소 처리를 행함으로써 줄일 수 있음을 의미한다.

## V. 결 론

MOSFET를 구성하는 게이트 산화막의 절연특성의 열화를 억제시키기 위해 게이트 산화막내에 중수소를 포함시키는 연구를 행하였다. 기존의 CMOS 표준공정을 사용하면서 중수소 공정을 간단하게 추가시키기 위해 소자 제조의 최종 단계에서 중수소 처리 공정을 행하였다. 후속 중수소 공정으로 고압 열처리 공정과 저에너지 이온 주입공정을 각각 사용하여 소자를 제조한 후 소자의 전기적 특성 변화를 상호 비교하고 분석하였다. 열처리 공정으로는 중수소 농도 조절이 매우 힘들며, 게이트 산화막내에 과잉으로 존재하는 중수소 결합은 잠재되어 있는 결함(latent defect)으로 존재할 가능성이 높았다. 중수소 이온 주입법은 이온 주입에 의한 주변 물질의 손상을 최소화하기 위해 저에너지(45keV)에서 행하였다. 주입 양에 따라 소자의 열화 특성은 변화하였으며, 이러한 대부분의 열화 특성이 표준공정에 의해 제조된 소자에 비해 다소 개선됨을 알 수 있었다. 특히, 중수소 이온 주입을 행한 PMOSFET에서 정전압 스트레스동안 우수한 열화 억제 특성이 나타났다. 정전압 스트레스를 행한 후에도 중수소 이온 주입된 PMOSFET의 전기적 특성 변화는 다른 공정에 의해 제조된 소자에 비해 매우 적게 나타나 안정된 구동 특성을 유지하고 있었다. 이러한 결과는 최근 기술동향인 소자 고집적화 단계에서 나타나는 PMOSFET의 신뢰성 저하 문제를 해결할 수 있을 것으로 기대한다.

## 참 고 문 헌

- [1] Y. Mitani, H. Satake, H. Itoh, and A. Toriumi, “Suppression of stress-induced leakage current after Fowler-Nordheim stressing by deuterium pyrogenic oxidation and deuterium poly-Si deposition,” *IEEE Trans. Electron Devices*, vol. 49, pp. 1192-1197, Jul. 2002.
- [2] Z. Chen, K. Hess, J. Lee, J. W. Lyding, E. Rosenbaum, I. Kizilyalli, S. Chetlur, and R.Huang, “On the mechanism for interface trap creation in MOS transistors due to channel hot carrier stressing,” *IEEE Electron Device Lett.* vol. 21, pp. 24-26, Jan. 2000.
- [3] K. F. Schuegraf and C. Hu, “Hole injection SiO<sub>2</sub> breakdown model for very low voltage lifetime extrapolation,” *IEEE Trans. Electron Devices*, vol. 41, no. 5, pp. 761-766, 1994.
- [4] D. J. DiMaria and E. Cartier, “Mechanism for stress-induced leakage currents in thin silicon dioxide films,” *J. Appl. Phys.*, vol. 78, pp. 3883-3894, 1995.
- [5] K. Hess, I. C. Kizilyalli, and J. W. Lyding, “Giant isotope effect in hot electron degradation of metal oxide silicon devices,” *IEEE Trans. Electron Devices*, vol. 45, pp. 406-416, Feb. 1998.
- [6] J. W. Lyding, K. Hess, and I. C. Kizilyalli, *Appl. Phys. Lett.*, “Reduction of hot electron degradation in MOS transistors by deuterium processing,” vol. 68, pp. 2526, 1996.
- [7] M. H. Lee, C. H. Lin, and C. W. Liu, “Novel methods to incorporate deuterium in the MOS structures,” *IEEE Electron Device Lett.*, vol. 22, pp.519-521, Nov. 2001.
- [8] J. Wu, E. Rosenbaum, B. MacDonald, E. Li, B. Tracy, and P. Fang, “Anode hole injection versus hydrogen release: The mechanism for gate oxide breakdown,” *IEEE Int. Reliability Physics Symp.*, pp. 27-32, San Jose, CA, 2000.
- [9] W. F. Clark, T. G. Ference, T. B. Hook, K. M. Watson, S. W. Mitti and J. S. Burnham, “Process stability of deuterium-annealed MOSFET's,” *IEEE Electron Device Lett.* vol. 20, pp. 48, 1999.
- [10] M. Houssa, T. Nigam, P. W. Mertens, and M. M. Heyns, “Model for the current-voltage characteristics of ultrathin gate oxides after soft breakdown,” *J. Appl. Phys.*, vol. 84, No.8, pp. 4351-4355, 1998.
- [11] E. M. Vogel, D. W. Heh, J. B. Bernstein, and J. S. Suehle, “Impact of the trapping of anode hot holes on silicon dioxide breakdown,” *IEEE Electron Device Lett.*, vol. 23, pp. 667-669, Nov. 2002.
- [12] E. Rosenbaum and J. Wu, “Trap generation and breakdown processes in very thin gate oxides”, *Microelectronics Reliability*, vol. 41, pp.625-632, 2001.
- [13] H. Guan, M. F. Li, Y. He, B. J. Cho, and Z. Dong, “A thorough study of quasi-breakdown phenomenon of thin gate oxide in dual-gate



CMOSFET's", IEEE Trans. Electron Devices, vol. 47, pp. 1608-1616, Aug. 2000.

[14] S. I. Takagi and M. Takayanagi, "Carrier transport properties of thin gate oxides after soft and hard breakdown", Microelectronic Engineering, vol. 59, pp. 5-15, 2001.

[15] E. Wu, E. Nowak, J. Aitken, W. Abadeer, L. K. Han, and S. Lo, "Structural dependence of dielectric breakdown in ultra-thin gate oxides and its relationship to soft breakdown modes and device failure," in IEDM Tech. Dig., pp. 187-190, CA, 1998.

[16] T. Sakura, H. Utsunomiya, Y. Kamakua, and K. Taniguchi, "A detailed study of soft- and pre-soft-breakdowns in small geometry MOS structures," in IEDM Tech. Dig., pp. 183-186, CA, 1998.

[17] J.-S. Lee, "Modeling of Time-Dependent Defect Generation During Constant Voltage Stress for Thin Gate Oxide of Sub-Micron MOSFET" Japanese Journal of Applied Physics, vol. 47, No. 1, pp.19-22, 2008.

[18] A. Melik-Martirosian and T.-P. Ma, "Lateral profiling of interface traps and oxide charge in MOSFET devices : charge pumping versus DCIV", IEEE Trans. Electron Devices vol. 48, No. 10, pp. 2303-2309, 2001.

[19] J. S. Lee, Y. H. Lee, and K. Hess, "A Thorough Study of Hydrogen-Related Gate Oxide Degradation in Deep Submicron MOSFET's with Deuterium Treatment Process," Solid State Electronics vol 50/2, pp 149-154, 2006.

저 자 소 개



이재성(정회원)  
 1987년 경북대학교 전자공학  
 학사 졸업  
 1989년 경북대학교 전자공학  
 석사 졸업  
 1995년 경북대학교 전자공학  
 박사 졸업

1996년~1998년 Hyundai Electronics Industries  
 Co. Ltd. (HEI), Fellow Engineer  
 2002년~2003년 University of Illinois at  
 Urbana-Champaign, Post-Doc.  
 1998년~현재 위덕대학교 정보통신공학부 부교수  
 <주관심분야 : 반도체소자, Reliability Modeling,  
 Device Characterization>



이용현(평생회원)  
 1975년 경북대학교 전자공학  
 학사 졸업  
 1977년 경북대학교 전자공학  
 석사 졸업  
 1991년 충남대학교 반도체재료  
 박사 졸업

1979년~현재 경북대학교 전자전기컴퓨터학부,  
 교수  
 2001~현재 IEEE 학회 Senior Member  
 <주관심분야 : 반도체소자, 반도체제조공정,  
 plasma 응용기술>



도승우(학생회원)  
 1995년 경북대학교 전자공학  
 학사 졸업  
 2004년 경북대학교 전자공학  
 석사 졸업  
 2004년~현재 경북대학교  
 전자공학 박사과정

<주관심분야 : 반도체소자, plasma immersion  
 ion doping>