논문 2008-45SD-7-7

비대칭 펄스 폭 변조 파워-앰프를 갖는 스테레오 오디오 디지털-아날로그 변환기

(A Stereo Audio DAC with Asymmetric PWM Power Amplifier)

이 용 희*, 전 영 현**, 공 배 선***

(Yong-Hee Lee, Young-Hyun Jun, and Bai-Sun Kong)

요 약

본 논문에서는 비대칭 펄스 폭 변조 파워-앰프를 갖는 스테레오 오디오 디지털-아날로그 변환기를 제안한다. 고 전력 오디오 기기에 주로 사용되던 class-D 증폭기를 헤드폰 응용에 적용하기 위하여, 증폭기가 디지털-아날로그 변환기와 한 칩으로 집적화될 때에 발생되는 채널 간 간섭에 의한 잡음을 분석하고 이 영향을 줄이기 위한 시그마-델타 변조기의 최적화 방안을 제시하였다. 또한, 비대칭 구조의 펄스 폭 변조 방식이 파워-앰프 단에서 발생되는 스위칭 노이즈와 전력 손실을 줄이기 위하여 구현되었다. 제안된 구조들은 0.13-mm CMOS 공정을 통해 설계 제작 되었다. 제안된 오디오 디지털-아날로그 변환기는 단일 출력을 가진 파워-앰프를 포함하여 4.4-mW를 소모하면서 다이나믹-레인지 95-dB를 확보하였다.

Abstract

A stereo audio digital-to-analog converter (DAC) with a power amplifier using asymmetric pulse-width modulation (PWM) is presented. To adopt class-D amplifier mainly used in high-power audio appliances for head-phones application, this work analyzes the noise caused by the inter-channel interference during the integration and optimizes the design of the sigma-delta modulator to decrease the performance degradation caused by the noise. The asymmetric PWM is implemented to reduce switching noise and power loss generated from the power amplifier. This proposed architecture is fabricated in 0.13-mm CMOS technology. The proposed audio DAC including the power amplifier with single-ended output achieves a dynamic range (DR) of 95-dB dissipating 4.4-mW.

Keywords: Audio DAC, Sigma-delta, Asymmetric, PWM and Class-D

Ⅰ. 서 론

최근 모바일과 휴대기기 응용의 다 기능화 및 고 집적화 성향은 우수한 성능을 구현하면서 작은 전력 소모를 갖는 디지털-아날로그 변환기술을 요구하여 왔다. 16-비트 이상의 높은 해상도를 요구하는 오디오 시스템에서는 선형성의 제한이 있는 저항 및 전류원(current source) 방식의 디지털-아날로그 변환기(digital to analog converter, DAC)를 사용하지 않고 노이즈-쉐이핑(noise-shaping)과 오버샘플링(oversampling) 기법을 채택하는 시그마-델타(sigma-delta) 변환 기술이 사용되어져 왔다. 이 기술은 다른 DAC 구조들에 비해서 아날로그 구성요소 부분이 비교적 단순하고 회로 잡음의 영향에 덜 민감하므로 전력 소모를 작게 가져가면서 높은 성능을 얻을 수 있는 구조로 알려져 있다[1].

고 기능 모바일 폰과 같이 높은 성능에 낮은 전력 소모를 요구하는 헤드폰(head-phones) 구동 오디오 응용 기기에서는 이러한 시그마-델타 변환 기술과 선형성이 좋은 class-AB 구조의 파워-앰프(power amplifier) 단이 같이 사용되어져 왔다. 그러나 이 구조는 이상적으로 최대 70% 수준의 효율 밖에 제공하지 못하며 아날

* 학생회원, *** 평생회원, 성균관대학교 정보통신공학부
(Department of Information and Communication Engineering, Sungkyunkwan University)
** 평생회원, 삼성전자 반도체총괄
(Semiconductor Division, Samsung Electronics)
접수일자: 2008년2월14일, 수정완료일: 2008년6월30일

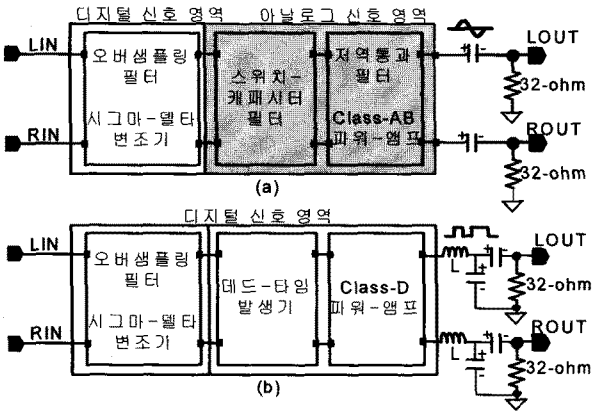

그림 1. 파워-앰프와 집적화된 오디오 DAC
(a) Class-AB 형태 (b) Class-D 형태
Fig. 1. Audio DAC with a power amplifier.
(a) Class-AB type (b) Class-D type

로그 변환부가 높은 전원 전압을 이용하는 트랜지스터와 수동 소자의 형태로 구성되어 있기 때문에, 전원 전압이 점차 줄어들고 있는 디지털 집적회로 환경에서 구현하기에는 한계점을 가지고 있다. 이를 해결하기 위하여 최근에는 90% 수준의 높은 효율을 가지면서 순수한 디지털 회로로 구성 되어 있어 고 집적화가 가능한 스위치 모드 증폭기(switch mode amplifier) 형태의 class-D 구조를 휴대용 기기에 적용하려는 시도가 진행되고 있다[2].

그림 1은 기존 class-AB 구조와 class-D 구조에 대한 간단한 블록도이다. 16-비트 이상의 디지털 오디오 입력신호는 오버샘플링 필터와 시그마-델타 변조기를 통하여 작은 비트 수로 재 양자화 된다. 재 양자화 된 디지털 신호는 그림 1 (a)의 회색빛 영역의 스위치-캐피시터 필터와 저역통과필터를 통하여 아날로그 신호로 변환되게 된다. 그림 1 (b)의 class-D 구조는 그림에서 보듯이, 아날로그 회로 영역을 디지털 신호처리 영역으로 완전하게 대체함으로써 전력 소모와 효율 및 집적도 면에서 기존 대비 우수한 성능을 가진다.

그러나 class-D 파워-앰프 구조는 전원 잡음에 민감한 영향으로 인하여 고 해상도의 DAC와 동일 칩에 집적화하여 높은 신호 대 잡음비(signal to noise ratio, SNR)를 구현하기 어렵기 때문에 파워-앰프 단은 별도의 칩으로 구현되어져 왔다. 최근에는 이 단점이 피드백 루프(feedback loop)를 이용한 보상을 통하여 보완되고 있으나[3], 피드백 회로의 복잡성으로 인한 전력 소모 및 칩 면적의 증가로 전원 잡음에 의한 영향에도 불구하고 집적도나 전력 효율 면에서 우수한 오픈 루프(open loop)의 구조가 선호되어진다[4].

본 논문에서는 오픈 루프 형태로 class-D 파워-앰프와 고 해상도 스테레오 오디오 DAC가 동일 칩에 집적화 될 때 발생되는 문제를 알아보고, 이에 대한 영향을 줄일 수 있는 방안을 제시하고자 한다. 또한, class-D 파워-앰프단의 스위칭 노이즈를 줄이고 SNR을 개선할 수 있는 비대칭형 펄스 폭 변조(pulse width modulation, PWM) 변환 방식을 제안하고자 한다.

II. Class-D 파워-앰프 집적화 문제점

1. Class-D 파워-앰프의 데드-타임

그림 2는 일반적인 헤드폰용 단일 출력(single-ended output)을 가진 스테레오 class-D 파워-앰프의 회로를 나타내고 있다. 회색빛 영역은 고 출력을 얻기 위해 높은 전원 영역을 사용하는 인버터(inverter) 형태의 파워-앰프 부분이다. PWM 신호로 변조되어진 디지털 신호를 아날로그 신호로 변환하기 위해 저역통과 특성을 가진 외장 LC 필터가 사용되어진다.

파워-앰프 단에서 높은 전력 효율을 얻기 위해서는 스위치 온-저항을 작게 해야 하므로, 사용되는 MOS 스위치들은 상당히 큰 사이즈의 트랜지스터로 구성되어야 한다. 이 경우, 인버터 형태로 구성되어 있는 PMOS와 NMOS가 동시에 턴-온(turn-on) 되면 과도한 전류가 트랜지스터와 내부의 메탈 라인으로 흐르게 되어 칩의 신뢰성에 문제를 발생시키게 된다. 이를 해결하기 위하여, 두 트랜지스터간의 턴-온 시간이 서로 교차되지 않도록 모두 턴-오프(turn-off) 되는 데드-타임(dead-time)을 만들게 된다. 이 구간은 PWM 변환 방식에서 발생 되는 시간에 비례하여 선형성을 나쁘게 하여 LC 필터 출력 단에서 고조파 왜곡 특성을 저하 시킬 뿐 아니라[5], 뒤에 설명될 채널 간 간섭에 의해서 헤드폰 응

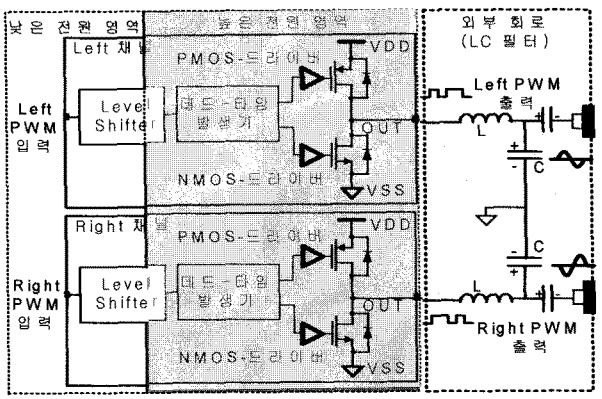

그림 2. CMOS 스테레오 class-D 파워-앰프
Fig. 2. CMOS stereo class-D power amplifier.

용에서 주로 사용되어지는 작은 신호 영역에서 오디오 대역의 SNR을 열화 시키는 문제를 발생시킨다.

2. 스테레오 채널 간 간섭

스테레오 오디오 기기는 두 개의 채널이 서로 다른 주파수와 진폭으로 동작하게 된다. PWM 파형을 출력할 때 한쪽 채널이 턴-온 되어 전원 전압까지 천이(transition) 하는 동안 반대쪽 채널이 데드-타임 상태가 되면 높은 임피던스(high impedance) 상태가 된다. 이 경우, 전원 단에서 발생하는 잡음 및 왜곡이 반대쪽 채널에 나타나게 되는데, 이 잡음은 PWM 캐리어 주파수에 의해 샘플링 되어 오디오 대역 안으로 접혀 들어와 SNR을 열화 시키는 채널 간 간섭을 발생시킨다.

그림 3은 채널 간 간섭 현상을 시간 영역과 주파수 영역에서 나타내고 있다. Class-D 파워-앰프 단이 고해상도의 DAC와 동일 칩에 집적화 되면서 전원단의 완전한 분리가 어려워 채널 간 간섭이 SNR을 열화 시킨다. 이 잡음의 영향을 줄이기 위해서는 채널 간의 임피던스 차이를 줄여야 하는데, 이는 채널 간의 PWM 스위칭이 동시에 일어나게 함으로써 구현될 수 있다. 한편, 이 잡음에 의한 영향은 시그마-델타 변조기의 노이즈-쉐이핑 특성에 의한 고주파 대역의 잡음 양과 비례하게 된다. 노이즈-쉐이핑이 클수록 오디오 대역 안의 잡음은 적어지지만, 이 잡음이 고주파 대역으로 밀려가므로 고주파 잡음은 상대적으로 많아지게 된다. 많아진 고주파 잡음은 두 채널의 PWM 신호에 넓은 분포를 만들고, 이는 채널 간 PWM 스위칭이 동시에 일어나는 비율이 적어지게 됨으로 채널 간 임피던스 차가 발생되는 경우를 증가시키게 된다. 이러한 채널 간 간섭에 의한 특성 열화를 줄이기 위하여 위상 지연

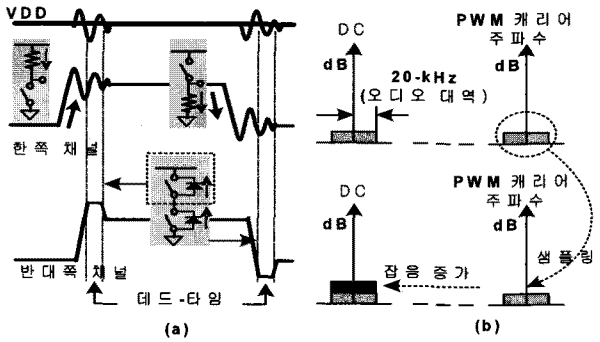

그림 3. Class-D 증폭기의 채널 간 간섭
(a) 시간 영역 (b) 주파수 영역

Fig. 3. Inter-channel interference in a class-D amplifier.
(a) Time domain (b) Frequency domain

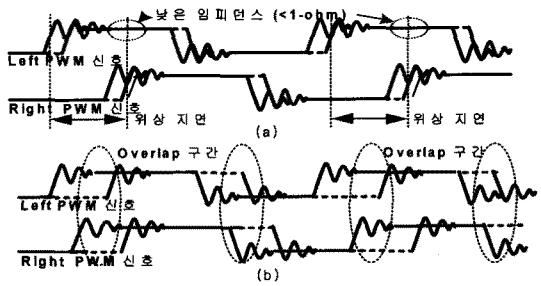

그림 4. 위상 지연을 통한 채널 간 간섭 억제
(a) 노이즈-쉐이핑이 작은 경우
(b) 노이즈-쉐이핑이 큰 경우

Fig. 4. Suppression of interference by phase shift.
(a) Less aggressive noise-shaping
(b) Sufficiently aggressive noise-shaping

(phase-shift) 방식이 적용되어 왔다[6]. 이 방식은 그림 4 (a)에서 보듯이, 두 채널 사이에 위상 지연을 통하여 채널 간 PWM 신호의 천이 구간이 겹치지 않고 한쪽의 천이 구간에 다른 쪽 채널은 MOS 스위치 턴-온 상태의 낮은 임피던스 상태가 되므로 간섭에 의한 잡음의 증가를 최대한 억제할 수 있다. 그렇지만, 이 방식도 그림 4 (b)에서 보듯이 높은 해상도를 얻기 위해 과도한 노이즈-쉐이핑을 한 경우에는 고주파 잡음 양이 많아지게 되어 PWM 신호에 많은 변화를 나타나게 되고, 이는 스테레오 신호 출력들의 천이 구간들을 다시 겹치게 하여 채널 간 간섭에 의한 문제를 발생시키게 된다.

위와 같이, 채널 간 간섭 현상을 개선시키기 위해서는 PWM 신호 사이에 천이 구간들이 겹치지 않도록 시그마-델타 변조기의 노이즈-쉐이핑을 억제하여 고주파 대역의 잡음 양을 줄여야 하지만 노이즈-쉐이핑을 억제하는 것은 가장 좋은 특성을 유지해야 하는 오디오 대역의 SNR 특성을 악화시키게 하는 큰 단점이 있다.

III. 제안된 시스템 및 하드웨어 설계

1. 시그마-델타 변조기 설계

기존의 class-AB 파워-앰프를 위한 시그마-델타 변조기 구조는 노이즈-쉐이핑을 가능한 많이 하여 오디오 대역의 잡음을 최소로 줄여 최대의 SNR을 얻을 수 있도록 하는 방식이다[7]. 그러나 class-D 파워-앰프를 가진 경우에는 이전 section에서 설명 되었듯이 과도한 노이즈-쉐이핑은 채널 간 간섭을 증가시킨다. 또한, 이를 개선하기 위해 노이즈-쉐이핑을 제한하는 것은 오디오 대역 SNR을 나쁘게 한다. 결국, 두 가지 특성 모두를 개선하기 위해서는 오디오 대역과 고주파 대역의 잡음

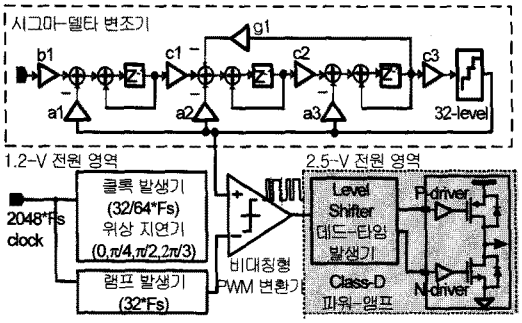

그림 5. 시그마-델타 변조기와 PWM 변환기 블록도
Fig. 5. Block diagram of the sigma-delta modulator and PWM converter.

을 동시에 모두 줄여야 한다. 그러나 시그마 델타 변조기의 구조에서는 오디오 대역 잡음 양과 고주파 대역 잡음 양은 오버샘플링 주파수 내에서 존재하는 총 잡음을 서로 분배하여 가지는 역비례 관계가 존재하므로 두 잡음 모두를 줄일 수 있는 구조를 자체적으로는 얻을 수 없다. 따라서 두 잡음을 모두 줄이는 가장 효과적인 방법은 오버샘플링 주파수 내 자체에 존재하는 잡음의 절대 양을 줄이는 방법이고, 이것은 오버샘플링 주파수를 두 배로 높여서 간단하게 구현될 수 있다. 그러나 이 방식은 필연적으로 class-D 파워-앰프 단에서 스위칭 주파수를 증가시키므로 스위칭 노이즈와 전력 효율을 나쁘게 하는 문제점을 안고 있다. 본 논문에서는 이 문제를 해결하기 위하여 class-D 파워-앰프단의 스위칭 노이즈와 전력 효율의 열화 없이 오버샘플링 주파수를 두 배로 취하여 오디오 대역과 고주파 대역의 잡음 모두를 줄이는 방안을 제시하고자 한다.

그림 5는 본 논문에서 구현된 시그마-델타 변조기와 PWM 변환기의 블록도를 나타내고 있다. 시그마-델타 변조기는 3차의 루프-필터(loop filter)로 구성되었고, 오버샘플링 주파수를 32배와 64배로 조절할 수 있도록 설계 되었다. 식 (1)은 변조기의 양자화 잡음 전달 함수로 루프-필터의 계수들은 최대 진폭 입력 시에 고주파 대역의 잡음 최대치가 -60dB 이하로 되도록 구하여졌다.

$$H(N)=\frac{1-3Z^{-1}+(3+c2g1)Z^{-2}-(1+c2g1)Z^{-3}}{1+A3Z^{-1}+A2Z^{-2}+A1Z^{-3}}$$

$$A3=a3c3-3$$
$$A2=3-2a3c3+c2g1+c2c3a2$$
$$A1=a3c3-1+c3c2c1a1-c2g1-c2c3a2 \qquad (1)$$

오버샘플링 주파수의 증가로 변조기의 전류 소모량이 늘어나지만 전체 DAC 전류량에 비해 낮은 비율이고 디지털 회로의 저 전압 동작을 통하여 그 영향을 최소화 하였다. 시그마-델타 변조기의 출력을 PWM 신호로 변환하기 위해서 램프 발생기에서 기준 신호인 디지털 램프 신호를 발생하고 이를 시그마-델타 변조기의 출력과 비교하여 뒤에 설명될 비대칭형 PWM 신호를 발생하였다. 또한 채널 간 간섭을 줄이기 위해 위상 지연을 할 수 있도록 하였다.

$$SQNR=(6*L+3)*\log M-(8*L-4)+20*\log(N-1) \qquad (2)$$

L : *Modulator order*
M : *Oversampling ratio*
N : *Quantization level*

식 (2)은 신호 대 양자화 노이즈 레벨의 관계식으로, 오버샘플링 주파수를 32배에서 64배로 두 배 늘리는 경우 3*(2*L+1)의 비율로 오디오 대역의 잡음 개선을 얻을 수 있음을 나타낸다. 또한 두 배 증가된 오버샘플링 주파수는 전체 잡음의 절대양도 줄여 고주파 대역의 잡음 양도 동시에 줄일 수 있다.

그림 6은 32배의 오버샘플링 주파수가 64배로 두 배 증가 될 때 변화되는 양자화 잡음 전달함수와 SNR 개선을 matlab을 통한 모의실험을 통하여 검증한 결과이다. 그림 6-(a)의 전달함수에서 보듯이 오디오 대역 잡음뿐만 아니라 고주파 대역의 잡음도 줄어 든 것을 볼 수 있다. 그림 6-(b)은 이상적인 20-비트의 1-kHz, -60dBFS의 정현파 신호를 입력한 경우, 식 (2)에서 구한 값과 동일하게 21-dB SNR 개선을 검증한 것이다. 실질적인 하드웨어 특성은 다른 회로 및 클록에 의한 잡음과 채널 간 간섭 영향을 고려하여 95-dB 이상 수

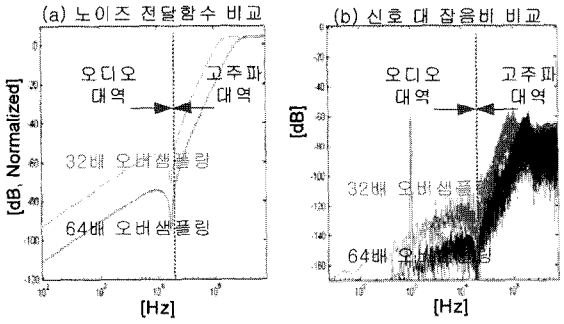

그림 6. 시그마-델타 변조기 모의실험 결과
(a) 노이즈 전달함수 (b) 1-kHz -60dBFS FFT 결과
Fig. 6. Simulation result of the sigma-delta modulator.
(a) Noise transfer function (b) FFT at 1-kHz, -60dBFS

준의 SNR을 얻기 위해 고주파 대역의 잡음을 최대한 억제하면서 110-dB SNR 갖도록 설계되어졌다. 그러나 오버샘플링 주파수를 두 배로 하여 시그마-델타 변조기의 성능은 충분하게 확보되었으나, 두 배로 증가된 시그마-델타 변조기의 출력 주파수는 뒷단의 class-D 파워-앰프의 스위칭 주파수도 동일한 비율로 늘어나게 만든다. 이것은 파워-앰프 출력 단에서 전력 효율 저하와 함께 스위칭 잡음을 증가시켜 SNR 특성을 나쁘게 하여 오버샘플링의 개선으로 얻은 특성 향상을 손해 보게 된다. 본 논문에서는 시그마-델타 변조기의 오버샘플링 주파수를 두 배 증가시켰음에도 불구하고 파워-앰프단의 스위칭 노이즈 및 전력 손실을 일정하게 유지하는 비대칭형 펄스 폭 변조 방법을 제시하였다.

2. 비대칭형 펄스 폭 변조 변환

오버샘플링 주파수를 두 배 증가하여 구현된 시그마-델타 변조기의 다중-비트 출력은 파워-앰프를 구동하기 위하여 앞의 그림 5에서 비대칭형 PWM 변환기를 통해 1-비트의 PWM 신호로 변환이 된다.

그림 7은 기존의 대칭형 펄스 폭 변조 방식과 본 논문에서 구현되어진 비대칭형 방식에 대한 타이밍 다이어그램을 나타내고 있다. 그림 7 (a)는 DAC 입력 샘플링 주파수(sampling frequency, Fs) 대비 32배 오버샘플링 상태로 PWM 신호 주기인 T_{spwm}와 시그마-델타

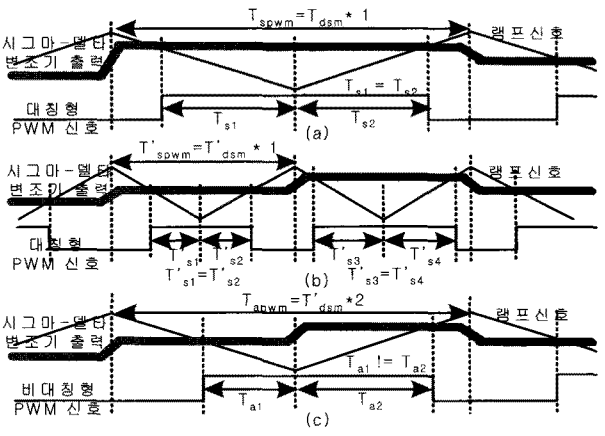

그림 7. 펄스 폭 변조 방식에 따른 타이밍도
(a) 32배 오버샘플링 대칭형 변조
(b) 64배 오버샘플링 대칭형 변조
(c) 제안된 64배 오버샘플링 비대칭형 변조

Fig. 7. Timing diagram of the PWM.
(a) Oversampled symmetric PWM by 32 times
(b) Oversampled symmetric PWM by 64 times
(c) Proposed oversampled asymmetric PWM by 64 times

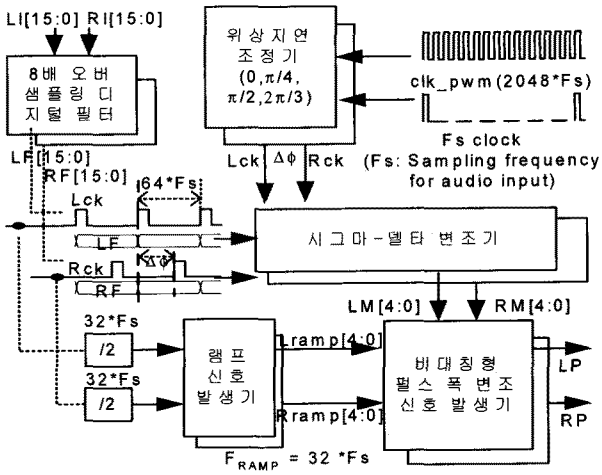

그림 8. 스테레오 채널의 펄스 폭 변조 신호 발생도

Fig. 8. Signal flow of PWM in stereo channels.

변조기 출력 주기인 T_{dsm}은 Fs가 48-kHz인 경우 651-nsec의 주기로 1.536-MHz의 주파수를 가진다. 이와 같이 펄스 폭 변조에는 좋은 선형성을 유지하기 위하여 PWM 신호의 중심을 기준으로 하이 펄스 구간이 동일한 대칭형(symmetric) 방식이 사용된다[8]. 하지만 SNR 특성 향상을 위하여 오버샘플링 주파수를 두 배로 증가하는 경우 그림 7 (b)에서 보듯이 PWM 신호의 캐리어 주기 T'_{spwm}도 오버샘플링의 증가로 줄어든 시그마-델타 변조기의 출력 주기 T'_{dsm}과 동일한 비율로 줄어들어 스위칭 주파수는 3.072-MHz로 두 배 늘어난다. 이는 class-D 파워-앰프 단에서 발생하는 스위칭 잡음의 증가로 인한 SNR 열화뿐만 아니라 전류 증가로 인한 전력 효율도 감소하게 된다. 그림 7 (c)는 본 논문에서 제안된 비대칭형 PWM 변환 방식을 나타낸 것이다. 이 변조 방식은 PWM 펄스의 상승-에지(rising-edge)와 하강-에지(falling edge)의 양쪽 방향으로 번갈아 가면서 비대칭적으로 변조를 행하는 것으로 한 주기의 PWM 신호가 연속적인 두 개의 시그마-델타 변조기 출력을 변조하므로 오버샘플링 주파수가 두 배로 증가되더라도 PWM 신호의 주기 T_{apwm}은 오버샘플링 주파수를 증가하기 전인 T_{spwm}과 동일하게 유지한다.

그림 8은 스테레오 채널의 PWM 신호 발생도이다. DAC 입력 샘플링 주파수 Fs의 2048배인 마스터 클록 clk_pwm은 시그마-델타 변조기에 사용되는 64배수 클록 Lck, Rck를 분주하여 만들어 낸다. 이때 채널 간 간섭을 억제하기 위해 스테레오 채널로 들어가는 변조기 클록 사이에서 채널 간에 위상 지연 af를 발생 하게 되고, 이 값은 외부에서 조절 할 수 있다. 채널 간 위상차를 가지고 있는 클록을 기준으로 디지털 필터에 의하여

8배 오버샘플링 된 오디오 신호는 다시 동기 되어 3차 시그마-델타 변조기에서 64배 오버샘플링으로 노이즈-쉐이핑을 하게 된다. 시그마-델타 변조와 펄스 폭 변조가 위상 지연된 클록을 기준으로 동작하므로 스테레오 채널의 펄스 출력들 사이에는 위상 지연이 발생하게 되고 채널 간 간섭 현상은 억제되게 된다. 제안된 스테레오 오디오 DAC는 class-D 파워-앰프단의 스위칭 노이즈와 전력 소모를 증가시키지 않으면서 오버샘플링 증가에 의한 오디오 대역 SNR을 개선하였으며 고주파 대역의 잡음 감소를 통하여 채널 간 간섭 영향을 억제할 수 있도록 구현되었다.

Ⅳ. 검증 및 측정

제안된 회로의 성능을 평가하기 위하여 class-D 파워-앰프를 포함한 스테레오 오디오 DAC는 0.13-mm CMOS 공정을 통하여 제작 되었다. 그림 9는 제작된 칩의 전체 블록도와 레이아웃 도면이다. 면적은 0.78-mm^2 이다. 그림 9 (a)의 회색빛 영역이 파워-앰프단으로 2.5-V 전원을 사용하였으며 8배 오버샘플링 필터와 시그마-델타 변조기를 포함한 디지털 회로 영역은 1.2-V의 전원을 사용하였다. 총 전력 소모는 4.4-mW로 설계 검증되었다.

그림 10은 16-비트의 -60dBFS 크기를 가진 1-kHz와 19-kHz의 정현파 신호를 각각 스테레오 채널에 인가하여 검증한 모의실험 결과이다. 좌측의 그림은 그림 9 (a)의 블록도 각 노드를 타임 영역에서 표시한 것이고 우측은 주파수 영역에서 스펙트럼을 분석한

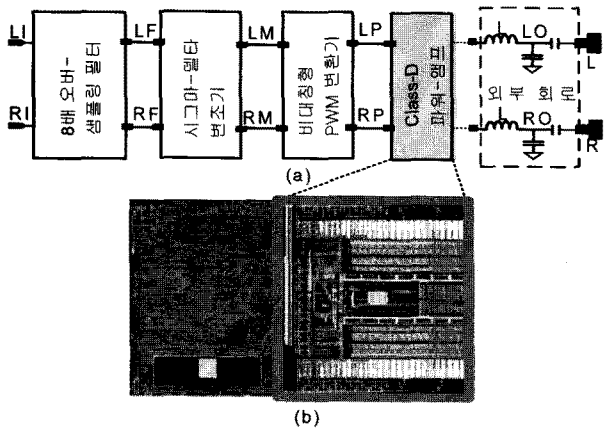

그림 9. 제안된 스테레오 오디오 DAC
(a) 블록도 (b) 레이아웃 도면
Fig. 9. Proposed stereo audio DAC.
(a) Block diagram (b) Layout

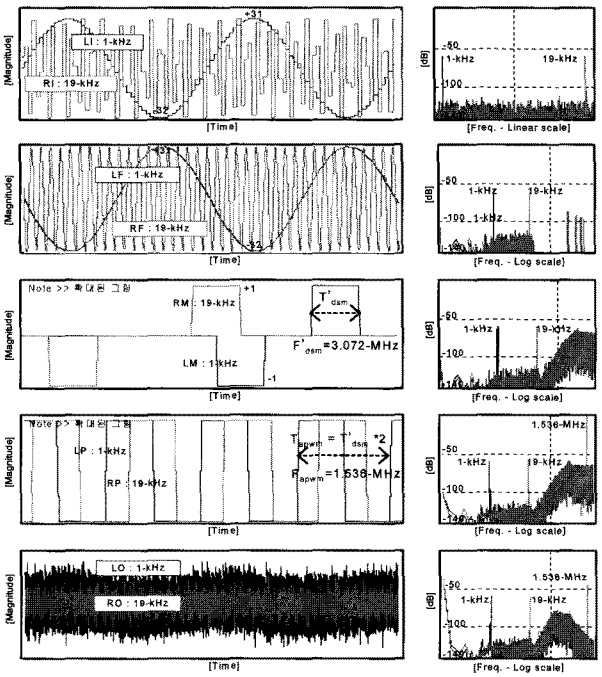

그림 10. 제안된 오디오 DAC의 모의실험 결과
Fig. 10. Simulation result of the proposed audio DAC.

것이다. 최종 출력 LO, RO에서 96-dB의 다이나믹-레인지를 확보하였다. LP, RP의 확대되어진 그림 부분에서 보듯이 PWM 신호 캐리어 주기 T_{apwm}은 시그마-델타 변조기 출력 LM, RM 주기 T'_{dsm}의 두 배가 되어 주파수는 반이 되는 것을 볼 수 있다. 또한 각 채널의 PWM 신호 사이에 천이 구간이 겹치지 않음을 확인할 수 있다. 주파수 스펙트럼 분석 결과에서 시그마-델타 변조기 출력 LM, RM의 고주파 대역 잡음의 최대치는 -60dB 이하이며 오디오 대역 내에서는 입력 스펙트럼과 거의 차이가 없어 잡음 특성 손실이 없음을 볼 수 있다. 또한 PWM 변조 출력 LP, RP의 주파수 스펙트럼에 1.536-MHz의 PWM 캐리어 주파수가 나타나는데 이는 시그마-델타 변조기 동작 주파수인 F'_{dsm}의 반으로 오버샘플링을 두 배 증가 하였음에도 불구하고 PWM 캐리어 주파수는 제안된 비대칭 변조 방식으로 인해 증가하지 않음을 확인 할 수 있다. 제작된 DAC의 측정은 audio precision(AP) system2를 사용하여 진행하였다. 오버샘플링의 증가와 비대칭 PWM 변조를 통한 특성 향상 수준을 검증하기 위하여 기존의 대칭형 PWM 구조의 32배 오버샘플링 모드와 비교 측정하였다. 그림 11 (a)는 16-비트의 -60dBFS, 1-kHz 정현파 입력을 사용하여 측정한 다이나믹-레인지 측정 결과로, 제안된 구조가 95-dB로 기존 방식 대비 3-dB 우수한 특성을 나타내었다. 그림 11 (b)는 DAC 입력 신호의

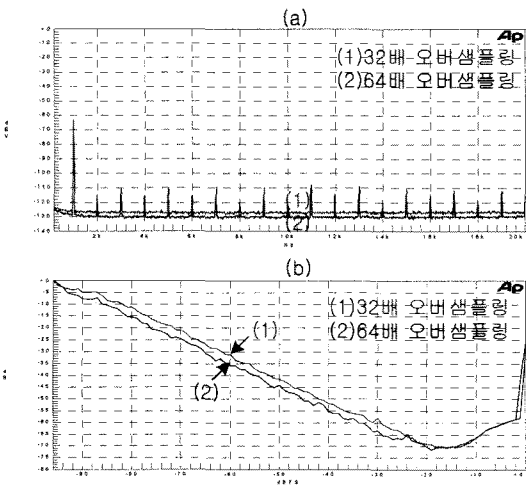

그림 11. 측정 결과
(a) 다이나믹-레인지 측정 (b) 입력 크기에 따른 THD+N

Fig. 11. Measured results.
(a) Dynamic range (b) THD+N versus input amplitude

표. 1. 전기적 특성 정리

Table 1. Summary of electrical characteristics.

항목	특성	비고
신호 대 잡음비	98-dBV	무신호시, A-weighted
다아나믹-레인지	95-dB	-60dBFS 1-kHz, A-weighted
최대 출력	12.5-mW	-1.5dBFS 1-kHz
효율	75%	0.1% THD+N ,1-kHz
모듈레이션 비	0.85	
전력 소모	4.4-mW	스테레오 채널

진폭을 변경해가면서 THD+N을 측정한 결과이다. 헤드폰 응용에서 주로 사용되어지는 -20dBFS 이하의 신호 영역에서 제안된 방식이 기존 방식 대비 3-dB 개선으로 30% 잡음 수준의 개선을 보여 주었다.

표 1에서 측정 결과를 정리하였다. 제안된 구조는 오버샘플링을 두 배로 늘려 SNR을 향상시키면서 파워-앰프단의 스위칭 노이즈는 오버샘플링 증가 전과 동일하게 유지하므로 class-D 파워-앰프를 가진 오디오 DAC에 적합한 구조임을 검증 하였다.

V. 결 론

본 연구는 높은 집적도와 전력 효율 면에서 장점을 지닌 class-D 구조의 파워-앰프를 저 전력 및 고성능 오디오에 대한 요구가 증가하는 헤드폰 응용 분야에 적용하였다. 이를 위하여, 오디오 DAC의 설계에 있어서 class-D 구조에 맞는 시그마-델타 변조기 구현 방안이 제시되었으며, 파워-앰프단의 스위칭 잡음과 전력 손실을 최소화하기 위한 비대칭형 펄스 폭 변조 구조가 제안되었다. 측정 결과 기존 구조에 비해 30% 신호 대 잡음비 개선을 확인하였다. 본 논문에 제안된 구조는 class-D 파워-앰프가 휴대기기용 단일 출력의 헤드폰 응용에서 우수한 오디오 품질과 높은 전력 효율을 얻을 수 있는 기술로 적용 될 수 있다.

참 고 문 헌

[1] J. C. Candy and G. C. Temes, "Oversampling methods for A/D and D/A conversion," *Oversampling Delta-Sigma Data Converters, IEEE Press*, pp. 1-275, 1992.

[2] Bruno Putzeys, "Digital Audio's Final Frontier," *Cover story*, March, 2003.

[3] Eric Gaalass, Bill Yang Liu, Naoaki Nishmura, "Integrated Stereo Delta-Sigma Class D Amplifier," *IEEE International Solid-State Circuits Conference*, pp. 120-121, Feb., 2005.

[4] C. Neesgaard, et al., "Class D Digital Power Amp(PurePath DigitalTM) High Q Musical Content," *International Symposium on Power Semiconductor Devices and ICs*, pp. 97-100, May, 2004.

[5] Marco Berkhout, "An Integrated 200-W Class-D Audio Amplifier," *IEEE J. Solid-State Circuits*, vol. 38, no. 7, pp. 1198-1206, July, 2003.

[6] Yu-Tzung Lin, Chi-Yang Lee, Ying-Yu Tzou, "Architecture Implementation of Class-D Amplifer Using Digital-Controlled Multiphase Interleaved PWM Technique," *International Power Electronics and Motion Control*, vol. 2, pp. 1-6, Aug., 2006.

[7] S. R. Norsworthy, R. Schreier, G. C. Temes editors, "Delta-Sigma Data Converters," *IEEE Press*, pp. 153-158, 1997.

[8] M. O. J. HAWKSFORD, "Dynamic Model-Based Linearization of Quantized Pulse-Width Modulation for Applications in Digital to Anlaog Conversion and Digital Power Amplifier Systems," *J. Audio Eng. Soc.*, Vol. 40, no.4, April, 1992.

저 자 소 개

이 용 희(학생회원)
1993년 한국항공대학교 항공통신 정보공학과 공학사
1993년~현재 삼성전자(주) 반도체총괄 책임연구원 재직
2007년~현재 성균관대학교 반도체 디스플레이공학과 석사 과정
<주관심분야 : Audio ADC/DAC 설계, 저 전력 디지털 회로설계 >

공 배 선(평생회원)
1990년 연세대학교 전자공학과 공학사.
1992년 한국과학기술원(KAIST) 전기 및 전자공학과 공학석사.
1996년 한국과학기술원(KAIST) 전기 및 전자공학과 공학박사.
1996년~1999년 LG반도체 중앙연구소 선임 연구원.
2000년~2005년 한국항공대학교 항공전자공학과 부교수.
2005년~현재 성균관대학교 정보통신공학부 전자전기공학과 부교수.
<주관심분야 : 디지털 및 혼성모드 집적회로설계, 저전력 메모리 설계>

전 영 현(평생회원)
1984년 한양대학교 전자공학과 공학사.
1986년 한국과학기술원(KAIST) 전기 및 전자공학과 공학석사.
1989년 한국과학기술원(KAIST) 전기 및 전자공학과 공학박사.
1990년~1991년 미국 University of Illinois, Coordinated Science Lab. 연구원.
2008년 현재 삼성전자(주) 반도체총괄 DRAM설계팀 전무.
<주관심분야 : 초고속 메모리 설계, 고속 I/O Interface 설계>