

저 전력 설계 자동화를 위한 최소 자원 상위 레벨 합성 알고리즘

A Minimal Resource High-Level Synthesis Algorithm for Low Power Design Automation

인 치 호
(Chi-Ho Lin)

요 약

본 논문은 저 전력 설계 자동화를 위한 새로운 최소 자원 상위 레벨 합성 알고리즘을 제안한다. 제안된 알고리즘은 상위 레벨 합성 동안에 기능 연산자의 소비 전력 최소화를 위해 효율적인 접근 방식을 실행한다. 본 논문에서는 CDFG의 스위칭 활동을 감소시키기 위해 모든 제어 스텝을 하나씩 차례로 방문한다. 레지스터 공유 알고리즘은 모든 변수들의 생명 주기를 분석 한 후, 최소의 레지스터들을 결정한다. 또한 기능 단위의 입력 신호의 특성에 따라 모든 제어 스텝을 하나씩 차례로 방문하고, 갈망 방법에 따라 각 제어 스텝의 소비 전력을 최소화하여 자원 할당을 수행한다. 제안된 저 전력 설계 자동화를 위한 최소 자원 상위 레벨 합성 알고리즘은 다양한 벤치마크들의 예를 통해 효율성을 입증한다.

Abstract

This paper proposes a new minimal resource high-level synthesis algorithm for low power design automation. The proposed algorithm executes an efficient approach to minimize the power consumption of the functional units in a circuit during the high level synthesis. In this paper, we visit all control steps one by one to reduce the switching activity in CDFG. The register sharing algorithm determines the minimum register after the life time analysis of all variable. According to property of input signal for functional unit, the proposed method visits all control step one by one and determines the resource allocation with minimal power consumption at each control step in a greedy fashion.

The effect of the proposed algorithm has been proved through various filter benchmark to adopt a new scheduling and allocation algorithm considering the low power.

Key words: Low-power, automation, algorithm, register, synthesis

본 연구는 2005년도 세명대학교 연구년 지원에 의하여 연구되었음

* 주저자 : 세명대학교 컴퓨터학부 교수

† 논문접수일 : 2008년 5월 30일

† 논문심사일 : 2008년 6월 2일

† 게재확정일 : 2008년 6월 16일

I. 서 론

최근에 접어들어 다양한 형태의 디지털 시스템의 휴대화에 대한 수요가 급증하게 되었다. 특히, 휴대용 장치에 있어서 크기나 중량과 더불어 중요한 요소를 차지하는 배터리 용량은 집적 회로가 소모하는 전력에 직접적으로 비례하게 되었다. 그리고 전력 손실이 큰 회로에 대한 비용의 상승으로 저 전력 소모를 위한 디지털 시스템 설계의 필요성이 요구되고 있다 [1-4]. 그러나 최근까지는 이러한 추세와는 달리 디지털 시스템의 설계에 있어서 주된 관심은 대상 회로의 속도의 증가와 성능 측면에 중점을 두어 왔으며, 상위 수준에서의 저 전력 소모를 지원하기 위한 연구가 미흡하다. 일반적으로 CMOS 회로에서의 전형적인 전력 소모의 요인으로 스위칭 활동(switching activity), 누설전류(leakage current), 폐회로 전류(short-circuit current) 등에 의하며, 이들 중 스위칭 동작에 의한 전력 소모가 약 90% 이상으로 가장 큰 비중을 차지한다 [5-10].

본 논문에서는 CMOS 회로의 데이터의 스위칭 동작이 발생하지 않을 경우 전력 손실이 없으므로, 저 전력 회로 설계에 있어서 최소의 스위칭 동작을 허용하는 것이 중요한 관건으로 적용한다. 또한 저 전력 설계를 위해 공급 전압의 감소, 스위칭 동작의 최소화 등을 통한 설계 방식을 제안하고 있으며, 저 전력 설계 자동화를 위한 새로운 최소 자원 상위 레벨 합성 알고리즘을 제안하였다. 제안된 알고리즘은 상위 레벨 합성 동안에 기능 연산자의 소비 전력을 최소화하기 위한 효율적인 접근 방식을 실행한다. 본 논문의 구성은 다음과 같다. 2장에서는 저 전력 최소 자원 상위 레벨 합성을 위한 자원 스케줄링과 및 자원 할당 알고리즘을 제안하고, 3장에서는 실험 및 고찰을 통해 기존의 데이터 합성 시스템과 저 전력을 고려한 시스템을 비교하여 전력 효율을 보이며, 마지막 4장에서는 결론으로 구성되어 있다.

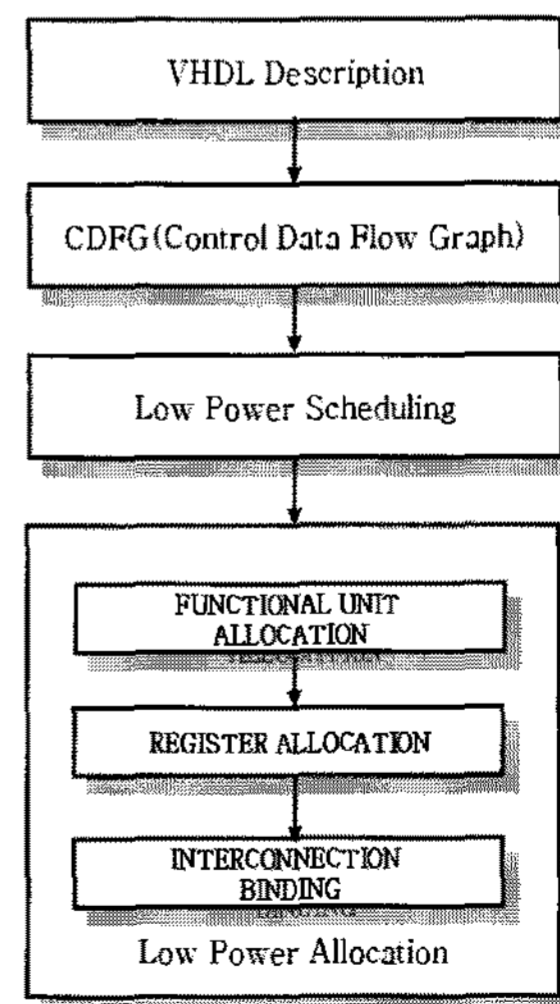
II. 저 전력 최소 자원 상위 레벨 합성 알고리즘

CMOS 회로에서 주된 전력 소모의 원인은 스위칭 동작, 누설전류, 폐회로 전류이다. 여기서 스위칭 전력이 주로 차지한다. CMOS 게이트에서 소모되는 평균 전력은 (1)의 식과 같다.

$$POWER = \frac{1}{2} C_L V_{DD}^2 \frac{N}{T} \dots\dots\dots (1)$$

여기서 CL은 load 캐패시턴스, VDD는 공급전압, T는 클럭주기, N은 클럭 주기마다 게이트에서의 천이 수, 즉 스위칭 동작의 수를 의미한다. 그러므로 (1)의 식으로부터 N을 줄이는 것을 최적 목표로 한다.

본 논문에서 제안한 알고리즘은 VHDL을 입력으로 받아 중간 표현인 CDFG(Control Data Flow Graph)를 생성한다. 생성된 CDFG는 폐쇄(shut down) 기술에 의해 불필요한 전력소모를 하지 않는 스케줄링 방법을 수행한다. 이 과정에서도 레지

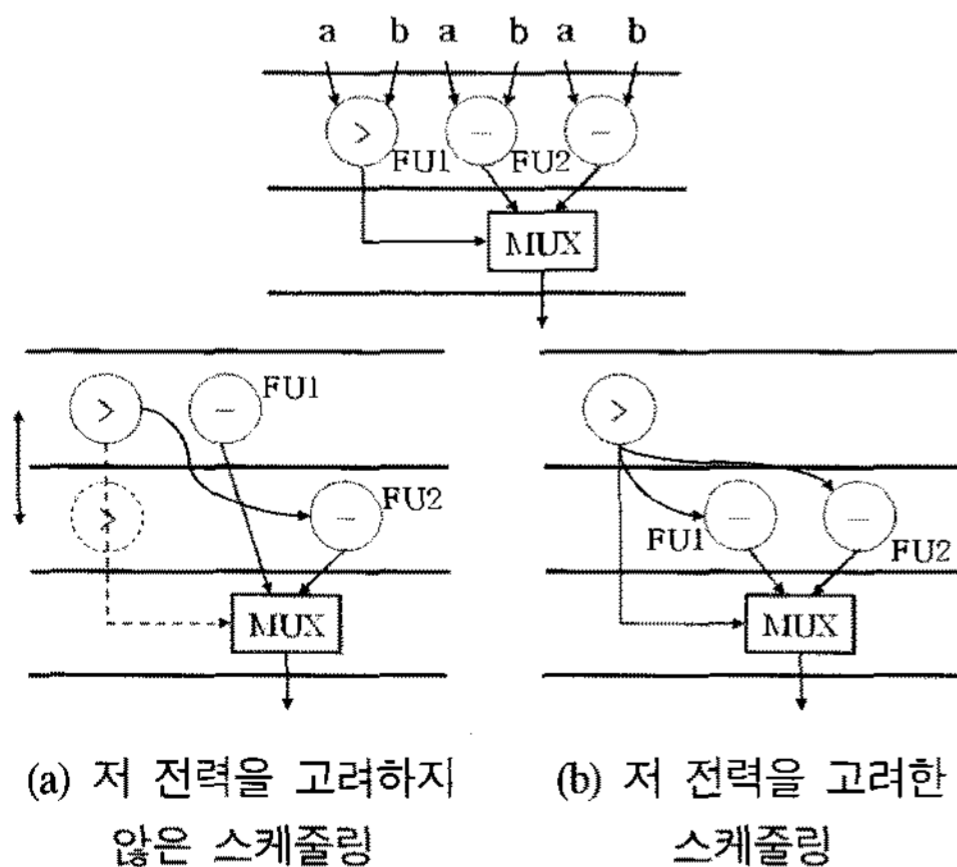


<그림 1> 저 전력 최소 자원 상위 레벨 합성 알고리즘
 <Fig. 1> The minimal resource high-level synthesis algorithm for low power

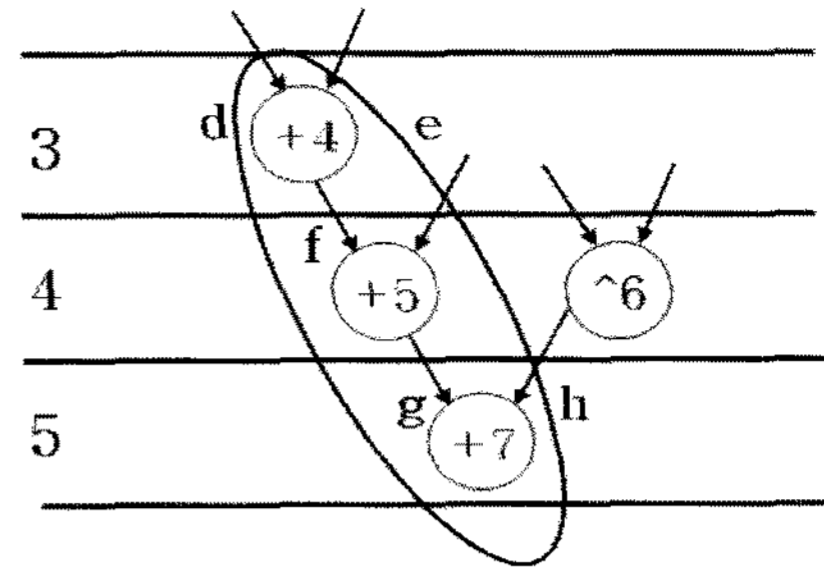
스터의 출력 단에서 스위칭 활동을 줄이는 것은 레지스터의 전력 소모를 최소화하는 것이다. 레지스터 할당 관점에서 공유 가능한 데이터 즉, 변수들이 같은 레지스터에 할당될 때 레지스터의 스위칭은 저장되어 있는 한 데이터 변수가 다른 데이터 변수로 대체될 때 일어난다. 다음으로 자원 할당 과정에서는 기능 연산자(functional unit)의 입력 신호의 특성은 할당되는 연산의 종류에 따라 서로 다르므로 각 제어단계에서 할당할 수 있는 여러 경우 중 기능 연산자의 전력 소모가 가장 적은 경우를 찾아서 할당한다. <그림 1>은 저 전력 최소 자원 상위 레벨 합성 알고리즘을 나타낸다.

1. 저 전력을 고려한 최소 자원 스케줄링 알고리즘

구현 하는 회로에서 불필요한 계산을 하지 않는 저 전력 스케줄링 알고리즘은 다음의 |a - b|의 예에서 살펴볼 수 있다. 기존의 스케줄링에서는 기능 연산자의 수를 줄이거나 제어 스텝을 줄이는 방법을 사용해 왔다. 반면 저 전력을 고려한 방식은 a, b 둘의 크기를 비교하여 결과에 따라 두 개의 뿔셈 중 한 개만이 활성화되므로 사용되지 않은 뿔셈



<그림 2> |a-b| 저 전력 스케줄링
 (a) Not considering low power scheduling
 (b) Considering low power scheduling
 <Fig. 2> The |a-b| Low power scheduling



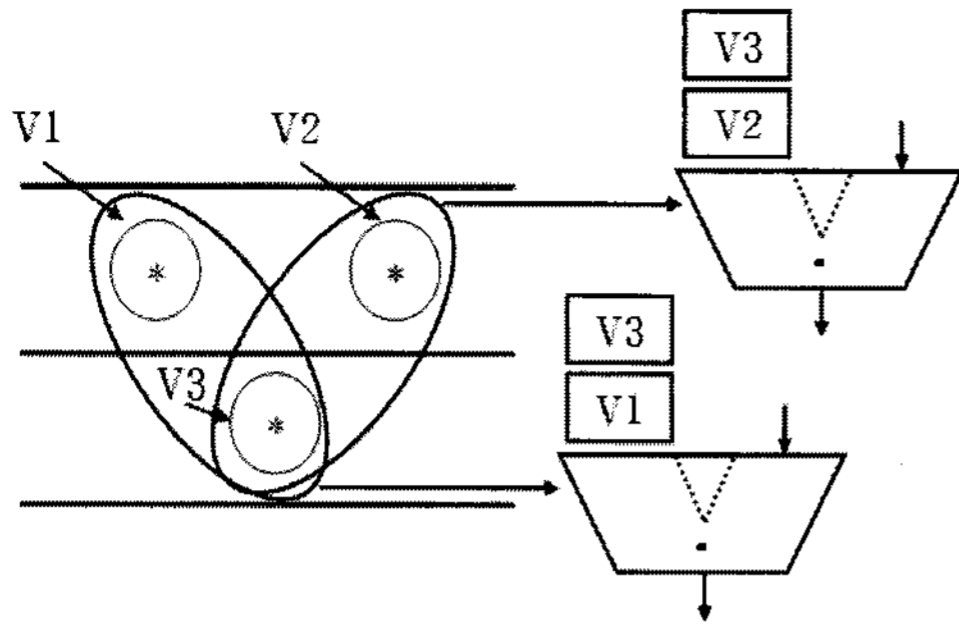
<그림 3> 기능연산자와 레지스터의 공유
 <Fig. 3> Resource sharing of functional unit and register

안에서의 스위칭 동작은 발생하지 않는다. 다시 말하면, 비교기가 먼저 스케줄링 되어서 활성화되는 연산과 폐쇄 시키는 연산을 결정한다. <그림 2>는 |a - b| 저 전력 스케줄링이다. 본 논문의 CDFG에서의 기능 연산자 < 1 과 - 2, - 3도 위의 경우와 동일한 스케줄링 결과를 적용하였다.

2. 저 전력 최소 자원 할당 알고리즘

저 전력 스케줄링 단계를 거친 후, 저 전력 레지스터 할당에서는 최적의 레지스터 할당 알고리즘을 수행한다. 본 논문에서는 각 변수의 에지(edge)에 기능연산자와 변수사이의 상관관계를 고려한 가중치를 두어 그 값의 역을 스위칭활동으로 정의한다. <그림 3>에서와 같이 +4, +5, +7을 같은 기능연산자에 할당하면 한 쪽 입력이 고정되어 스위칭활동이 적어진다. 이 지점의 가중치를 최대로 결정한다. 또한 연산자와 관련된 변수 즉 d, f, g를 같은 레지스터에 할당한다.

또한 기능 연산자 할당 과정에서 기능 연산자의 입력 신호의 특성은 기능 연산자에 할당되는 연산에 따라 바뀐다. <그림 4>는 곱셈기에 할당되는 연산의 종류에 따라 입력 신호는 v1, v3이거나 v2, v3로 서로 다르다. 그러므로 각 제어단계에서는 할당할 수 있는 여러 경우들마다 기능 연산자의 입력신호의 특성 인자를 구한 후, 각 제어단계에서 할당 가능한 경우들 중에서 기능 연산자의 전력 소모가 적은 경우를 찾아서 기능 연산자할당을 수행한다.



<그림 4> 할당되는 연산에 따른 기능 연산자 입력의 차이

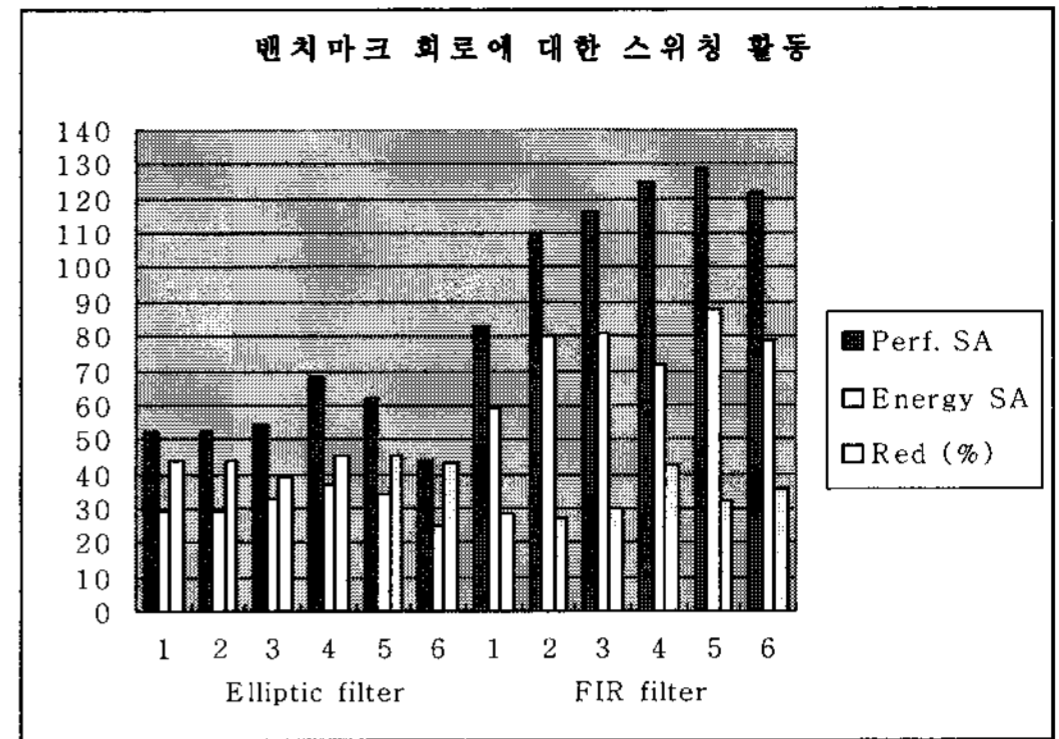
<Fig. 4> The difference of functional unit inputs on allocated operator

III. 실험결과

본 실험에서는 스위칭 활동을 최소화하는 기능 연산자 스케줄링과 자원 할당 알고리즘을 적용한 결과를 각 벤치마크에 적용해 스위칭 활동을 구한다. <표 1>에서와 같이, Elliptic Filter 의 경우 FIR filter와 비교해서 스위칭 동작이 크게 감소함을 볼 수 있다. 반면, FIR filter의 경우 스케줄링에 의한 연산의 이동성이 떨어져 스위칭 활동의 급격한 감소는 어렵다.

<표 1> 벤치마크 회로에 대한 스위칭 활동
<Table 1> The switching activity for benchmark circuits

Filter examples	CS	Perf. SA	Energy SA	Red (%)
Elliptic	1	52	29	44.2
	2	52	29	44.2
	3	54	33	38.8
	4	68	37	45.5
	5	62	34	45.1
	6	44	25	43.1
FIR	1	83	59	28.9
	2	110	80	27.2
	3	116	81	30.1
	4	125	72	42.4
	5	129	88	31.7
	6	122	79	35.2



<그림 5> 벤치마크 회로에 대한 스위칭 활동 그래프
<Fig. 5> The switching activity graph for benchmarks circuits

IV. 결 론

본 논문에서는 새로운 저 전력 상위 레벨 합성을 위한 레지스터 스케줄링 및 자원 할당 알고리즘을 제안하였다.

제안된 알고리즘은 CDFG에서 폐쇄 기술을 이용하여 스위치 활동을 최소화하여 저 전력 스케줄링을 수행하고 레지스터의 공유와 기능 연산자의 자원 할당 과정에서 기능 연산자의 전력 소모가 가장 적은 경우를 찾아 할당을 수행하였다. 또한, 상위 레벨 합성 동안에 기능 연산자의 소비 전력을 최소화하기 위한 효율적인 접근 방식을 실행하였다. 그리고 다양한 벤치마크 실험을 통해 제안된 저 전력 최소 자원 스케줄링 및 자원 할당 알고리즘의 효율성을 입증하였다.

향후 연구과제로는 저 전력 스케줄링 및 할당 알고리즘을 토대로 최적의 하드웨어 할당 및 바인딩을 수행한 후, 전체적인 합성 시스템을 구축하는 것이 선행되어야 하겠다.

감사의 글

본 연구는 2005년도 세명대학교 연구년 지원에 의하여 연구되었음

참고문헌

- [1] A. Chandrakasan, S. Sheng, and R. Brodersen, "Low-power CMOS digital design," *J. Solid-State Circuits*, vol. 27, no. 4, pp. 473-484, April 1992.
- [2] R. Hartley, "Behavioral to Sstructural translation in a bit-serial silicon compiler," *IEEE Trans. Computer Aided Design*, vol. 7, no. 8, pp. 877-886, Aug. 1988.
- [3] A. Ghosh, "Estimation of average switching activity in combination and sequential circuits", *Proc. 29th Design Automation Conf*, pp. 253-259, June 1992.
- [4] A. Chandrakasan and R. Brodersen, "Minimizing power consumption in digital CMOS circuits," *IEEE Proc.*, vol. 83, no. 4, pp. 498-523, April 1996.
- [5] J. Chang, "Register allocation and binding for low power," *Proc. 32nd Design Automation Conf*, pp. 29-35, June 1995.
- [6] R. Martin, "Power-profiler: optimizing ASICs power consumption at the behavioral level," *Proc. 32nd Design Automation Conf.*, pp. 42-47, June 1995.
- [7] A. Chandarkasan, M. Potkonjak, and J Rabaey, "HYPER-LP: A system for power minimization using architecture transformation," *Proc. 1992 IEEE/ACM Int. Conf. on Computer-Aided Design*, pp. 300-303, Nov. 1992.
- [8] P. Landman, "Power estimation of high-level synthesis," *Proc. European Design Automation Conf.*, pp. 361-366, Feb. 1993.
- [9] L. G. Raghunathan, A Jha, and N. K Dey, "Power management in high-level synthesis," *IEEE Trans. Very Large Scale Integration (VLSI) Systems*, vol. 7, no. 1, pp. 7-15, March 1999.
- [10] G. Borriello and E. Detjens, "High-level synthesis: current status and future prospects," *Proc. Circuits Systems and Signal Processing*, vol. 14, no. 3, pp. 351, July 1995.

저자소개



인치호(Chi-Ho Lin)

1985년 한양대학교 공과대학 전자공학과 공학사

1987년 한양대학교 대학원 공학석사(CAD 전공)

1996년 한양대학교 대학원 공학박사(CAD 전공)

1992년~ 현재 세명대학교 컴퓨터학부 교수

<주관심분야 : SOC CAD, ASIC 설계, CAD 알고리즘, SOC 설계, RTOS 및 내장형 시스템>