

## Design of Cascade Controller With Structure of Smith - Predictor

趙俊浩\* · 李元赫\*\* · 黃炯秀†

(Joon-Ho Cho · Won-Hyok Lee · Hyung-Soo Hwang)

**Abstract** - In this paper, we proposed to improve performance of the design of a cascade controller with the smith-predictor structure. The parameters of controller in the inner loop are determined to minimize the integral of time multiplied by the absolute value of error (ITAE) value of performance Index. The controller of outer loop and parameters of Smith-Predictor can be obtain using reduction model. The model reduction is considered that it is the transient response and the steady-state response through the use of nyquist curve. Simulation examples are given to show the better performance of the proposed method than conventional methods.

**Key Words** : Cascade Controller, Model reduction, PID controller, Smith-predictor

## 1. 서 론

PID(Proportional Integral Derivative) 제어기는 근래보다 정교한 현대 제어이론이 개발되었음에도 산업체 현장 엔지니어들이 최적제어, 적응제어 등의 현대 제어이론들 보다는 PID 제어알고리즘에 친숙해져 있다. 또한 PID 제어기의 운전과 동조에 관한 많은 경험을 가지고 있고, 제어기의 구조가 간단하여 실현하기가 용이하다. 제어하고자 하는 플랜트가 큰 지연시간이나 심한 비선형 특성을 가지지 않는 한 거의 완벽한 제어목적은 이를 수 있을 뿐만 아니라 새로운 제어이론을 적용하였을 경우 이에 따른 경제적 이득을 예측할 수 없다. 그리고 현장 운전자를 특별히 교육시켜야 하는 등의 이유로 현재까지 산업현장에서 가장 널리 운영되고 있는 제어 알고리즘이다. 이러한 몇 가지의 이점들로 인하여 PID 제어기는 공정제어 현장에서 널리 사용되고 또한 최적의 성능을 얻을 수 있는 PID 제어기의 파라미터를 결정하는 방법에 대하여 많은 연구가 이루어지고 있다. [1]~[5]. 그 중에서, Astrom과 Hagglund는 간단한 릴레이 실험에서 임계이득과 임계주파수를 구할 수 있는 자동 동조 방법을 제시 하였다 [6]. 기존의 릴레이 동조 실험을 통하여 설계된 PID 제어기는 외부로부터 외란 및 센서 변화 등의 영향에서는 만족할 만한 제어 성능을 얻을 수 없었다. 따라서 잡음 등의 영향에 둔감한 제어기에 대한 많은 연구가 이루어지고 있다. 이와 같이 외부의 영향에 둔감한 제어기를 견실 제어라고 하며, 그 중 한 가지 방법으로 Cascade 제어 기법이 있다

[7],[8]. Cascade 제어기는 내부 제어기와 외부제어기로 분류되어 있어, 외부로부터의 외란 및 센서 변화 등의 영향에 둔감하게 반응한다. 본 논문에서는 Cascade 제어기의 성능을 향상시키기 위해서 내부, 외부의 제어기의 파라미터 값을 ITAE 값이 최소가 되도록 동조 하였고, 또한 지연시간을 보상해 주기 위해서 Smith-Predictor 구조를 갖는 Cascade 제어기 설계를 제안하였다.

Cascade의 내부 제어기 설계는 내부 모델이 1차의 지연시간을 갖는 공정에 대해서는 성능지수 ITAE 값이 최소로 갖는 PI 제어기를 설계 하였고[9], 외부 제어기 설계는 내부 제어기와 내부 공정 그리고 외부 공정을 결합한 전달함수를 구하고, 이 전달함수에 대해서 2차의 지연시간을 갖는 축소 모델(SOPDT)[10]을 구하고, 구해진 축소 모델을 이용하여 지연시간을 보상하는 스미스 예측기와 제어기의 파라미터 값을 자동으로 동조 하였다. 이렇게 구해진 제어기의 성능은 기존의 방법보다 우수한 성능을 보인다. 본 논문의 구성은 Cascade 제어기 설계, 시뮬레이션 및 고찰, 결론으로 구성되어 있다.

## 2. Cascade 제어기 설계

Cascade 제어기는 외부로부터의 외란 및 센서의 변화 등에 영향에 둔감하게 작동하여 만족할 만한 제어 성능을 얻을 수 있는 견실제어기의 한 가지 종류이다. 기존의 Cascade 제어기구조는 그림 1과 같이 구성되어 있다. Cascade 제어기의 구조는 내부 루프와 외부 루프로 이루어져 있고, 공정을 보면 내부 루프 공정과 외부 루프 공정으로 이루어져 있으며, 제어기 또한 내부 루프에 있는 내부 루프 제어기와 외부 루프에 있는 제어기로 구성되어 있다.

\* 正 會 員 : 圓 光 大 工 大 電 氣 電 子 工 學 部 專 任 講 師. 工 博

\*\* 正 會 員 : 圓 光 大 工 大 電 氣 電 子 工 學 部 工 博

† 교 신 저 자, 正 會 員 : 圓 光 大 工 大 電 氣 電 子 工 學 部 教 授. 工 博

E-mail : cho1024@wonkwang.or.kr

接 受 日 字 : 2008年 3月 3日

最 終 完 了 : 2008年 7月 14日

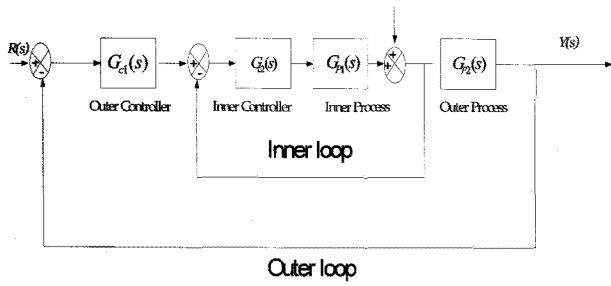


그림 1 Cascade 제어기 구조  
Fig. 1 Structure of Conventional Cascade controller

Cascade 제어기는 2개로 구성되어 있어 기존의 PID 제어기 설계보다는 복잡하다. 본 논문에서는 Cascade 제어기 설계에 있어 내부 루프에 있는 제어기는 ITAE값이 최소가 되도록 하는 제어기 설계방법을 적용하였고, 외부 루프에 있는 제어기를 설계하기 위해서 내부 공정, 내부 루프의 제어기와 외부 루프의 공정을 결합한 전달함수를 2차의 지연시간을 갖는 모델로 축소하고, 축소 모델로부터 외부 루프의 제어기를 설계할 수 있는 새로운 방법을 제안 하였다. 또한 대부분의 공정이 지연시간을 포함하고 있어, 지연시간을 보상해주는 Smith-Predictor 제어기 구조를 그림 2와 같이 제안하였다.

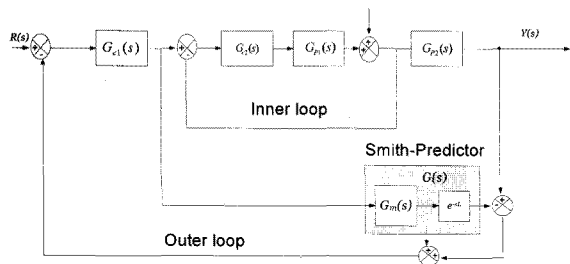


그림 2 제안된 Cascade 제어기 구조  
Fig. 2 Structure of Proposed Cascade controller

2.1 내부 루프 제어기 설계

본 논문에서의 내부 루프 제어기는 내부 루프의 공정이 1차의 지연시간을 갖는 공정에 대하여 성능지수 ITAE가 최소가 되도록 제어 파라미터 값을 구하였으며, 표 1과 같다.

표 1 PID 동조 규칙  
Table 1 PID tuning rule.

Process	$k_p K_c$	$T_I/\tau_i$	$\tau_d/T_I$
$k_1$	$0.586(\frac{L_1}{T_1})^{-0.92}$	$1.030 - 0.165(\frac{L_1}{T_1})$	
$\frac{k_1}{T_1 s + 1} e^{-sL_1}$	$0.965((\frac{L_1}{T_1})^{-0.85})$	$0.796 - 0.1465(\frac{L_1}{T_1})$	$0.308(\frac{L_1}{T_1})^{-0.929}$

2.2 외부 루프 제어기 설계

외부 루프 제어기는 제어 파라미터뿐만 아니라 Smith-Predictor의 파라미터 값들까지 모두 구해야 한다. 본 논문에서는 외부 루프의 제어기 파라미터와 Smith-Predictor의 파라미터를 구하기 위해서 축소 모델을 사용하였다.

Cascade controller의 구조에서 inner loop 부분을 전개하면 부분은 식(1)과 같다.

$$G_1(s) = \frac{G_{c2}(s)G_{p1}(s)}{1 + G_{c2}(s)G_{p1}(s)} \tag{1}$$

또한 외부 루프 공정  $G_{p2}(s)$ 와 식 (1)를 전개하면 식 (2)를 구할 수 있다.

$$G(s) = \frac{G_{c2}(s)G_{p1}(s)G_{p2}(s)}{1 + G_{c2}(s)G_{p1}(s)} \tag{2}$$

식 (2)를 축소 모델 알고리즘을 적용하면 (2-1)의 SOPDT 모델로 축소 할 수 있다.

$$\hat{G}(s) = \frac{e^{-sL}}{as^2 + bs + c} \tag{2-1}$$

2.2.1 축소 모델 알고리즘

Nyquist 선도 상에서  $0, -\pi/2, -\pi$ , 그리고  $-3/2\pi$ 인 4개의 점에서 실제 모델과 축소 모델이 일치하도록 최종값의 정리와 유전자 알고리즘을 이용하여 축소 모델의 파라미터 값들을 구한다.

수치적 계산법은 정상상태 응답에 해당되는 축소 모델의 파라미터 값  $c$ 값을 구할 때 사용하였고, 유전자 알고리즘은 과도 상태 응답에 해당되는  $a, b, L$ 값을 구할 때 사용한다. 유전자 알고리즘의 성능 평가 함수로는 제안된 지점에서 실제 모델의 주파수 응답과 축소 모델의 주파수 응답의 값이 최소값이 되도록 하였다. 그림 3은 축소 모델 알고리즘이다.

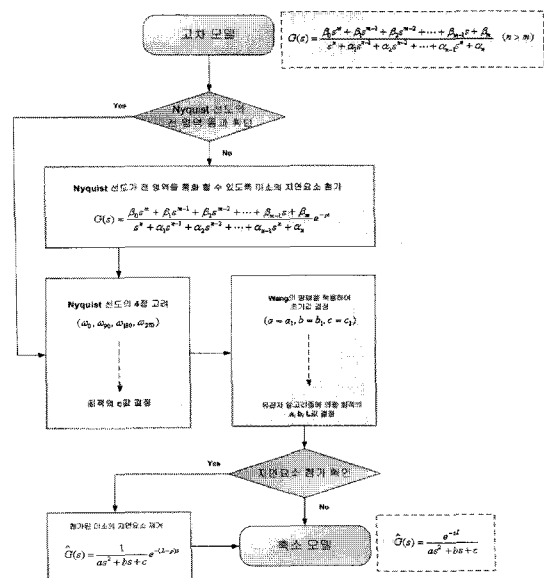


그림 3 축소 모델 알고리즘의 흐름도  
Fig. 3 Flowchart of reduction model algorithm

**1 단계) Nyquist 응답 확인**

실제 모델의 Nyquist 선도를 확인하여 주파수 응답이 복소평면의 전 영역을 통과하는지를 확인하여 통과하면 실제 모델은 식 (2)와 같고, 통과하지 않으면 식(3)과 같이 실제 모델에 미소의 지연시간을 첨가하여 주파수 응답이 복소평면의 전 영역을 통과하도록 한다.

$$G(s) = \frac{G_{c2}(s)G_{p1}(s)G_{p2}(s)}{1 + G_{c2}(s)G_{p1}(s)}e^{-\rho s} \quad (3)$$

여기서,  $\rho$ 값은 첨가된 미소의 지연시간이다.

**2단계) 최종값의 정리를 이용한 파라미터  $c$ 의 최적화**

단위계단 입력이며, 단위 계환을 갖는 구조에서 실제 모델과 축소 모델의 최종값이 같아야 정상상태의 출력은 동일하다. 실제의 모델의 최종값은 식 (4)와 같다.

$$c = \frac{1}{|G(0)|} \quad (4)$$

**3단계) 최적의 a, b, L 값 결정**

Nyquist 선도의 4점에서 고차 모델과 축소 모델이 같게 한다는 조건에서 식(5)~(8)을 유도할 수 있다.

$$c - aw_a^2 + jw_a b = \frac{\cos(w_a L) - j\sin(w_a L)}{|G(jw_a)|} \quad (5)$$

$$c - aw_b^2 + jw_b b = \frac{\cos(w_b L) - j\sin(w_b L)}{-j|G(jw_b)|} \quad (6)$$

$$c - aw_c^2 + jw_c b = \frac{\cos(w_c L) - j\sin(w_c L)}{-|G(jw_c)|} \quad (7)$$

$$c - aw_d^2 + jw_d b = \frac{\cos(w_d L) - j\sin(w_d L)}{|G(jw_d)|} \quad (8)$$

유전자 알고리즘을 이용하려면 축소 모델의 파라미터의 초기값( $a_1, b_1, L_1$ )이 필요하다. 본 논문에서는 Wang의 방법에 의한 값을 초기값으로 적용하였으며, 각 파라미터의 범위는  $0 \leq a \leq 2a_1, 0 \leq b \leq 2b_1, 0 \leq L \leq 2L_1$ 로 하였다. 적용된 최적한 기법은 단순 유전자 알고리즘으로, 사용된 선택연산은 룰렛방식, 교배연산은 단일교배, 돌연변이 연산은 선택된 비트를 반전시키는 invert 방식을 적용했다. 또한 세대는 1000세대, 군집은 60개체, 각 파라미터 문자열의 길이를 이진 형태로 15비트, 교배율은 70%, 돌연변이 발생율은 3%로 적용했다.

또한 적합도 평가 함수( $J$ )는 Nyquist 선도의 세 점에서 오차의 합이 최소가 되도록 식 (9)을 이용하였다.

$$J = \sum_w (|G(jw)| - |\hat{G}(jw)|) \quad (9)$$

여기서  $w = w_b, w_c, w_d$ 이다.

**4단계) 첨가된 지연시간 제거**

1단계에서는 Nyquist 응답이 복소평면의 전 영역을 통과하지 않으면 미소의 지연시간  $e^{-\rho s}$ 를 첨가 하였다. 4단계에서는 첨가된 지연시간을 제거함으로써 축소 모델을 구할

수 있다. 식 (10)은 Nyquist 곡선상의 모든 영역을 통과하게 되며, 첨가된 미소 지연시간  $e^{-\rho s}$ 를 제거하면 축소 모델을 구할 수 있게 된다.

$$\hat{G}(jw) = \frac{e^{-jLw}}{a(jw)^2 + b(jw) + c} = \frac{e^{-jLw}e^{-j\rho w}}{a(jw)^2 + b(jw) + c} \quad (10)$$

**2.2.2 외부 루프 제어기의 PID 파라미터 값.**

제안된 Cascade 제어기 구조의 스미스 예측기 부분을 포함한 페루프 전달함수는 식(11)과 같다.

$$\frac{Y(s)}{R(s)} = \frac{G_{cl}(s)G(s)}{1 + G_{cl}(s)G_m(s) + G_{cl}(s)[G(s) - G_m(s)]e^{-sL}} \quad (11)$$

여기서  $G(s)$ 는 실제 공정,  $G_m(s)e^{-Ls}$ 는 축소 모델을 의미하며, 위의 구조에서 실제 공정과 축소 모델이 거의 일치한다고 가정하면, 즉,  $G(s) \approx G_m(s)e^{-sL} = \hat{G}(s)$ 라면, 식 (11)은 식(12)처럼 근사화 된다.

$$\frac{Y(s)}{R(s)} \approx \frac{G_{cl}(s)\hat{G}(s)}{1 + G_{cl}(s)G_m(s)} \quad (12)$$

식 (12)에서 외부 루프의 제어기 전달 함수는 식 (13)과 같다.

$$G_{cl}(s) = k \left( \frac{as^2 + bs + c}{s} \right) \quad (13)$$

여기서  $k_p = k \times b, k_i = k \times c, k_d = k \times a$ 이며,  $a, b, c$ 는 축소 모델의 파라미터 이다.

식(13)를 식(12)에 대입하여 정리하면, 특성방식의 시간 지연 항이 제거되어 식(14)와 같다.

$$\frac{Y(s)}{R(s)} \approx \frac{ke^{-sL}}{s + k} \quad (14)$$

식(14)에서 알 수 있듯이 제어기 설계는  $k$ 값을 구하는 것과 같다. 식 (14)에서 입력이 단위계단 함수이고 설정치가  $y_r$ 이라 하면, ISE(Integral of the Squared Error), ITAE(Integral of Time multiplied by the Absolute value of Error)에 대한 정의식을  $k$ 에 대해서 편미분 하면 표 2와 같이 구할 수 있다.

표 2 다양한 성능을 고려한 동조 방법

Table 2 Tuning Method considered multiple performance

구분	성능지수		
	ISE	ITAE	ISTAE
$k$	$\frac{1}{2L}$	$\frac{2}{L}$	$0.5 \times \frac{1}{2L} + 0.5 \times \frac{2}{L}$

여기서 ISTAE는 ISE와 ITAE를 결합한 것으로 오버슈트가 큰 시스템을 보상하기 위해서 사용한 것이다.

2.2.3 Smith-Predictor 설계

산업용 공정시스템의 대부분은 시간지연 프로세스를 가지고 있다. 이들 프로세스의 지연 시간으로 계통의 응답을 저하시키게 되는데 이를 해결하기 위한 시간 지연 보상기법으로 스미스 예측 알고리즘이 널리 쓰이고 있다. 스미스 예측기는 지연시간 부분과 지연시간을 제외한 부분으로 크게 나눌 수 있다. 본 논문에서는 스미스 예측기의 계수 값을 축소 모델의 계수값으로 사용함으로써 쉽게 구할 수 있다. 식 (15)는 스미스 예측기의 계수값을 나타낸 것이다.

$$G_m(s)e^{-sL} = \frac{1}{as^2 + bs + c} e^{-sL} \quad (15)$$

여기서,  $e^{-sL}$  값은 지연시간 부분이며,  $G_m$  은 지연시간을 제외한 부분이다.

3. 시뮬레이션 및 고찰

본 장에서는 제안된 방법이 다양한 공정에 대해서 적용할 수 있음을 보이기 위해서 내부 루프의 공정과 외부 루프의 공정을 각각 지연시간이 짧은 공정과 긴 공정을 선택하였다. 내부 루프의 제어기는 PI 제어기 설계하고, 내부 루프의 제어기, 내부 루프의 공정 그리고 외부 루프의 공정을 결합한 전달 함수를 2차의 지연시간을 갖는 모델로 축소 할 수 있음을 확인하다. 또한 제안된 방법으로 설계된 스미스 예측기 및 외부 루프 제어기의 성능이 기존의 방법 보다 우수함을 시뮬레이션을 통하여 증명한다.

3.1 지연시간이 짧은 시스템

$$\text{내부 루프의 공정}(G_{p1}(s)) : \frac{1}{0.1s+1} e^{-0.1s} \quad (16)$$

$$\text{외부 루프의 공정}(G_{p2}(s)) : \frac{1}{(s+1)^2} e^{-s} \quad (17)$$

내부 루프의 공정이 주어지면 다음과 같은 3단계에 의해서 내부 루프 제어기와 외부 루프 제어기 및 스미스 예측기를 설계 할 수 있다.

Step 1:

내부 루프의 제어기는 1차의 지연시간을 갖는 공정에 대해서 성능지수 ITAE 값이 최소가 되는 PI 제어기를 설계할 수 있다. 제어기 파라미터 값은 표 1의 방법을 적용하여 구하면 식 (18)과 같다.

$$\text{내부 루프의 제어기}(G_{c2}(s)) : 0.5860 \left( 1 + \frac{1}{0.1156s} \right) \quad (18)$$

Step2:

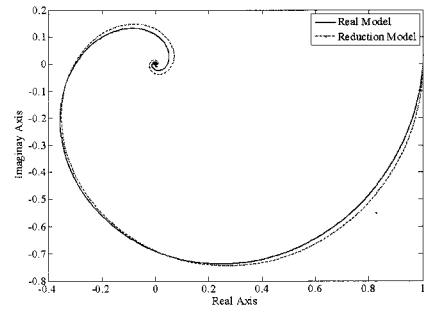
내부 루프의 제어기를 설계하고 나면 식(19)와 같이 전달 함수 구할 수 있다.

$$G(s) = \frac{(0.0677s + 0.5860)e^{-1.1s}}{(s+1)^2(0.1s+1)0.1156s + (s+1)^2(0.0677s + 0.5860)e^{-0.1s}} \quad (19)$$

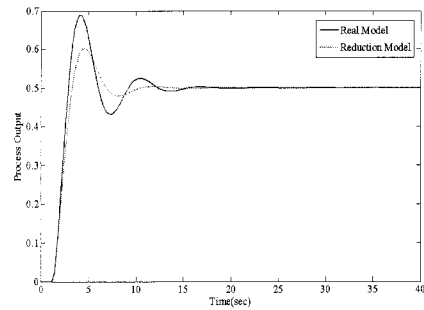
식(19)에 대하여 축소 모델 알고리즘을 적용하면 (20)의 SOPTD 모델로 축소 할 수 있다.

$$\hat{G}(s) = \frac{e^{-1.1094s}}{1.2034s^2 + 2.6235s + 1} \quad (20)$$

식(19)와 식(20)의 공정에 대하여 주파수 응답과 페루프 단위계단응답을 그림 4에 나타내었다. 그림 4에서와 같이 과도 상태 및 정상 상태 응답이 일치함을 알 수 있다.



(a) 주파수 응답



(b) 페루프 단위 계단 응답

그림 4 공정 1에 대한 응답 비교

Fig. 4 Response comparison of process 1

Step3:

식(20)의 축소 모델이 구해지고 나면 식(21)과 같이 제어기를 설계 할 수 있으며, 스미스 예측기의  $G_m(s)$ 의 값은 축소 모델의 지연시간을 제외한 부분이며  $e^{-sL}$  값은 축소 모델의 지연 시간이다.

$$\begin{bmatrix} k_p \\ k_i \\ k_d \end{bmatrix} = k \begin{bmatrix} 2.6855 \\ 1 \\ 1.2462 \end{bmatrix} \quad (21)$$

표 3 공정 1에 대한 제어기 파라미터 동조

Table 3 Parameters Tuning of Process 1

구분	성능지수		
	ISE	ITAE	ISTAE
k	0.4456	1.7825	1.1141

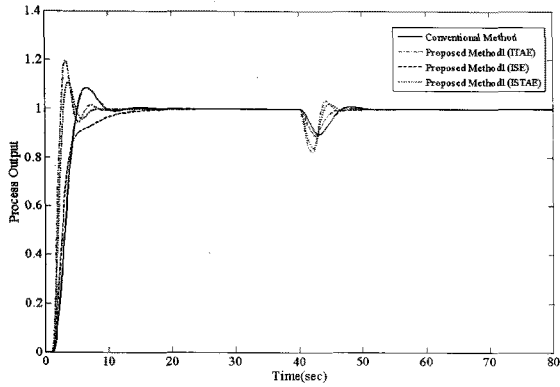


그림 5 공정1에 대한 제안된 방법 적용  
 Fig. 5 Application of Proposed method for process 1

그림 5는 제안된 방법을 적용하여 나타내었고, 표 4는 기존의 방법과 성능지수를 비교 하였다.

표 4 공정 1에 대한 성능지수 비교  
 Table 4 Comparison of performance index for process 1

	기존의 방법	제안된 방법1 (ISE)	제안된 방법2 (ITAE)	제안된 방법3 (ISTA)
IAE	34.7886	32.5022	34.7678	31.6193
ISE	27.9731	23.6983	26.4263	24.0366
ITAE	198.1956	315.7512	196.0677	261.6668

표 6에서 확인할 수 있듯이 제안된 방법이 성능지수(IAE, ISE) 측면에서는 기존의 방법보다 우수하지만, 성능지수(ITAE) 측면에서는 제안된 방법2 만이 우수함을 알 수 있고, 그림 5에서도 확인할 수 있다.

3.2 지연시간이 긴 시스템

$$\text{내부 루프의 공정}(G_{p1}(s)) : \frac{0.57}{20s + 1} e^{-8s} \quad (21)$$

$$\text{외부 루프의 공정}(G_{p2}(s)) : \frac{1}{(50s + 1)} e^{-20s} \quad (22)$$

지연시간이 긴 시스템에 대해서도, 내부 루프의 공정이 주어지면 다음과 같은 3단계에 의해서 내부 루프 제어기와 외부 루프 제어기 및 스미스 예측기를 설계 할 수 있다.

Step 1:

내부 루프의 제어기는 1차의 지연시간을 갖는 공정에 대해서 성능지수 ITAE 값이 최소가 되는 PI 제어기를 설계할 수 있다. 제어기 파라미터 값은 다음과 같다.

$$\text{내부 루프의 제어기}(G_{c2}(s)) : 2.3885 \left( 1 + \frac{1}{20.7469s} \right) \quad (23)$$

Step2:

내부 루프의 제어기를 설계하고 나면 식(24)와 같이 전달

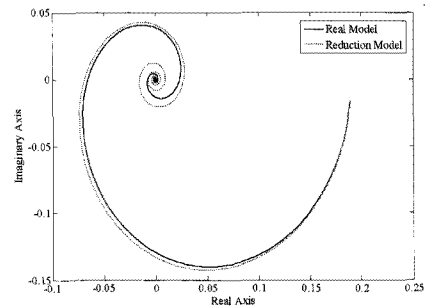
함수 구할 수 있다.

$$G(s) = \frac{(49.5542s + 2.3885)e^{-28s}}{(20s + 1)(50s + 1)20.7489s + 0.57(50s + 1)(49.5542s + 2.3885)e^{-8s}} \quad (24)$$

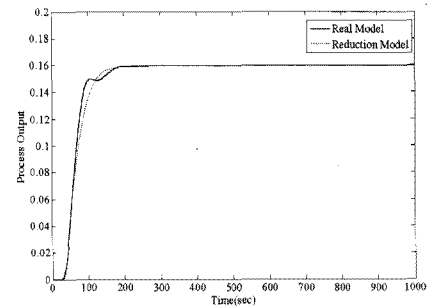
식(24)에 대하여 축소 모델 알고리즘을 적용하면 (25)의 SOPDT 모델로 축소 할 수 있다.

$$\hat{G}(s) = \frac{e^{-32.9930s}}{686.9933s^2 + 260.2405s + 5.2632} \quad (25)$$

식(24)와 식(25)의 공정에 대하여 주파수 응답과 페루프 단위계단응답을 그림 6에 나타내었다. 그림 6에서와 같이 과도 상태 및 정상 상태 응답이 일치함을 알 수 있다.



(a) 주파수 응답



(b) 페루프 단위 계단 응답

그림 6 공정 2에 대한 응답 비교  
 Fig. 6 Response comparison of process 2

Step 3:

식(25)의 축소 모델이 구해지고 나면 식(26)과 같이 제어기를 설계 할 수 있으며, 스미스 예측기의  $G_m(s)$ 의 값은 축소 모델의 지연시간을 제외한 부분이며  $e^{-sL}$  값은 축소 모델의 지연 시간이다.

$$\begin{bmatrix} k_p \\ k_i \\ k_d \end{bmatrix} = k \begin{bmatrix} 260.2405 \\ 5.2632 \\ 686.9933 \end{bmatrix} \quad (27)$$

표 5 공정 2에 대한 제어기 파라미터 동조

Table 5 Parameters Tuning of Process 2

구분	성능지수		
	ISE	ITAE	ISTAE
$k$	0.0152	0.0606	0.0379

그림 7은 제안된 방법을 적용하여 나타내었고, 표 6는 기존의 방법과 성능지수를 비교 하였다.

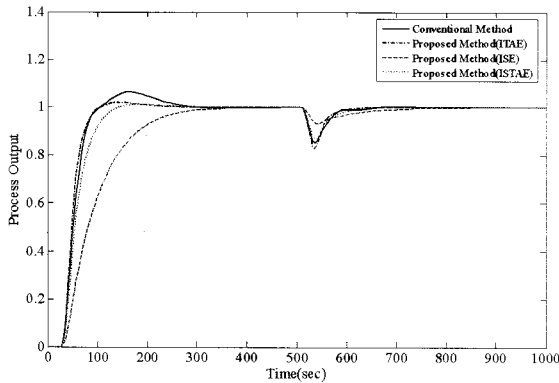


그림 7 공정 2에 대한 제안된 방법 적용

Fig. 7 Application of Proposed method for process 2

표 6 공정 2에 대한 성능지수 비교

Table 6 Comparison of performance index for process 2

	기존의 방법	제안된 방법1 (ISE)	제안된 방법2 (ITAE)	제안된 방법3 (ISTAE)
IAE	33.6409	37.7189	29.4026	31.2800
ISE	26.3084	31.2467	25.8556	27.0753
ITAE	1394.4	1872.5	1206.5	1297.4

표 6에서 확인할 수 있듯이 제안된 방법2,3은 성능지수 (IAE) 측면에서는 기존의 방법보다 우수하고, 성능지수 (ISE, ITAE) 측면에서는 제안된 방법2가 우수함을 알 수 있고, 그림 7에서 확인할 수 있다.

#### 4. 결 론

본 논문에서는 지연 시간과 비선형성을 보상주기 위해서 새로운 Cascade 제어기 설계방법을 제안하였다. 성능지수 ISE와 ITAE를 고려한 외부 루프의 제어기 설계는 축소 모델을 이용함으로써 수식적으로 계산할 수 있음을 표 3, 표 5를 통해서 확인 하였다.

그림 4, 그림 6에서 확인할 수 있듯이 Cascade 제어기의 내부 루프에 제어기, 공정과 외부 루프의 공정을 2차의 지연 시간을 갖는 모델로 축소할 수 있음을 주파수 응답, 시간 응답 부분에서 기존의 방법보다 우수함을 확인할 수 있었다. 이렇게 설계된 Cascade 제어기의 성능은 표 4, 표 6의 성능

지수의 비교를 통해서 기존의 방법보다 제안된 방법이 우수함을 증명하였다. 지연시간이 짧고, 긴 모든 공정에 대해서 제안된 방법 중 ITAE값을 최소로 하는 제어기 파라미터 값을 결정하는 방법이 모든 성능지수에서 우수함을 Matlab 시뮬레이션을 통하여 확인할 수 있었다.

#### 감사의 글

본 연구는 2008년도 원광대학교 지원에 의해서 이루어진 연구입니다.

#### 참 고 문 헌

- [1] K.J.Astrom and T.Hagglund, "Automatic tuning of simple regulators with specifications on phase and amplitude margins", Automatica, vol. 20, no. 5, pp. 645-651,1984.
- [2] W.K.Ho, C.C.Hang, W.Wojsznis, and Q.H.Tao, "Frequency domain approach to self-tuning PID control", Contr.Eng. Practice, vol, 4, no.6, pp.807-813, 1996
- [3] W.K.Ho, O.P.Gan, E.B.Tay, and E.L.Ang, "Performance and gain and phase margins of well-known PID tuning formulas", IEEE Trans. Contr. Syst. Technol., vol. 4, pp. 473-477, 1996
- [4] M.Zhuang and D.P.Atherton, "Automatic tuning of optimum PID controllers", Proc. Inst. Elect. Eng., vol. 140, pt. D, no. 3, pp. 216-224, May 1993.
- [5] Q.G.Wang, T.H.Lee, H.W.Fung, Q.Bi and Y. Zhang, "PID tuning for improved performance", IEEE Trans. Contro. Syst. Technol., vol. 7, no.4, pp. 457-465, July 1999.
- [6] K.J.Astrom, "Automatic tuning of PID regulators", Instrument Soc. Amer., 1998
- [7] Sihai Song, Wenjian Cai and Ya-Gang Wang, "Auto-tuning of cascade control systems" ISA Transaction 42 (2003) pp.63-72
- [8] antonio Visioli and Aurelio Piazzi, "An automatic tuning method for cascade control systems" Proceeding of the 2006 IEEE, October 2006 pp.4-6
- [9] Lopez, A.M., P.W. Murrill, and C.L.Smith, "Controller Tuning Relationships Based on Integral Performance Criteria", Instrum.Technol, 14(11), 57, 1967
- [10] 조준호, 황형수, "개선된 모델 축소 방법에 의한 범용적 제어기 설계," 대한전자공학회 논문지, 제 44권 SC 편 5호, pp. 1-10, 2007년 9월.

## 저 자 소 개



### 조 준 호 (趙 俊 浩)

1974년 10월 24일생. 2000년 원광대 제어계측공학과 졸업, 2002년 동 대학원 제어계측공학과 졸업(석사). 2006년 동 대학원 제어계측공학과 졸업(박사) 2007년 원광대학교 전기전자및정보공학부 전임강사, 관심분야 : 지능제어, 로보틱스, 제어이론

Tel : 063) 850-6312

E-mail : cho1024@wonkwang.ac.kr



### 이 원 혁 (李 元 赫)

1974년 1월 2일생. 1997년 원광대학교 제어계측공학과 졸업. 1999년 동 대학원 제어계측공학과 졸업(석사). 2007년 동 대학원 제어계측공학과 졸업(박사) 현재 원광대학교 전기전자및정보공학부 강의전담교수, 관심분야 : 로보틱스 및 지능제어

Tel : 063) 850-6345

E-mail : controll@wonkwang.ac.kr



### 황 형 수 (黃 炯 秀)

1955년 08월 02일생. 1981년 전북대 전기공학과 졸업, 1983년 동 대학원 전기공학과 졸업(석사), 1987년 동 대학원 전기공학과 졸업(박사) 1991-1992년 University of Ottawa, Canada (Post -Doc).1988 ~ 현 원광대학교 전기전자및정보공학부 교수 관심분야 : 퍼지및지능제어, 이산사건 시스템및 제어

Tel : 063) 850-6345

Fax : 063) 850-6345

E-mail : hshwang@wonkwang.ac.kr