

플렉시블 a-Si:H TFT Backplane

기술 동향

홍용택 교수 (서울대 전기공학부)

1. 서론

일반적으로 플렉시블 디스플레이는 휘어지거나 (Bendable) 둥글게 말 수 있는 (Rollable) 디스플레이를 의미하고 있으며, 세계적으로 그 시장 규모가 2008년 ISuppli社에서 발표한 자료에 따르면 2007년 8천만 달러 규모에서 2013년에는 28억 달러에 이르게 되어 약 35배 정도의 가파른 성장을 할 것으로 예측되고 있다. 현재에는 전자종이 (Electronic Paper, E-paper) 기술 기반의 디스플레이가 상용화되어 있으며, 미래 플렉시블 디스플레이 시장을 주도할 기술로 많은 주목을 받고 있다. 이러한 E-paper 기술은 외부의 밝은 빛을 받아서 반사되는 빛을 이용하여 문자나 그림을 표시하기 때문에 흑백의 화면 표시에는 유용하게 이용할 수 있지만, 일반 디스플레이와 같은 풀 컬러 (Full Color)를 표현하기에는 명암비 (Contrast Ratio)가 떨어지고 색상을 완전하게 표현할 수 없는 등 기술적으로 해결해야 하는 문제점들을 가지고 있다. 또한 화면의 영상을 바꾸는데 걸리는 시간인 응답속도가 일반 디스플레이에 비해 느리기 때문에 동영상 구현에도 아직은 기술적인 한계가 있다. 따라서 풀 컬러화면과 동영상을 표시할 수 있는 플렉시블 디스플레이 구현을 위해서 E-paper 기술 영역뿐만 아니라, 현재 평판 디스플레이 시장을 주도하고 있는 능동형 액정 디스플레이 (Active-matrix Liquid Crystal Display, AMLCD)와 소형 디스플레이 응용에 주목을 받고 있는 능동형 유기 발

광 다이오드 디스플레이 (Active-matrix Organic Light-emitting Diode Display, AMOLED) 기술 분야에서도 그 연구가 활발히 진행되고 있다. 이러한 미래형 플렉시블 디스플레이를 구현하는데 있어서 박막 트랜지스터 (Thin-film Transistor, TFT) 기반의 플렉시블 Backplane 기술은 아주 중요한 위치를 차지하고 있다. 플렉시블 TFT Backplane 기술은 현재까지 플라스틱 기판이나 [1,2] 스테인레스 스틸 (SUS) 기판을 [3,4,5] 이용하여 개발되어 왔으며, 다결정 실리콘 (Poly-Si), 비결정 실리콘 (a-Si:H), 유기물 (Organic-based), 그리고 산화물 (Oxide-based)을 이용한 박막 트랜지스터 기술 등이 활용되어 왔다. 또한 플렉시블 TFT Backplane 기술은 아주 가까운 미래에 시장에 선보이게 될 초경량, 초박막, 그리고 깨어지지 않는 평판 디스플레이를 기반으로 하는 상품에도 응용될 것으로 보이므로 그 기술 개발의 중요성은 어느 때보다도 높다고 볼 수 있다. 이에 본고에서는 앞서 언급한 전자종이, AMLCD, 그리고 AMOLED 기술을 이용한 플렉시블 또는 평판 디스플레이 구현에 공통적으로 응용 가능한 플렉시블 a-Si:H TFT Backplane 기술에 대해서 그 동향과 기술적인 이슈들에 대해서 살펴보고자 한다.

2. 플렉시블 a-Si:H TFT Backplane 기술 개발 동향

그림 1은 최근까지의 기술 개발 현황 및 시제품을

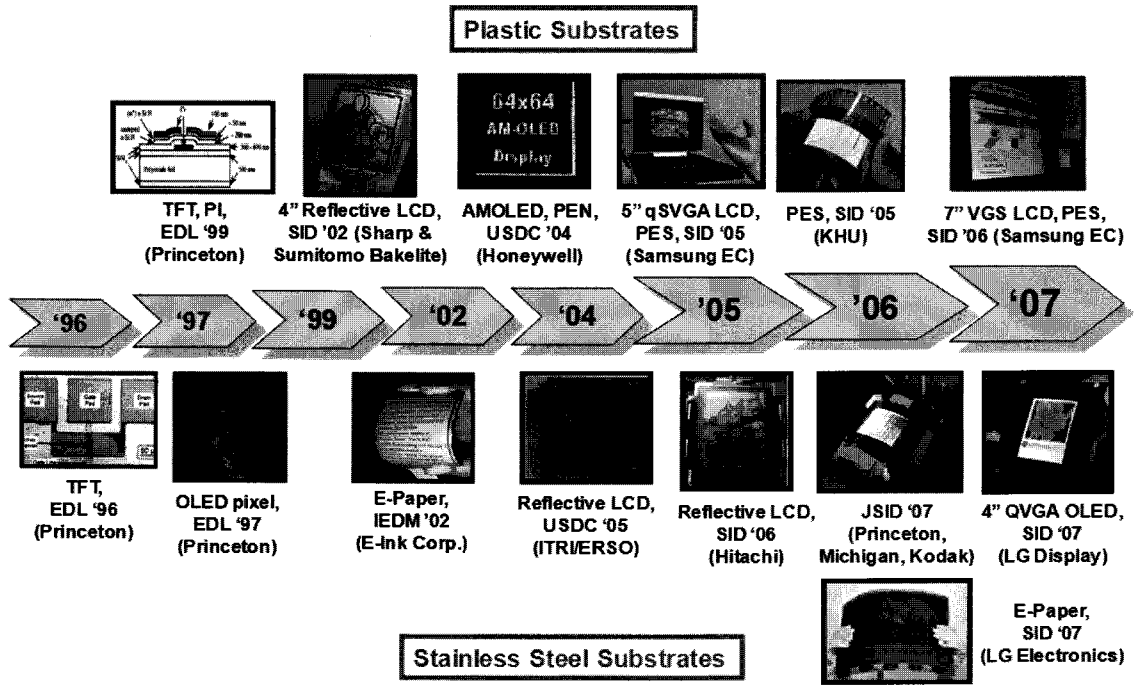


그림 1. 플렉시블 a-Si:H TFT Backplane 기술 동향.

선보인 몇몇 주요 플렉시블 a-Si:H TFT Backplane 기술에 대해서 요약하여 나타내고 있다 [6]. 프린스턴 대학의 Sigurd 교수 연구팀은 1996년 처음으로 SUS 기판 상에 a-Si:H TFT 소자를 제작하였고, 그 이듬해인 1997년에 유기 발광 다이오드 (Organic Light-emitting Diode, OLED)와 집적하여 a-Si:H TFT의 AMOLED에의 응용 가능성을 보여 주었다. 그리고 1999년에는 폴리이미드 (Polyimide, PI) 기판 상에 낮은 온도에서 제작된 a-Si:H TFT의 성능을 보고하여 그 이후 플라스틱 기판 상 플렉시블 a-Si:H TFT Backplane 구현 연구에 많은 영향을 주었다. Sharp는 Sumitomo Bakelite와 함께 2002년 플라스틱 기판 상에 반사형 LCD 기술을 이용한 디스플레이를 선보였고, Honeywell은 2004년에 PEN 기판 상에 AMOLED를 구현하였다. 삼성전자는 PES 기판을 이용하여 2005년에는 5인치, 그리고 2007년에는 7인치 크기의 투과형 AMLCD 디스플레이를 구현하였다. SUS 기판에 대해서는 E-Ink社가 프린스턴대

학의 a-Si:H TFT Backplane 기술을 이용하여 2002년에 E-Paper를 구현하여 SUS 기판 위에 구현된 최초의 디스플레이 시제품을 개발하였다. 그 후에는 SUS 기판은 Poly-Si TFT 기술 연구에 응용되어 오다가, 2005년과 2006년 대만의 ITRI와 일본 Hitachi에 의해서 반사형 LCD 디스플레이가 구현되면서 다시 a-Si:H TFT 기술 연구에 응용되기 시작했다. 그 이듬해인 2007년에는 코닥과 프린스턴 연구팀이 SUS 기판을 이용한 AMOLED를 구현하는데 성공했고, LG Display는 고해상도 AMOLED를 SUS 기판 상에 구현하는 기술을 개발했으며, LG전자는 대면적, 풀 컬러 E-Paper를 구현하는데 성공하였다. 이렇듯 플렉시블 a-Si:H TFT Backplane 기술은 플라스틱 및 SUS 기판 상 플렉시블 디스플레이 구현을 위해 많은 관심을 받아 왔다. 플라스틱 기판에 대해서는 낮은 온도에서 공정을 하면서도 좋은 성능을 가지는 a-Si:H TFT를 구현하려는 연구, 그리고 SUS 기판 상에서는 기존의 높은 온도에서 공정 가능한 a-Si:H TFT 제

작에 관한 연구를 진행해 오고 있다. 이에 다음 장에서는 플라스틱 기판과 SUS 기판의 특징 및 기술적인 이슈들 그리고 이에 따른 저온 및 고온 공정 a-Si:H TFT 동작 안정성에 대해서 살펴보고자 한다.

3. 플렉시블 기판의 기술적 이슈

표 1은 플렉시블 Backplane 구현을 위해 사용되어 온 플라스틱 기판 및 SUS 기판의 특징을 요약하고 있다. 일반적으로 플라스틱 기판 상에서 a-Si:H TFT를 제작할 때는 최고 온도 200 °C 이하에서 모든 공정을 수행하고 있으며, 특히 PET 및 PEN 기판의 경우에는 150 °C 이하의 온도에서 소자를 제작하고 있다. 표 1에 나타나 있는 HT, MT, 그리고 LT는 각각 High Temperature, Medium Temperature 그리고 Low Temperature를 뜻하며, a-Si:H TFT의 공정 온도에 따라서 분류를 하였다. HT, MT, LT의 온도 영역은 각각, 250-350 °C, 150-200 °C, 그리고 120-150 °C이다. 이렇듯 플라스틱 기판에 대해서는 보통 저온에서 TFT 공정을 수행하지만, 플라스틱 기판 특유의 높은 열팽창 계수, 그리고 화학 공정 시의 수분 흡수 등에 의한 기판의 팽창 및 수축은 a-Si:H TFT Backplane을 제작하는데 있어서, 서로 다른 두 층 간의 Alignment가 나빠지게 되어 고성능의 Backplane

을 제작하는데 어려움이 있을 수 있다. 이를 해결하기 위해서 기판을 고온에서 미리 열처리를 하여 TFT 공정 중의 반복적인 고, 저온 공정으로 인한 팽창 및 수축 정도를 줄이거나, 절연층을 증착하여 기판 자체의 수분의 흡수 및 화학약품에 의한 영향을 줄이거나, 또는 기존의 게이트와 소오스/드레인 간의 오버랩 부분을 최소화 하는 a-Si:H TFT 소자 구조가 아닌 Alignment를 쉽게 할 수 있는 새로운 소자 구조를 이용하는 등의 연구를 하고 있다. 다음 장에서 자세하게 언급하겠지만, 낮은 온도에서 제작하는 박막은 특히 절연막의 경우, 그 절연 정도가 높은 온도에서 제작한 절연막에 비해서 일반적으로 좋지 못하여 TFT의 성능을 높이는데 많은 노력이 필요하다. 따라서 가능하면 기존의 이미 최적화된 고온 공정을 통해서 양질의 박막을 제조하여 고성능의 TFT를 쉽게 구현하기 위해서 고온에서 공정 가능한 새로운 플라스틱 기판을 이용하거나 SUS 기판과 같은 금속 기판을 이용하여 고온에서 고성능의 TFT를 제작하려는 연구를 하고 있다. 하지만, 플라스틱 기판에 비해서 금속 기판의 경우에는 Electronic Grade의 품질을 보이는 기판을 제공하는 곳이 없기 때문에 다른 용도로 제작되는 금속 기판을 이용하여 박막 소자나 회로를 제작해야 하는 어려움이 있다. 특히 금속 기판의 표면 거칠기는 1 μm (Peak-to-valley) 이상의 값을 보이기도 하기 때문에, 추가적인 표면 처리공정이나

표 1. 플라스틱 기판과 SUS 기판의 특성 비교.

Substrate	Max. Process Temperature	CTE (ppm)	Transparency	Chemical Resistance	Moisture Uptake	Surface
Stainless Steel	900 °C	~18	Opaque	OK	~0%	Poor (Vendor Dependent)
Kapton (Polyimide)	200 °C	~15-35	Semi-transparent (Orange)	Good	~2-4%	Poor
PEEK	200 °C	26-60	Semi-transparent (Orange)	Good	0.5%	OK
PES	200 °C	55	Transparent	Good	0.5%	OK
PEN	150 °C	~20	Transparent	Good	~0.8%	Good
PET	120 °C	~20	Transparent	Good	~0.8%	Good
GE Lexan (PC)	200 °C	~25	Transparent	Good	N/A	Good
Dupont Clear Plastic [9]	300 °C	< 10	Transparent	N/A	N/A	N/A

평탄화를 시키는 공정이 반드시 필요하다. 실제 화학, 기계적인 표면 연마 기술 (Chemical Mechanical Polishing, CMP)을 사용하기도 하지만, 실용화하기에는 그 기술에 한계가 있기 때문에, 기판 제조 공정 비용을 고려할 때, 용액 공정 가능하고, 고온에서 사용될 수 있는 Benzocyclobutene (BCB), Spin-on-glass (SOG), 또는 Polyimide (PI)를 이용한 단일 평탄막 공정 기술 개발이 중요하다. 그림 2에서는 SUS, Kovar 그리고 Invar같은 금속 기판 상에서 BCB의 단일 평탄막을 입혔을 때 그 표면 거칠기가 변하는 정도를 Atomic Force Microscope (AFM)으로 측정 한 결과이다 [7]. 200-400 nm (Peak-to-valley)와 20-40 nm (Root Mean Square, RMS) 정도하던 표면 거칠기가 평탄막을 입힌 후에는 각각 10-20 nm와 1-2 nm 정도로 줄어들어 평탄화된 금속 기판이 박막 소자 및 Backplane 제작에 사용될 수 있음을 보여 주고 있다. 앞서 언급한 단일 평탄막 물질들은 모두 낮은 Dielectric Constant (2~4)를 가지며, 두꺼운 층 (1~3 μ m) 형성이 가능하다는 공통점을 보이는데, 이는 전도성 금속 기판과 절연 평탄층을 통한 Capacitive Coupling을 줄이는데 중요한 요구 조건이다. Backplane의 응용에 있어서 이러한 추가적인 기생 Capacitive Coupling이 존재하면 Control Signal 전달에 있어서 원치 않는 추가적인 Delay를 야기시켜 설계된 회로들이 제 동작을 하지 못하는 경우가 발생할 수 있게 된다 [8]. 이상에서 간단하게 살펴 본 기

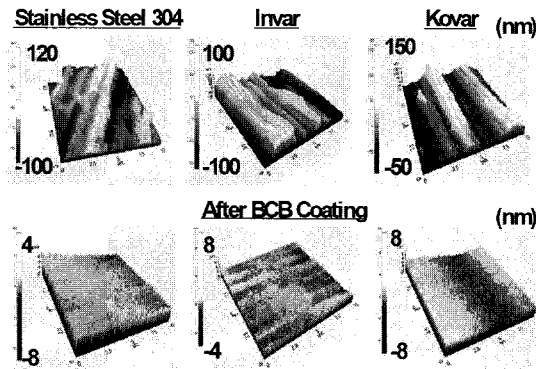


그림 2. BCB 단일 평탄막을 입힌 전, 후의 금속 기판의 표면 거칠기 변화 (AFM 결과).

판의 특징을 고려할 때 고성능 a-Si:H TFT 제작을 위해서는 고온 공정에 적합한 플라스틱 기판을 이용하거나 Capacitive Coupling을 최소화하는 평탄 절연막을 입힌 금속 기판을 이용하는 기술이 선호된다고 볼 수 있다. 특히 다음 장에서 설명될 공정 온도에 따른 a-Si:H TFT의 동작 안정성을 고려하면 고온 공정 가능한 기판의 중요성은 더욱 커짐을 알 수 있다

4. 공정 온도에 따른 a-Si:H TFT의 동작 안정성

저온 공정을 통하여 고성능의 a-Si:H TFT를 제작하기 위해서 절연 특성이 우수한 게이트 절연막 형성을 위한 공정 조건의 최적화 [10] 또는 저온 공정 가능한 고절연성 유기 절연막 형성 [11] 등의 기술이 사용되어 왔다. 일반적인 저온 공정 게이트 절연막은 누설 전류 특성이 좋지 못한 단점이 있으나, 새로운 공정 개발을 통해서 기존 고온 공정 a-Si:H TFT의 성능 (1 cm^2/Vs 에 가까운 Field Effect Mobility, 1 V 이하의 Threshold Voltage, 0.5 V/dec 이하의 Subthreshold Slope, 10^6 이상의 on/off Current Ratio 등)에 견줄만한 성능을 확보한 결과는 많이 보고되어 왔다. 하지만, 그림 3에서 보이는 프린스턴 연구팀의 연구 결과에서 보듯이 고성능의 a-Si:H TFT도 같은 동작 조건 하에서 그 동작 안정성이 다르게 나타나는 것을 알 수 있다 [9]. 저온에서 제작된

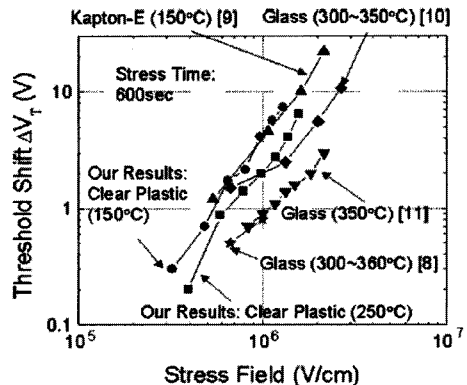


그림 3. 공정 온도에 따른 a-Si:H TFT의 동작 안정성 [9].

a-Si:H TFT는 고온 공정 소자에 비해서 Threshold Voltage의 변화가 크게 나타남을 알 수 있다. 동작 시간에 따른 a-Si:H TFT의 Threshold Voltage 변화는 주로 게이트에 걸리는 전압에 의한 스트레스로 인해 나타나게 되는데, 이 현상은 일반적으로 두 경우의 메커니즘으로 나뉘어 설명된다. 비교적 낮은 게이트 전압 동작에서는 비정질 실리콘과 게이트 절연막 사이의 Dangling Bond 형성으로 인한 Defect Creation 현상을, 높은 게이트 전압 동작에서는 게이트 절연막 내부로의 Charge Carrier의 트랩 현상을, 이용하여 설명된다. 저온 공정 a-Si:H TFT의 경우에는 앞서 설명했듯이 게이트 절연막의 성질이 좋지 못할 수 있으며, 저온에서 형성된 비정질 실리콘과 게이트 절연막의 경계면의 성질이 좋지 못하여, 소자의 초기 성능 면에서는 고온 공정 소자에 비견할 만한 결과를 얻을 수 있으나, 시간이 지남에 따른 소자 열화 특성에는 좋지 않은 영향을 주는 것으로 볼 수 있다. 따라서 플렉시블 a-Si:H TFT Backplane 구현을 위해서는 고온 공정을 이용하는 것이 소자 성능 면이나 동작 안정성 면에서 좋으며 이를 위해서는 고온 공정에 적합한 플렉시블 기판의 개발이 중요하다라는 것을 알 수 있다.

5. 저비용 프린팅 기반 패터닝 기술의 a-Si:H TFT Backplane에의 응용

고온 공정 가능한 기판 기술 연구에 더해 플렉시블 Backplane 공정에 응용 가능하며, 기존의 Photolithography를 이용한 패터닝 기술의 공정 가격을 낮추기 위한 프린팅 기반의 패터닝 기술에 대한 연구도 활발히 진행되고 있다. 프린팅 기술을 이용한 a-Si:H TFT Backplane 제조 기술은 크게 두 가지로 나누어 생각해 볼 수 있다. PARC에서 보고한 이른 바 Digital Lithography 기술 [12]과 HP에서 보고한 Self-aligned Imprint Lithography (SAIL) 기술을 [13] 들 수 있다. 후자의 기술은 a-Si:H TFT 각 층의 구조가 기 패터닝 Photoresist를 Imprint하는 방식을 사용하는 것으로 한 번의 패터닝 공정을 이용하여 자기 정렬된 소자를 만들 수 있다는 장점이 있

다. 이 기술은 앞서 언급했던 플라스틱 기판 공정이 나 또는 미래의 Roll-to-roll 공정 적용 시에 발생할 수 있는 각 층 간의 Misalignment의 문제를 해결할 수 있다는 점에서 그 의의를 가진다. 하지만, 입체 구조를 가지는 Photoresist의 균일한 Imprint 효율 및 각 층의 패터닝을 위한 단계별 Photoresist의 제거 공정의 균일도, 하층 금속층의 전기적 절연을 위한 Over-etching 공정의 조절 등 여러 가지 공정상의 정확한 컨트롤이 필요하다. Digital Lithography 기술은 기존의 Photolithography 공정에서 Photoresist 코팅, 자외선 조사, Photoresist 패터의 현상 과정을 잉크젯 프린팅 방식의 패터닝으로 대체한 기술로 공정비용 절감이라는 큰 의미를 지니지만, 미세 패턴 형성 시에 보이는 패턴 가장자리의 굴곡 현상 [14], 그리고 각 층 간의 Alignment 조절 등의 기술적인 이슈들을 가지고 있다. 특히 패턴 가장자리의 굴곡 현상이 TFT의 소오스와 드레인 전극에 나타나는 경우에는 굴곡에 대한 모델링, 그리고 굴곡의 정도에 따른 소자의 특성 변화 및 동작 안정성에 미치는 영향 등에 대한 분석이 [15] 프린팅 기반의 Backplane을 설계하는데 있어서 Backplane의 성능을 예측하고 회로 내에서의 TFT의 역할에 따른 프린팅 방향의 선택 등을 결정짓는데 중요한 역할을 할 수 있다. 그림 4는 잉크젯 프린팅으로 패터닝된 미세 패턴에 있어서 가장자리 굴곡을 일련의 곡선과 곡선이 만나는 꼭짓점으로 모델링한 예와 가장자리 굴곡이 있는 소오스/드레인 전극을 가지는 a-Si:H TFT의 단면도를 나타내고 있다. 실제 잉크젯 프린팅 기술을 이용하여 미세 패턴 전극을 형성할 경우에 패턴은 각 잉크 방울이 기판 상에 떨어질 때 형성되는 원형 모양의 패턴이 서로 겹치면서 형성되며 그 가장자리에서 생겨나는 굴곡 패턴은 잉크 방울의 크기, 기판의 표면 상태 및 프린팅 조건, 그리고 방울 간의 오버랩 정도 등에 의해서 결정된다. 소오스와 드레인 전극에 대해서, 가장자리 굴곡은 그림에서 보듯이 굴곡 패턴의 Peak-to-peak 크기 (Peak-to-peak Magnitude), 굴곡 패턴의 주기 (Period), 그리고 소오스와 드레인 전극 굴곡 패턴 간의 Phase Shift 등의 파라미터를 생각해 볼 수 있다. 여러 파라미터 값들에 대해서 a-Si:H TFT의 전류 흐름을 실바코社의 3차원 소자 모의실

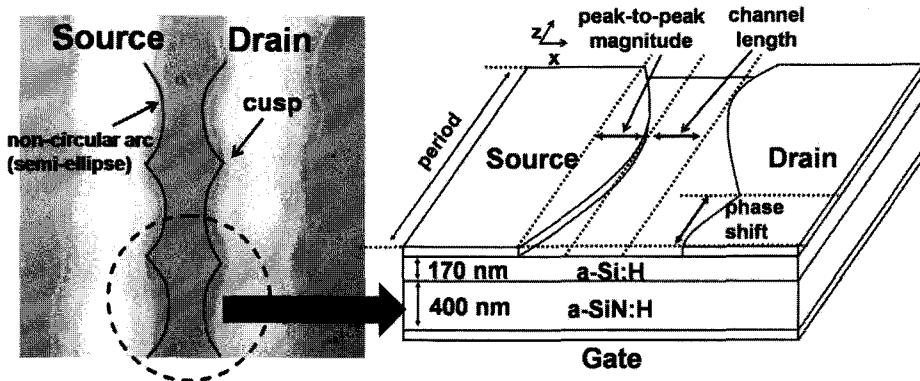
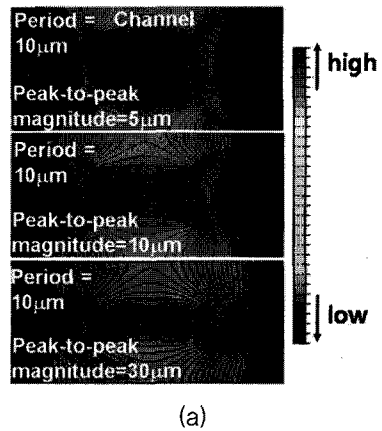
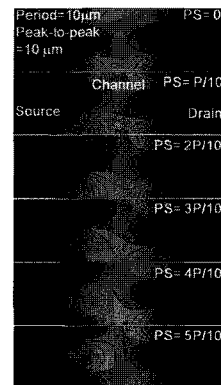


그림 4. 프린팅 미세 패턴의 가장자리 굴곡에 대한 모델링 및 a-Si:H TFT의 단면도 [15].

협 소프트웨어인 ATLAS를 이용하여 분석을 해 보면, 그림 5와 같이 TFT Channel내의 전류 밀도 분포를 나타낼 수 있다. 그림 5(a)에서 볼 수 있듯이 Peak-to-peak의 크기가 커짐에 따라서 주어진 TFT의 Channel Length에 대해서 전류의 흐름이 꼭짓점 사이에 더 집중되는 현상이 나타나며 이러한 전류의 집중 현상은 TFT의 유효 Channel Length 및 소오스와 드레인에서의 접촉 저항과 비정질 실리콘의 직렬 기생 저항으로 구성되는 TFT의 기생 저항에 영향을 주게 되어 TFT의 전류 흐름을 변화시킨다. Peak-to-peak Magnitude에 비해서 Period나 Phase Shift (PS)에 의한 TFT 전류 흐름의 변화는 그 정도가 작으며, 그림 5(b)에서는 PS에 대한 TFT Channel 내부의 전류 밀도 분포를 보여 주고 있다. PS가 변함에 따라서 전류가 집중되어 흐르는 실제 방향은 변하지만, 전체적인 전류 흐름의 양에는 크게 영향을 주지 않음을 그림의 전류 밀도 분포를 통해서 알 수 있다. 따라서 소오드와 드레인 전극에 프린팅 공정에서 기인하는 가장자리 굴곡 패턴이 있는 경우에는 Backplane의 설계에 있어서 실제 설계된 TFT의 Channel Length와 굴곡의 Peak-to-peak 크기 파라미터로 인해 변하는 유효 Channel Length간의 관계를 분석하는 것이 필요하다. Channel Length 5 μm 와 10 μm 를 가지는 TFT에 대해서 굴곡으로 인한 전류 변화량을 10% 이내로 통제하기 위해서는 굴곡 패턴의 Peak-



(a)



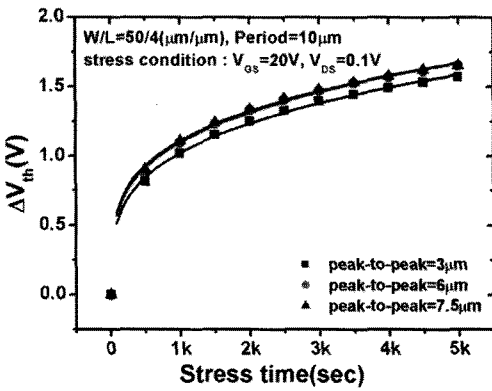
(b)

그림 5. TFT Channel 내부의 전류 밀도 분포 [16].

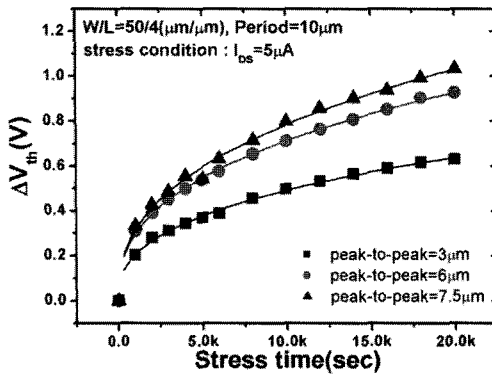


to-peak Magnitude를 각각 2 μm 와 5 μm 내로 조절할 수 있도록 프린팅 공정을 최적화하거나, 만일 주어진 프린팅 공정의 기술적 한계로 인해서 어느 정도의 가장자리 굴곡 패턴이 항상 존재할 경우에는 TFT Channel Length 설계 파라미터를 변화시켜 Channel Length에 대한 상대적인 굴곡 패턴의 Peak-to-peak 크기를 조절하는 설계 기술 개발이 필요하다. 이러한 TFT의 전류 흐름의 변화에 더해서, 가장자리 굴곡 패턴은 a-Si:H TFT의 동작 안정성에도 영향을 준다 [16]. 그림 6은 소오스와 드레인 전극에 가장자리 굴곡 패턴이 있는 경우에 선형 영역 및

포화 영역에서 TFT를 오랫동안 동작시킨 후 열화되는 정도를 Threshold Voltage의 변화로 표시하고 있다. 문헌에 보고된 바와 같이 [17] Threshold Voltage 변화의 절대값은 a-Si:H TFT를 선형 영역에서 동작시킬 때보다 포화 영역에서 동작시킬 때 그 변화량이 작음을 확인할 수 있다. 두 그래프에 대해서 Threshold Voltage의 상대적인 변화도를 비교해 보면, 다른 크기의 Peak-to-peak Magnitude를 가지는 TFT에 대해서, TFT를 선형 영역에서 동작시킬 경우에는 Peak-to-peak Magnitude의 크기에 상관없이 TFT의 Threshold Voltage 변화량이 거의 비슷함을 알 수 있다. 반면에 포화 영역에서 동작시킬 경우에는 Peak-to-peak Magnitude의 크기에 따라서 Threshold Voltage의 변화량이 커짐을 알 수 있다. 따라서 E-Paper나 AMLCD에서와 같이 스위치 용도로 사용되는 a-Si:H TFT의 경우는 TFT가 주로 선형 영역에서 동작을 하기 때문에 어느 정도 가장자리 굴곡이 있는 것을 허용해도 되지만, AMOLED의 전류 드라이버로 a-Si:H TFT가 사용될 때에는 가장자리 굴곡 패턴을 최소화할 수 있도록 Backplane 설계 및 패턴 형성에 주의를 기울여야 한다. 특히, 프린팅 공정의 경우에는 Slow Scan과 Fast Scan 방향이 일반적으로 정해져 있는데, 각 방향에서 생성되는 가장자리 굴곡의 패턴에 따라서 스위치 소자 및 드라이버 소자의 Channel의 방향을 정하도록 Backplane을 설계하는 기술이 필요하다고 할 수 있다.



(a)



(b)

그림 6. (a) 선형 영역 및 (b) 포화 영역에서 동작 시킬 때의 각기 다른 Peak-to-peak Magnitude의 가장자리 굴곡 패턴을 가지는 TFT의 Threshold Voltage 변화 특성 [16].

6. 결론

이제까지 E-paper, AMLCD 및 AMOLED에 공통적으로 사용되고 있는 a-Si:H TFT 기술의 플렉시블 디스플레이 구현을 위한 최근 기술동향과 기술적인 문제점들에 대해서 간략하게 살펴보았다. a-Si:H TFT의 성능 향상 측면에서나 동작 안정성 측면에서 볼 때 기존 글래스 기판 상에서 이미 최적화 되어 있는 고온 공정기술이 적용되는 것이 좋으며, 플렉시블 Backplane 구현을 위해서는 300 $^{\circ}\text{C}$ 정도의 고온 공정에 적합한 새로운 플라스틱 기판을 활용하거나 고온 공정이 가능한 평탄화층을 가진 금속기판을 사

용하는 것이 고성능, 고안정성 플렉시블 a-Si:H TFT Backplane 제작에 중요한 역할을 하리라고 기대된다. 또한 최근 많은 관심을 받고 있는 프린팅 기반 패터닝 기술은 공정비용 및 공정온도 그리고 플렉시블 기판을 잘 활용할 수 있는 Roll-to-roll 공정에 필요한 주요한 기술로 플렉시블 a-Si:H TFT Backplane 구현에 많이 활용될 것으로 보이지만, 서로 다른 층간의 Alignment 문제나 패턴 가장자리의 굴곡으로 인한 소자의 전기적 특성 및 안정성 변화 등에 대한 분석을 바탕으로 최적화된 공정 기술 및 플렉시블 Backplane 설계 기술을 개발하는 연구가 병행되어야 한다. 앞서 언급했듯이 플렉시블 기판 공정 기술이나 프린팅 기술들은 궁극적으로는 플렉시블 Backplane을 구현하는 주요한 기술들이지만, 초박막, 초경량, 깨어지지 않는 디스플레이 구현에 바로 응용될 수 있는 기술이므로, 현재 많은 연구가 진행되고 있으며, 이러한 기술을 바탕으로 새로운 제품이 가까운 미래에 선보이게 되기를 기대해 본다.

참고 문헌

[1] A. Sugimoto, H. Ochi, S. Fujimura, A. Yoshida, T. Miyadera, and M. Tsuchida, *IEEE J. Sel. Top. Quant. Elec.* 10, 107 (2004)

[2] I. Yagi et al, *SID Tech. Dig.* 38, 1753, (2007)

[3] A.Z. Kattamis, N. Giebink, I.-C. Cheng, S. Wagner, S.R. Forrest, Y. Hong, and V. Cannella, *J. SID* 15, 433 (2007)

[4] D.-U. Jin, J.-K. Jeong, T.-W. Kim, J.-S. Lee, T.-K. An, Y.-G. Mo, and H.-K. Chung, *J. SID* 14, 1083 (2006)

[5] H.N. Lee, J.W. Kyung, S.K. Kang, D.Y. Kim, M.C. Sugn, S.J. Kim, C.N. Kim, H.G. Kim, and S.T. Kim, *Proc. IDW*, 663 (2006)

[6] Y. Hong et al, *AM-FPD Tech. Dig.*, 65 (2007)

[7] 정승준 외, 한국반도체 학술회의 논문집, 841 (2008)

[8] Y. Hong et al, *SID Tech. Dig.* 37, 1862 (2006).

[9] K. Long et al, *IEEE Elec. Dev. Lett.* 27, 111 (2006)

[10] D. Striakhelev et al, *J. Vac. Sci. Technol. A. Vac. Surf. Films* 20, 1087 (2002)

[11] S.H. Won et al, *IEEE Elec. Dev. Lett.* 25, 132 (2004)

[12] W.S. Wong et al, *IEEE Elec. Dev. Lett.* 24, 577 (2003)

[13] C. Taussig et al, *USDC Flexible Display & Microelectronics* 발표 자료 11.2, 2005

[14] W.S. Wong et al, *J. Non. Cryst. Sol.* 352, 1981 (2006)

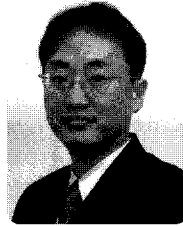
[15] J. Jeong et al, *Elec. Lett.* 44, 616 (2008)

[16] K.S. Karim et al, *IEEE Elec. Dev. Lett.* 25, 188 (2004)

[16] J. Jeong et al, *J. Korean Phys. Soc.*, under revision (2008)

[17] K.S. Karim et al, *IEEE Elec. Dev. Lett.* 25, 188 (2004)

저자약력



성명 : 홍용택

◆ 학력

- 1994년 서울대 전자공학과 공학사
- 1996년 서울대 대학원 전자공학과 공학석사
- 2003년 Univ. of Michigan Ann Arbor 전기공학과 공학박사

◆ 경력

- 2003년 - 2006년 Eastman Kodak Company Senior Research Scientist
- 2006년 - 현재 서울대 전기공학부 교수

