

고성능 플렉시블 일렉트로닉스 구현을 위한 무기 반도체 재료

안종현 교수 (성균관대 신소재공학부)

1. 서론

매크로 일렉트로닉스 (Macroelectronics)로도 불리는 대면적 플렉시블 일렉트로닉 시스템은 전자종이, 두루마리형 디스플레이, Conformal X-ray 이미저 등 다양한 응용분야로의 적용 가능성 때문에 지난 10년간 많은 관심을 받아왔다 [1-4]. 이러한 플렉시블 시스템은 기존의 웨이퍼 기반의 단단하고 부서지기 쉬운 무기 단결정 반도체 소재로 구현될 수 없기 때문에 새로운 소재들을 필요로 한다. 대표적으로 유기물 반도체 소재는 우수한 유연성 이외에 플라스틱 기판과의 접합성, 상온 공정 등의 장점으로 인해 현재 전자종이의 구동소자로 널리 사용되고 있다 [3,5]. 그러나 유기 반도체의 낮은 이동도 (Mobility)와 취약한 내구성은 고성능 플렉시블 응용분야로의 적용을 어렵게 하고 있다. 이외에도 평면 디스플레이의 구동소자에 널리 사용되고 있는 비정질 실리콘 (a-Si)을 상대적으로 낮은 온도에서 플렉시블 플라스틱 기판 상에 진공증착하여 대면적 박막 필름으로 형성시키는 방법 등이 있다. 그러나 비정질 실리콘 또한 유기 반도체와 같이 낮은 결정도로 인해 트랜지스터와 전자회로의 성능을 제한하는 낮은 이동도 값을 갖는다. 최근 이러한 단점을 개선하고자 디스플레이 업체를 중심으로 비정질 실리콘을 ELA (Excimer Laser Annealing)를 이용, 재결정화시켜 캐리어 이동도를 증가시킨 다결정 실리콘 (Poly-Si) 기술이 연구 개발되고 있다 [6]. 이 기술은

높은 이동도를 달성하는 데는 어느 정도 성공적이었으나, 레이저 조사의 정밀한 조절, 플라스틱 기판의 열화현상을 막기 위한 두꺼운 열차단막의 사용, 넓은 면적에 대한 불균일한 결정화 등은 대면적 플렉시블 시스템 구현에 걸림돌로 작용하고 있다. 이러한 이유 때문에, 지난 반세기 동안 반도체 산업의 중심 소재로서 성능, 안정성, 비용 측면에서 장점을 갖고 있는 단결정 반도체를 플렉시블 일렉트로닉스에 적용하기 위한 연구가 최근 시작되었다. 전형적인 단결정 소재들은 부서지기 쉽지만, 와이어, 리본, 판의 형태로 지름 또는 두께를 마이크로/나노 크기로 감소시키면 기계적인 유연성을 확보할 수 있게 되어 플라스틱 기판에 인쇄 가능한 형태의 박막 소재로 제작될 수 있다. 제작 방법은 화학기상성장법 (Chemical Vapor Deposition)에 의한 원자, 분자들의 자발적 성장을 이용하는 Bottom-up 방식과 포토 리소그래피와 에칭 과정을 거쳐 웨이퍼로부터 마이크로/나노 크기의 반도체 구조체를 추출하는 Top-down 방식으로 나눌 수 있다 [7-11]. 특히 후자의 방법은 발전된 웨이퍼 기술을 이용할 수 있고 Ohmic Contact와 같은 고온공정을 플라스틱 기판과 분리하여 초기 웨이퍼 위에 직접 실시할 수 있다는 장점이 있다. 웨이퍼 기판에 형성된 반도체 구조체들은 상온에서 건식전이인쇄법 (Dry Transfer Printing)을 이용하여 완벽한 Registration을 가지고 플라스틱 기판으로 전이될 수 있다. 이 기술은 최근 플라스틱 기판 위에 고성능 박막트랜지스터와 전자회로 등을 구현하는데 성공하였으며, 현재 대면적화를 위한 기술

개발이 진행 중에 있다.

이 논문은 고성능 플렉시블 일렉트로닉스 구현을 위해 최근 이슈가 되고 있는 단결정 반도체 박막의 제작 공정과 이를 플라스틱, 고무 등의 다양한 플렉시블 기판 위에 전이할 수 있는 건식전이인쇄법에 대해 살펴보고자 한다.

2. 플렉시블 일렉트로닉스를 위한 무기 반도체 재료

선, 리본, 판, 막대 형태를 갖는 마이크로/나노 크기의 무기 반도체 박막은 고성능 대면적 플렉시블 일렉트로닉스를 위한 능동소재로서 최근 큰 관심을 받고 있다. 일반적으로 웨이퍼 기반의 단결정 반도체 소재들은 유연성이 부족하여 부서지기 쉽기 때문에 플렉시블 전자소자의 채널소재로 사용될 수 없다. 하지만 단결정 반도체 소재도 수백 나노미터 두께로 얇아지면 유기물과 유사한 정도의 기계적 연성을 소유할 수 있다. 그림 1은 두께 t 의 단결정 반도체 박막이 곡률반지름, r 로 구부러졌을 때의 역학 관계를 나타낸다. 박막의 위, 아래 면은 각각 인장, 압축 스트레인 (ε)을 받게 되는데 그 값은 식 (1)으로 표현된다.

$$\varepsilon = \frac{t}{2r} \times 100\% \quad (1)$$

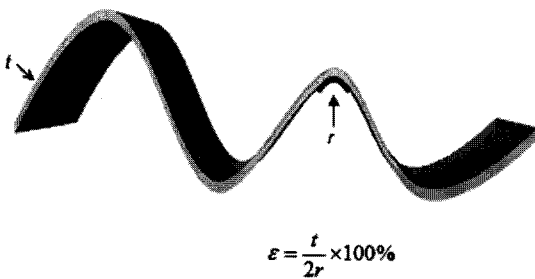


그림 1. 구부릴 수 있는 단결정 반도체 박막.

대부분의 무기 반도체들은 0.5~1.0 % 범위의 파괴 스트레인을 갖고 있다. 예를 들어 0.7 %의 파괴 스트레인을 갖는 단결정 Si의 경우, 두께 300 nm의 박막의 경우 21 μ m의 곡률반지름 실현이 가능하다. 다음 장에서는 이러한 단결정 반도체 박막을 제조하기 위한 Bottom-up 방식과 Top-down 방식에 대해 살펴 보겠다.

2.1 나노와이어 합성을 위한 Bottom-up 공정

단결정 반도체 마이크로/나노 구조체들은 최근 소개된 여러 화학적 합성 방법을 이용하여 제조될 수 있다. 가장 잘 알려진 것은 기상-액상-고상 (Vapor-liquid-solid : VLS) 방법으로 금속 나노입자와 반도체 전구체 (Precursor) 증기 사이의 반응 조건을 조절하여 나노와이어를 제조하는 방법이다 [12]. 기판 위에 일정크기분포를 갖는 금속 나노입자를 위치시키고 반도체 증기를 흘리면 시스템의 공정온도 (Eutectic Temperature) 이상에서 금속 나노입자 표면 위로 반도체 성장원자가 응집되어 액상의 합금을 형성하게 되고, 반도체 원자의 농도가 과포화 될 때 반도체 고체상이 석출되어 나노와이어가 성장하게 된다. 최근에는 유기금속기상성장법, 화학비에피택시법 (CBE), 분자비에피택시법 (MBE) 등의 반도체 에피택시성장법을 이용하여 원료를 유기금속가스로 공급하는 기술들이 개발 사용되고 있다. 기상-액상-고상법은 간단하면서도 촉매 금속입자 크기 조절과 성장 제어가 쉬워 직경 3~20 nm, 길이 수 μ m 정도의 나노와이어를 원하는 크기와 길이로 비교적 쉽게 제작할 수 있다는 장점이 있다. 재료도 Si, Ge의 IV족과 GaAs, GaP, InP, InAs, GaN 등의 III-V족, ZnS, ZnSe, CdS, CdSe 및 ZnO 등의 산화물을 포함한 II-VI족 등 다양하다. 또한 기상-액상-고상법은 복잡한 이중구조의 반도체 나노와이어를 제작하는데도 사용될 수 있다. 이러한 구조는 전구체 증기를 촉매표면 (즉, Axial Growth) 또는 나노와이어 표면 (즉, Radial Growth) 위에 선택적으로 증착하도록 성장 조건을 제어함으로써 가능하다 [13]. 예를 들어, Ge/Si Coreshell 구조의 나노와이어는 일정크기로 성장된 Ge 나노와이어 위에 Si 원자를 성장시킴으로써 제작될 수 있다. 같은 방법으로 다층 나노와이어



형성이 가능하다. 이러한 이중 구조의 반도체 나노 와이어들은 고성능 전자, 광학 소자를 제작하기 위한 능동 소재로 사용될 수 있다. 나노와이어가 기존의 박막 필름 기반의 전자소자에 응용될 수 있기 위해서는 기판 위에 수평으로 정렬된 나노와이어 어레이를 형성할 수 있어야 하지만, 현재 개발에 많은 어려움을 겪고 있다. 다음 장에서는 나노와이어가 안고 있는 이러한 문제점들을 개선하기 위해 Top-down 방식을 이용하여 제작되는 마이크로구조 반도체에 대해 살펴해보겠다.

2.2 마이크로구조 반도체 제조를 위한 "Top-Down" 법

Bottom-up 방법을 통해 제조된 반도체 나노와이어들은 독특한 이중구조 형성과 수 나노미터 지름 크기를 갖는 나노구조체를 대량으로 제조할 수 있는 장점을 가지고 있다. 그러나 이들 나노와이어의 최대 가능 길이는 100 μm 정도에 불과하고 전자소자 제작에 필요한 표면 특성, 순도, 도핑의 균일성과 농도 등을 제어하는 기술은 아직 웨이퍼 기반의 전자소자 제작기술에 비하여 많이 뒤쳐져 있다. 만약 플렉시블 일렉트로닉스에 지난 반세기 동안 발전되어온 웨이퍼 기반 기술을 적용할 수 있다면 여러 가지 기술적 장벽을 뛰어넘을 수 있는 큰 장점을 갖게 된다. 최근 미국 UIUC의 Rogers 그룹과 Caltech의 Heath 그룹에서는 간단한 리소그래피와 화학적 에칭법 등을 이용한 Top-down 방식을 통해 고품질의 반도체 웨이퍼로부터 와이어, 리본, 막 형태의 반도체 구조체들을 추출하는 기술을 개발하여 이를 플렉시블 전자소자에 응용하기 위한 연구를 진행하고 있다 [10, 11,14].

Silicon-On-Insulator (SOI) 또는 분자빔증착법으로 성장된 GaAs/AlAs/SiGaAs, AlGaN/GaN/Si 등의 층간 구조를 갖는 웨이퍼를 사용하여 개념적으로 손쉽게 마이크로구조 반도체 (Microstructured Semiconductor : $\mu\text{S-Sc}$)를 제작할 수 있다. 제작공정은 먼저, 웨이퍼 표면에 에칭 마스크로 포토레지스트를 패터닝하고 에천트를 이용하여 목표 반도체층 밑에 위치한 특정층을 용해시키면 (예를 들어, SOI에서의 SiO_2 ; GaAs/AlAs/SiGaAs에서의 AlAs ; AlGaN /GaN/Si에서의 Si) 정해진 크기의 리본, 와

이어 (크기 :수십 nm, 길이 :수 mm), 판 (두께 :수십 nm, 크기 : 수 cm) 등 다양한 크기와 모양의 반도체 구조체를 추출해 낼 수 있다. 이 단순한 제작 공정은 GaAs, InP, GaN 등의 화합물 반도체에도 응용될 수 있다. 이러한 방법을 통해 제작된 $\mu\text{S-Sc}$ 는 최근 다양한 종류의 고성능 플렉시블 전자소자에 사용되고 있다 [15-18].

에칭막이 삽입된 층간 구조의 웨이퍼의 사용은 다양한 형태의 마이크로/나노 크기의 구조체를 제작하기 용이한 장점을 가지고 있지만, 대면적 전자소자 제작 시 고비용이 필요한 단점을 가지고 있다. 이 때문에 범용적으로 사용되는 저비용의 단결정 웨

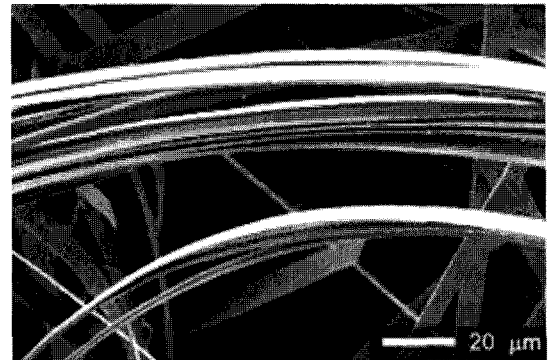
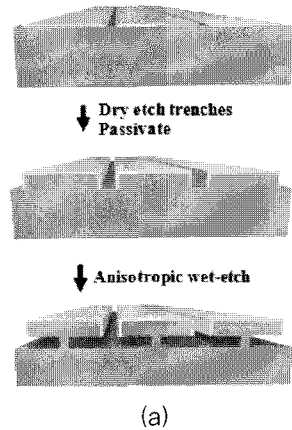


그림 2. 웨이퍼로부터의 $\mu\text{S-Si}$ 추출 공정.

이퍼의 사용에 관심이 기울여지고 있다.

미국 UIUC의 Rogers 그룹은 (111) 방향의 단결정 Si와 GaAs 웨이퍼로부터 마이크로구조 Si (μSi) 리본과 $\mu\text{S-GaAs}$ 와이어를 추출하는데 성공하였다 [12,19]. 그림 2(a)는 μSi 리본을 추출하는 공정을 나타낸다. 먼저, Si (1 $\bar{1}0$)면에 수직하게 포토레지스트 라인을 포토리소그래피 또는 소프트리소그래피를 이용하여 패터닝하고 RIE (Reactive Ion Etching)로 노출 부위의 실리콘을 건식 에칭하여 일정 두께의 홈을 판다. 이후 웨이퍼의 표면과 홈 주위를 실리콘 에천트로부터의 에칭을 막을 수 있는 SiO_2 , Si_3N_4 등의 보호막을 증착한다. 다음으로 전자빔증착을 이용하여 금속 보호막을 경사지게 증착한 후, KOH, Tetramethyl Ammonium Hydroxide와 같은 실리콘 에천트 용액들을 통해 노출된 Si (1 $\bar{1}0$) 면을 수평 방향으로 에칭한다. 에칭이 진행되면서 양방향의 Si (1 $\bar{1}0$) 에칭면들이 서로 만나 직사각형 모양의 단결정 실리콘 리본을 생성하게 된다. 그림 2(b)는 이러한 공정을 거쳐 제작된 두께 500 nm, 길이 200 μm , 폭 7 μm 의 실리콘 리본을 나타낸다. 이 기술은 공정 변수의 조절을 통해서 두께 수백 nm와 길이 수 cm의 유연한 리본, 막대, 판형의 단결정 실리콘 박막을 저비용으로 자유로이 추출해 낼 수 있는 장점이 있다.

3. 건식전이인쇄 기술

Top-down 공정에 의해 제작된 다양한 형태의 $\mu\text{S-Sc}$ 는 웨이퍼와 연결된 앵커를 도입하여 에칭 이후에도 정렬된 형태를 그대로 유지시킬 수 있다. 이 정렬된 $\mu\text{S-Sc}$ 는 PDMS (Polydimethylsiloxane) 고무 스탬프를 이용하여 평면, 곡면 등 다양한 형태의 기판 위로 위치와 방향의 변형 없이 전이 인쇄될 수 있다 [20]. 그림 3은 건식전이인쇄공정의 주요 과정을 도식화한 것이다. 먼저 평평한 PDMS 조각을 웨이퍼 위에 정렬된 $\mu\text{S-Sc}$ 어레이 표면에 가볍게 접촉시킨다. 이때 $\mu\text{S-Sc}$ 는 PDMS 표면과 반데르발스 결합에 의해 접촉되게 된다. 만약, PDMS와 반도체 구조체 사이에 강한 결합을 원할 때는 산소 플라즈마 처리를 통해 반도체 표면의 자연 산화물층과 PDMS

사이에 강한 공유결합을 생성시킬 수 있다. 이후 반도체 구조체와 결합된 PDMS 스탬프를 빠른 속도로 분리시킨 후 원하는 플라스틱 기판 위에 접착시키면, $\mu\text{S-Sc}$ 가 기판 쪽으로 정렬된 형태 그대로 옮겨지게 된다. 이때 $\mu\text{S-Sc}$ 와 기판과의 결합력 증대를 위해 에폭시, 폴리이미드 전구체 등의 접착층을 1~2 μm 두께로 스핀코팅 처리해 준다. 인쇄된 반도체 구조체의 어레이들은 기존 반도체 소자 제작공정과 유사한 포토리소그래피와 금속전극, 게이트 절연막의 증착공정을 거쳐 박막트랜지스터 (TFT)로 제작될 수 있다. 이러한 건식전이공정은 제작된 소자 위에 얇은 절연 고분자층을 코팅한 후 전이인쇄공정을 반복적으로 수행할 수 있어 3차원 적층구조의 다기능 다층 박막 전자소자 제작이 용이하다는 장점을 가지고 있다.

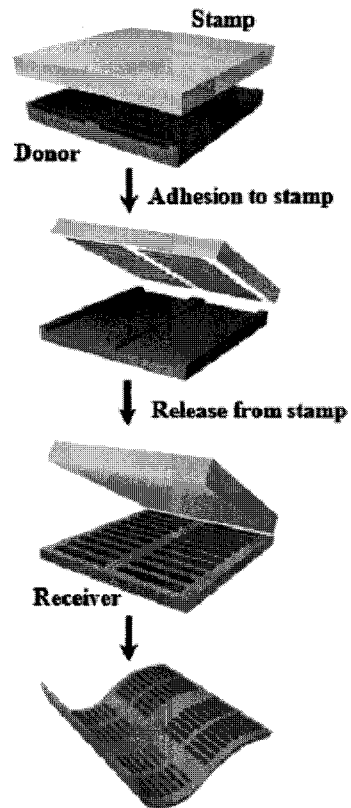


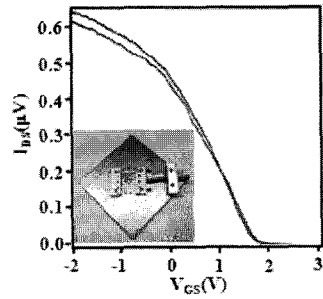
그림 3. $\mu\text{S-Si}$ 의 플라스틱 기판으로의 건식전이인쇄 공정.

4. 플렉시블 일렉트로닉스로의 적용

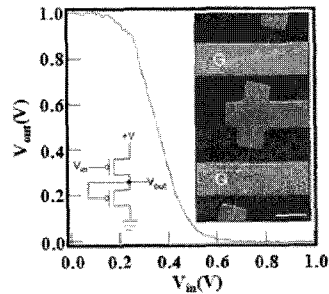
4.1 플렉시블 TFT와 전자회로

그림 4는 투명한 PET 플라스틱 기판 위에 p 타입 Si 나노와이어 어레이를 이용한 전계효과 트랜지스터 (Field Effect Transistor ; FET)의 광학이미지와 Transfer Characteristics 이다. 이 하부 게이트 (Bottom Gate) 소자는 (1) 게이트 전극 패턴, (2) 30 nm SiO₂ 게이트 유전막 증착, (3) 게이트 전극 사이로 나노와이어의 유체 조합 (Fluid Assembly), (4) 소스와 드레인 전극 형성 등의 공정을 거쳐 제작된다. 소자는 Transconductances ~ 340 nA/V, 문턱전압 (Threshold Voltage ; V_{th})=0.5~1.5 V, 온오프비=10⁵ 등의 전기적 특성을 보여주고 있다. 플렉시블 Si 나노와이어 FET는 3 mm의 곡률반지름에서 10% 미만의 소자 특성 변화를 보여줄 정도로 우수한 기계적 구부림성을 소유하고 있다 [21]. 또한, 두 트랜지스터를 연결시켜 p Channel Metal Oxide Semiconductor (PMOS) 타입 인버터를 제작할 수 있다. 이외에도 Caltech의 Heath 그룹에서는 SOI 웨이퍼에서 Top-down 방식으로 추출된 정렬된 Si 나노와이어 어레이에 건식전인쇄법을 이용하여 PET 기판 위의 NO₂의 미세 농도를 측정할 수 있는 플렉시블 가스 센서를 제작하는데 성공하였다 [22].

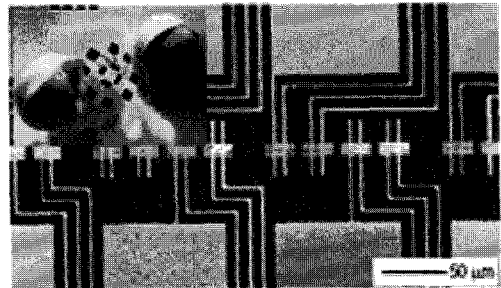
그림 5(a)는 25 μm 두께의 폴리이미드 기판 위에 인쇄된 μs-Si 리본으로 제작된 TFT 어레이의 광학이미지이다. 이 소자의 게이트 유전막은 Plasma-enhanced Chemical Vapor Deposition (PECVD)로, 증착된 두께 50~100 nm의 SiO₂가 사용되었으며 소스, 드레인, 게이트 전극은 전자빔 증착에 의해 5 nm Cr과 100 nm Au가 차례로 증착되었다. 그림에서 보는 것과 같이 소자의 형태는 웨이퍼 위에 제작되는 기존의 Si TFT와 거의 유사한 구조를 갖는다. 그림 5(b)는 2 μm의 채널 길이 (L_c), 1.5 μm 채널 오버랩 거리 (L_o), 200 μm의 채널 폭 (W_c)을 갖는 트랜지스터의 Current-voltage Characteristics와 Transfer Characteristics를 나타낸다. 이들 소자의 전기적 특성은 이



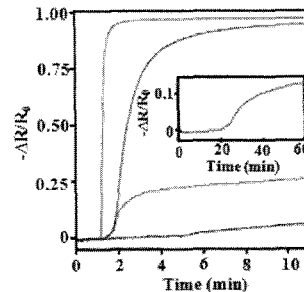
(a)



(b)



(c)



(d)

그림 4. (a) Si 나노와이어 FET의 I-V Characteristics, (b) Si 나노와이어 인버터의 V_{IN}-V_{OUT}, (c) 나노와이어 센서 어레이의 이미지, (d) 나노와이어 센서의 NO₂ 농도에 따른 전기적 반응.

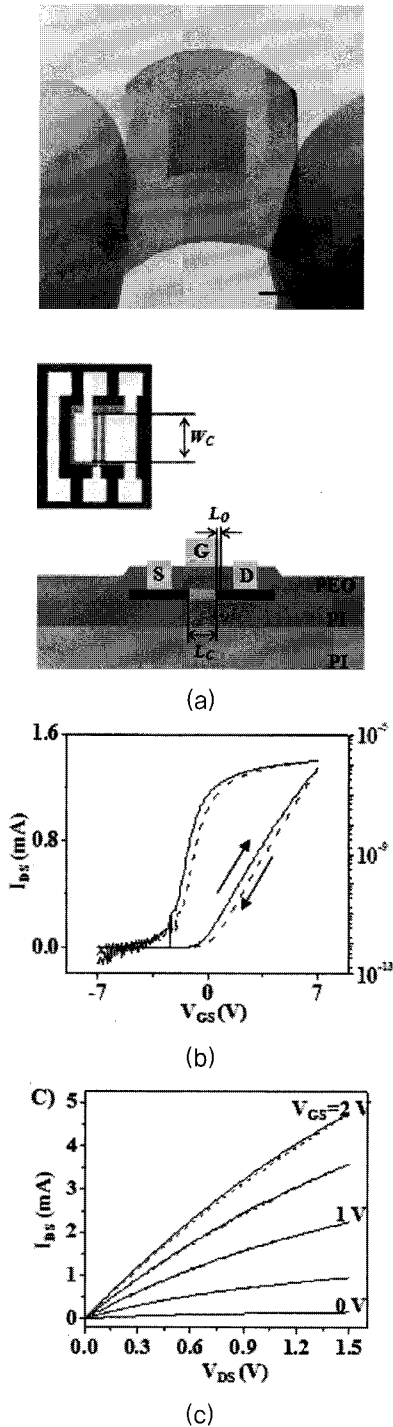


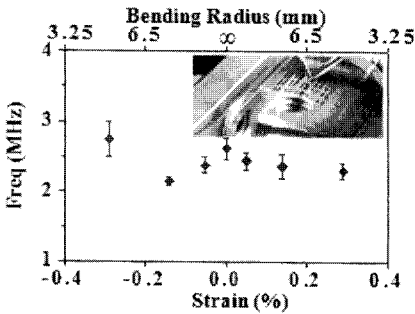
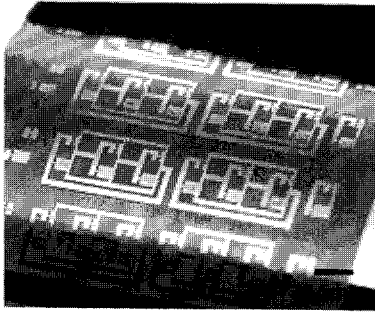
그림 5. (a) μ s-Si TFT의 광학이미지와 구조, (b-c) TFT의 전기적 특성.

동도 $\sim 550 \text{ cm}^2/\text{V} \cdot \text{s}$, 온오프비 (on/off) $> 10^5$, $V_{th} < 0.5 \text{ V}$ 로서 웨이퍼 위에 제작되는 기존의 단결정 Si TFT에 근접하는 우수한 전기적 특성을 보여주고 있다 [15]. 이들 트랜지스터는 유사한 방법으로 GaAs 와이어를 이용하여 Metal-semiconductor Field-effect Transistors (MESFETs)를 제작할 수 있다. 예를 들어 $2 \mu\text{m}$ 폭을 갖는 GaAs 와이어를 이용하여 $L_c=50 \mu\text{m}$, $W_c=150 \mu\text{m}$, 게이트 길이 (L_g)= $2 \mu\text{m}$ 을 갖는 GaAs MESFET 소자는 기가 헤르츠대의 Unity Current Gain Frequency를 보여주고 있다 [18]. 이러한 고주파수대의 작동 범위를 갖는 고성능 소자들은 향후 UHF 대의 접을 수 있는 대면적 안테나 시스템 등에 적용될 수 있는 장점이 있다.

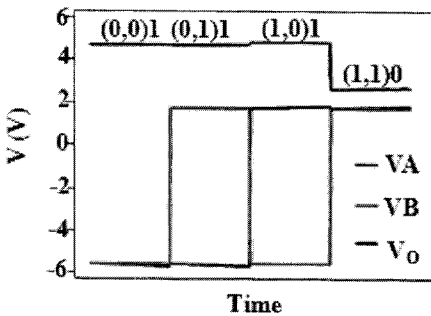
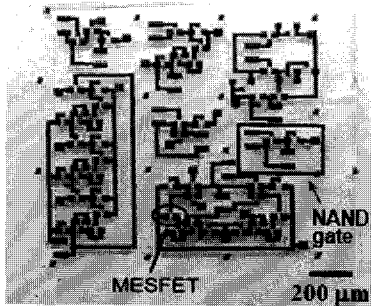
이들 고성능 트랜지스터는 다양한 플렉시블 일렉트로닉스 응용분야를 위한 기능성 전자회로로 집적될 수 있다. 예를 들어, 그림 6(a)는 $W_c=300 \mu\text{m}$, $L_c=9 \mu\text{m}$, $L_o=5.5 \mu\text{m}$ 의 p타입 Si TFT와 $W_c=100 \mu\text{m}$ 의 n 타입 Si TFT로 구성된 3-stage CMOS Ring Oscillator의 광학현미경 이미지이다. 이 회로는 공급 전압 10 V에서 2.6 MHz의 최대공진주파수를 보여준다. 이러한 수백 메가헤르츠대의 공진주파수의 값은 게이트 전극의 L_o 과 L_c 을 줄이므로 해서 쉽게 실현이 가능하다. 소자의 좋은 기계적 구부림성은 플렉시블 일렉트로닉스 구현에 요구되는 중요한 특성이다. 3.25 mm의 구부림 반경까지 압축, 인장 모드에서 측정된 Si 회로의 공진주파수가 오차범위 내에서 안정되게 구동함을 보여주고 있으며, 수천 번의 구부림의 반복 시험에서도 소자들의 내구성을 확인해 주고 있다. 유사한 방법으로 $W_c=150 \mu\text{m}$ 와 $L_g=5 \mu\text{m}$ 을 갖는 μ s-GaAs MESFET을 이용하여 NOR, NAND 게이트, 인버터 같은 논리소자를 구현할 수 있다. 그림 6(b)는 투명한 PET 기판 위에 제작된 논리소자와 NAND 게이트의 입출력 Characteristics를 나타낸다. 이 NAND 게이트는 로드 소자 역할을 하는 하나의 트랜지스터와 스위칭 소자 역할의 두 트랜지스터로 구성되어 있다.

4.2 이종반도체 3차원 적층회로

현재 요구되고 있는 많은 플렉시블 정보통신기

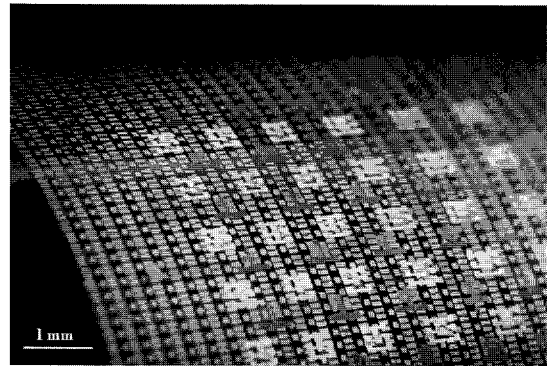


(a)

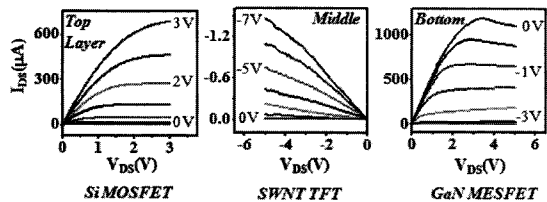


(b)

기들은 여러 종류의 이종 반도체 소자를 3차원 적층하는 다기능 다층박막 시스템 기술을 필요로 하고 있다. 기존의 에피택시성장법, 웨이퍼 본딩 기술은 적용 가능한 반도체 종류가 많지 않으며, 특히 플라스틱 기판이 견딜 수 없는 고온 공정을 요구하므로 플렉시블 시스템에 적용하기 어려운 단점을 가지고 있다. 이전 장에서 설명한 건식전이인쇄법은 상온공정이 가능하고 적용가능한 반도체 소재에 제약 없이 3차원 적층이 가능하여 다기능 다층박막 시스템을 구현할 수 있다 [16]. 그림 7은 $\mu\text{-Si}$ MOSFET, SWNT TFT, $\mu\text{-Si}$ MOSFET 소자들이 $25\ \mu\text{m}$ 폴리이미드 기판 위에 수직으로 3차원 적층된 이종반도체 소자의 광학현미경 이미지를 나타낸다. 이 적층소자는 기판을 제외한 소자층의 전체



(a)



(b)

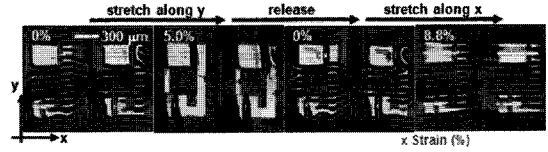
그림 7. (a) 3차원으로 적층된 $\mu\text{-Si}$ MOSFET (Top Layer), SWNT TFT (Middle), $\mu\text{-Si}$ MOSFET (Bottom). (b) 각소자의 전기적 특성.

그림 6. (a) $\mu\text{-Si}$ CMOS Ring Oscillator 이미지와 구부림 테스트, (b) $\mu\text{-GaAs}$ NAND 소자 어레이의 이미지와 입출력 Characteristics.

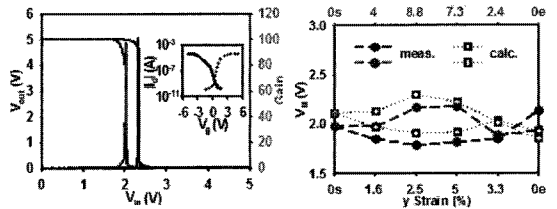
두께가 4.5 μm 에 불과하여 매우 유연하며, 소자 특성 또한 단층에서의 것과 거의 유사한 값을 보여주고 있다. $\mu\text{s-GaN HEMT}$ 소자는 $V_{\text{th}}: -2.4 \pm 0.2 \text{ V}$, 온오프비 $>10^6$, Transconductance : $0.6 \pm 0.5 \text{ mS}$ 이며 SWNT TFTs 소자는 $V_{\text{th}} = -5.3 \pm 1.5 \text{ V}$, 온오프비 $>10^5$, 이동도 : $5.9 \pm 2.0 \text{ cm}^2/\text{Vs}$ 를, $\mu\text{s-Si MOSFET}$ 소자는 $V_{\text{th}} = 0.2 \pm 0.3 \text{ V}$, 온오프비 $>10^4$, 이동도 : $500 \pm 30 \text{ cm}^2/\text{Vs}$ 의 우수한 전기적 특성을 보여주었다. 이러한 다층박막소자들은 수직 방향의 via 전극을 통해 다양한 종류의 이종접합소자들을 구성할 수 있다. 예를 들어 플라스틱 기판 위에 $\mu\text{s-Si nMOSFET}$ 과 GaAs Metal-semiconductor-metal (MSM) 적외선 포토다이오드를 연결하여 플렉시블 적외선 센서를 제작할 수 있으며, n-타입 Si TFT와 p-type SWNT TFT를 연결하여 하이브리드 CMOS 인버터를 제작할 수도 있다. 이와 같은 예뿐만 아니라, 본 기술은 광학, 센서, 인공전자피부 등 다양한 종류의 플렉시블 응용분야에 적용될 수 있을 것으로 기대되고 있다.

4.3 신축 가능한 전자회로

기계적 구부림성은 플렉시블 일렉트로닉스의 많은 응용분야에 이용되는 중요한 특성이다. 하지만 비행기의 날개 표면, 인간의 몸체와 같이 복잡한 형태의 곡면제상에 플렉시블 시스템을 구현하거나, 인공피부와 같이 움직임에 따라 탄성을 유지할 수 있는 센서시스템을 실현하기 위해서는 단순한 기계적 구부림성만으로는 한계가 있다. 이러한 시스템을 위해서는 유연성을 뛰어넘는 기계적 신축성 (Stretchability)이 요구된다. 신축성을 전자소자에 제공하는 대표적인 방법이 소자 구조자체에 웨이브 패턴을 도입하는 것이다. 일반적인 전자재료들은 1% 이상의 인장, 압축 스트레인을 견딜 수 없기 때문에, 5% 이상의 높은 스트레인을 견디기 위해서는 외부 응력을 흡수할 수 있는 특정 구조를 소자에 도입하는 것이 필요하다 [23]. 그림 8(a)은 폴리이미드 기판을 포함한 전체 두께가 1.7 μm 에 불과한 초박막 $\mu\text{s-Si CMOS}$ 인버터를 미리 인장된 PDMS 실리콘 고무에 접착시켜, 평형상태에서 Herringbone 웨이브 구조를 갖도록 제작된 전자회로의 이미지이다.



(a)



(b)

그림 8. (a) Herringbone 웨이브 구조를 갖는 Si CMOS 인버터, (b) 외부응력에 따른 전기적 특성의 변화.

이들 Herringbone 웨이브 구조는 웨이브의 크기와 파장을 변화시키며 외부 응력을 흡수할 수 있기 때문에 실제 소자에 도달되는 스트레인은 단결정 실리콘 파괴 스트레인인 0.7% 미만을 유지하도록 도와준다. 예를 들어, x축과 y축 방향으로 각각 8.8%와 5.0%의 스트레인 구간에서도 평형상태와 유사한 안정적인 소자 특성을 보여주고 있다 (그림 8(b)). 뿐만 아니라, 이들 소자는 1.7 μm 의 초박막 상태를 유지하기 때문에 두께 0.1 mm에 불과한 유리판 사이로 접었을 때도 안정적인 소자 특성을 보여주고 있어 Foldable 일렉트로닉스에도 적용할 수 있는 가능성을 제시하고 있다.

5. 결론

전자종이 등의 디스플레이 이외의 고성능 플렉시



블 응용기기 구현을 위해 고이동도의 플렉시블 반도체 소재가 요구되고 있으며 최근 발표된 단결정, 고품질 웨이퍼로부터 추출되는 마이크로구조 반도체 박막 소재들이 큰 주목을 받고 있다. 이들 고성능 박막 소재들은 건식전이인쇄법을 이용하여 플라스틱 기판 상에 대면적으로 전이가 가능하며 기존의 반도체 제조 공정과 유사한 방법을 거쳐 박막트랜지스터와 전자회로 제작이 가능하다. 특히, 제작된 소자의 전기적 특성은 기존 웨이퍼 기반의 단결정 실리콘 전자소자에 근접하고 있으며 기계적 유연성도 유기 반도체 소자에 필적할만한 우수한 성능을 보여주고 있다. 이러한 우수한 성능의 마이크로구조 반도체 박막 소재 기술은 현재 요구되고 있는 차세대 고성능 플렉시블 일렉트로닉스 응용분야에 적용될 수 있을 것으로 기대된다.

참고 문헌

[1] R. H. Reuss, et al., *Proc. IEEE*, 93, 1239 (2005).
 [2] R. H. Reuss, D. G. Hopper, and J.-G. Park, *MRS Bulletin*, 31, 447 (2006).
 [3] J. A. Rogers, et al., *Proc. Natl. Acad. Sci. U.S.A.*, 98, 4835 (2001).
 [4] Y. Sun and J. A. Rogers, *Adv. Mater.*, 19, 1897 (2007).
 [5] C. Reese and Z. Bao, *Materials Today*, 10, 20 (2007).
 [6] Kane M.G. et al., *Tech. Dig.-IEEE Int. Electron Dev. Meet.*, IEEE, Piscataway, NJ, 939 (2005).
 [7] C. M. Lieber, *Solid State Communications*, 107, 607 (1998).
 [8] C. M. Lieber and Z. L. Wang, *MRS Bulletin*, 32, 99 (2007).
 [9] Y. Xia, et al., *Adv. Mater.*, 15, 353 (2003).
 [10] E. Menard, K. J. Lee, D. Y. Khang, R. G. Nuzzo, and J. A. Rogers, *Appl. Phys. Lett.*, 84, 5398 (2004).
 [11] Y. Sun and J. A. Rogers, *Nano Lett.*, 4, 1953 (2004).
 [12] R. S. Wagner, W. C. Ellis, *Appl. Phys. Lett.*, 4, 89 (1964).
 [13] L. J. Lauhon, M. S. Gudiksen, D. Wang, and C. M. Lieber, *Nature*, 420, 57 (2002).
 [14] N. A. Melosh, A. Boukai, F. Diana, B. Geradot, A. Badolato, P. M. Petroff, and J. R. Heath, *Science* 300, 112 (2003).
 [15] J.-H. Ahn, et al. *IEEE Electron Device Lett.*, 27, 460 (2006).
 [16] J. -H. Ahn, et al., *Science* 314, 1754 (2006).
 [17] J.-H. Ahn et al., *Appl. Phys. Lett.*, 90, 213501 (2007).
 [18] Y. Sun, S. Kim, I. Adesisa, and J. A. Rogers, *Appl. Phys. Lett.*, 87, 083501 (2005).
 [19] A. J. Baca, et al., *Adv. Func. Mater.*, 17, 3051 (2007).
 [20] M. A. Meitl, et al. *Nat. Mater.*, 5, 33 (2006).
 [21] M. C. McAlpine, R.S. Friedman, S. Jin, K. Lin, W. U. Wang, and C.M. Lieber, *Nano Lett.*, 3, 1531 (2003).
 [22] M. C. McAlpine, H. Ahmad, D. Wang, and J.R. Heath, 6, 379 (2007).
 [23] D. H. Kim, et al., *Science*, 320, 507 (2008).

저자|약력



성 명 : 안종현

◆ 학 력

- 1995년 포스텍 신소재공학과 공학사
- 1997년 포스텍 대학원 신소재공학과 공학 석사
- 2001년 포스텍 대학원 신소재공학과 공학 박사

◆ 경 력

- 2004년 - 2008년 Univ. of Illinois U-C, 재료공학과 Post. Doc
- 2008년 - 현재 성균관대 신소재공학부, 성균나노과학기술원 조교수

