

논문 2008-45SD-9-12

Ring Oscillator를 이용한 신호의 동시 스위칭 밀도 분석

(Analysis Simultaneously Switching Density Using Ring Oscillator)

정 상 남*, 백 상 현**

(Sang-Nam Jeong and Sanghyeon Baeg)

요 약

기술의 발달과 함께 회로의 동작 주파수와 신호의 스위칭 속도가 증가하였다. 신호의 스위칭 밀도에 대하여 정확히 예측 할 수 있다면 보다 안정된 파워 플레인을 설계할 수 있다. 칩에서 예기치 못한 신호의 지연이 발생했을 때 문제를 해결하는데 많은 어려움이 있다. 따라서 회로를 수정하거나 칩의 특성을 정하는 단계에서 스위칭 밀도의 증가를 파악하는 것은 중요하다. 본 논문에서는 보간법을 이용하여 회로 설계단계에서 스위칭 밀도를 계산하는 방법을 제안했다. 여기서는 링 오실레이터의 스위칭 빈도와 신호의 지연 사이의 관계를 이용하여 보간법을 통해 신호의 스위칭 밀도를 계산하였다. 링 오실레이터는 스위칭이 많이 일어나서 신호의 지연이 축적된 후에 그라운드 바운스의 영향을 측정하기 위해 사용되었다. 실험은 동부 하이텍의 0.18um CMOS 공정 파라미터를 통해 진행하였다.

Abstract

Switching speeds increase in both frequency and the transition rate of edges. Inadequate forecast for simultaneous switching signals may cause designing the power planes without sufficient current capability. The delay of critical signals in a chip can be therefore inadvertently increased and the situation makes it hard to debug issues. It is important to find the degree of increased switching during the debugging or chip characterization phases. This paper proposes the interpolation method to predict the switching density in a design. The interpolation was achieved by utilizing the dependencies between switching frequency and the delay appeared in a ring oscillator. The ring oscillator was primarily used to accumulate the effects of the ground bounce by higher switching. The result of interpolation was demonstrated using DongBu Hitec 0.18um CMOS technology.

Keywords : ground bounce, simultaneous switching, signal delay

I. 서 론

100nm 이하의 DSM (Deep Sub Micron) 공정의 발달과 더불어 칩 내부의 스위칭 속도는 계속 증가하여 칩의 성능은 지속적으로 향상되고 있다. 또한 SoC의 발달과 함께 고속의 I/O IP들이 칩에 포함됨으로서, 칩 내부 신호들의 스위칭으로 인한 영향이 칩의 성능에 영향

을 주게 된다. 그중의 대표적인 영향이 그라운드 바운스이다.

그라운드 바운스 노이즈는 그라운드 플레인을 구성하는 메탈의 인덕턴스 성분과 그라운드에 흐르는 전류의 변화율에 의해 발생하는 전압이 그라운드의 전위를 변화시키는 것을 말한다^[2]. 일반적으로 그라운드 바운스는 I/O에 국한되어 연구 되어 왔으나, 칩 속도의 향상으로 인해 칩 내부에서의 영향도 무시 할 수 없게 되었다^[1]. 또한 메탈로 Copper를 사용하여 저항 성분이 적어짐에 따라^[3], 칩 내부의 전력선에서 발생하는 인덕턴스에 의한 그라운드 바운스 노이즈를 무시 할 수 없게 되었다.

트랜지스터의 수가 증가하고 칩 내부 신호의 수도 증가함에 따라 내부 신호가 동시에 변할 때, 전류의 변화량도 커지고 그와 함께 칩 내부의 그라운드 바운스 노

* 학생회원, 한양대학교 전자전기제어계측공학과
(Electronics, Electrical, Control & Instrumentation Engineering, Hanyang Univ.)

** 정회원, 한양대학교 전자컴퓨터공학부
(Electronic And Computer Science, Hanyang Univ.)

※ The research was supported by the "GRRC" Project of Gyeonggi Provincial Government, Republic of Korea.

접수일자: 2008년1월18일, 수정완료일: 2008년9월1일

이즈도 증가 할 것이다^[4]. 그라운드 바운스 노이즈의 발생은 칩 신호들의 지연을 증가 시켜 칩의 성능을 저하시키게 된다^[5]. 이와 같이 칩 내부에서 신호들의 스위칭 정도는 칩의 성능을 이해하는데 있어서 매우 중요하다. 본 논문에서는 스위칭 밀도를 측정하기 위해 칩 내부의 스위칭의 밀도를 분석하는 회로를 제안하려 한다.

스위칭 밀도를 측정하기 위하여 스위칭의 많고 적음에 따라 출력이 지연이 나타나는 상관관계를 이용하여, 출력 지연 정도를 측정함으로써 신호의 스위칭 정도를 알아내는데 그 중점을 두었다. 본 논문에서는 그 방법과 실험 결과에 대하여 서술하고자 한다.

II장에서는 내부 신호의 스위칭의 영향으로 출력 신호의 지연을 측정하기 위한 회로와 그 회로가 만족해야 할 조건에 대하여 살펴보고, 출력 신호의 지연에서 내부 신호의 스위칭 밀도를 계산하는 방법에 대해서 설명할 것이다. III장에서는 출력 지연을 측정하기 위한 회로가 갖춰야할 조건을 만족시키기 위한 방법으로 로컬 루프 회로를 제안하고 이에 대해서 실험을 통해 그 효과를 확인해보았다. IV장에서는 시뮬레이션을 통해 실험에 필요한 조건을 만족시키기 위한 방법과 논문에서 제안한 회로에서 나타나는 출력지연으로 스위칭 정도를 계산하는 방법을 검증할 것이다. V장에서는 제안한 방법과 이 방법을 충족시키기 위한 조건에 대해 정리하고 마무리 할 것이다.

II. 스위칭 밀도 측정을 위한 회로 구조

링 오실레이터는 공정의 변화가 회로의 속도에 주는 영향을 측정하기 위한 회로로 많이 사용된다.^[6] 링 오실레이터를 장시간 동작 시켜보면 미세하게 나타나는 출력의 지연을 축적하여 확연히 관찰할 수 있기 때문에 본 논문에서는 출력 지연을 측정하기 위한 회로로 선정하였다.

본 논문에서 제안한 방법의 전체적인 구조를 그림 1에 보였다. 그림 1에서는 크게 3가지 블록을 보이고 있다. 첫 번째는 그림 1의 (a)Switching Circuit 부분으로, 50개의 입력과 50개의 출력으로 구성되어있고 각각의 입력과 출력 사이에는 인버터 20개가 직렬로 연결되어 있다. 따라서 스위칭 회로의 입력 한 개가 스위칭할 경우에 내부 신호 20개가 동시에 스위칭 한다. 이 블록은 칩 내부의 회로를 표현 하고 있으며 스위칭 밀도를 측정하고자 하는 블록을 나타내고 있다. 따라서 칩을 여러 블록으로 나누어서 측정하고자 한다면 그림

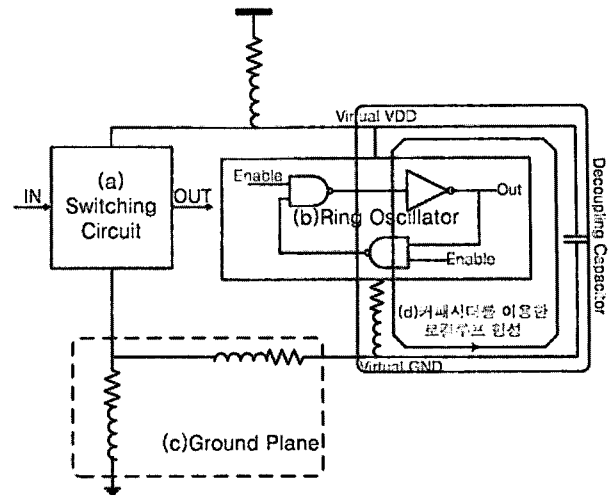


그림 1. Ring Oscillator를 이용한 스위칭 밀도 측정

Fig. 1. Analysis Simultaneously Switching Density Using Ring Oscillator.

(a)Switching Circuit 부분을 여러 개로 만들어 측정하여 해결할 수 있다. 두 번째로 그림 1의 (b)Ring Oscillator는 본 논문에서 신호 지연을 측정하기 위한 회로로 사용될 링 오실레이터이다. 그림의 인버터 수에 변화를 주어 링 오실레이터의 주기를 조절 할 수 있다. 세 번째로 (c)Ground Plane 부분은 칩에서 발생하는 인덕터와 저항을 반영한 그라운드 플레인을 간단하게 나타낸 것이다. 이 부분의 인덕턴스와 그 곳에 흐르는 전류의 변화율에 의해 그라운드 바운스가 발생한다.

그림 1의 (d)커패시터를 이용한 로컬루프형성은 링 오실레이터의 동작이 스위칭 회로에 주는 영향을 막기 위한 방법으로 본 논문에서는 오실레이터 용 디커플링 커패시터를 이용하여 로컬 루프를 형성하였다. 스위칭 회로와 링 오실레이터, 이 두 개의 다른 회로가 그라운드를 공유하며 동작한다면 각각의 회로에서 발생한 그라운드 바운스 노이즈가 서로 영향을 미치게 될 것이다. 예를 들면, 링 오실레이터의 그라운드 바운스가 스위칭 회로에 영향을 주면 스위칭 회로 내부 신호 스위칭에 의한 지연 정도를 측정하는데 정확성이 떨어지게 된다.

커패시터에 의해 생성된 로컬루프는 루프 내의 회로에서 흐르는 전류가 루프 밖으로는 흐르지 않을 것이라는 것을 이용한 것이다. 로컬 루프에 대한 보다 자세한 내용은 III장에 설명하였다.

III. Local Loop

측정회로로 인하여 발생하는 노이즈가 측정하고자

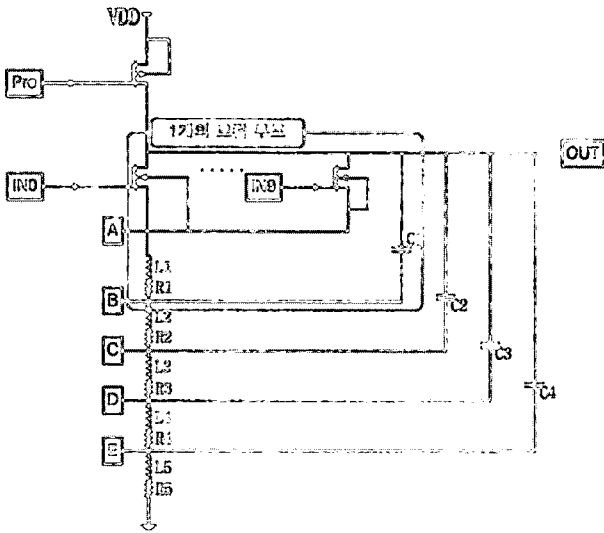


그림 2. Local Loop 실험을 위한 NOR 회로
Fig. 2. NOR circuit for Experiment of Local Loop.

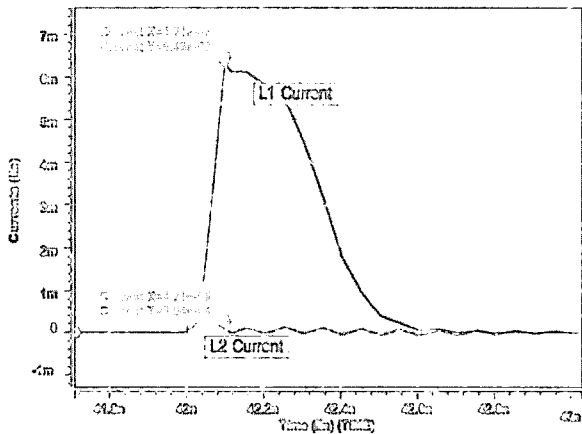


그림 3. 로컬루프가 1개일 때 L1, L2에 흐르는 전류
Fig. 3. Current on L1, L2 with 1 Local Loop.

하는 스위칭 회로의 스위칭에 주는 영향을 최소화하기 위하여, 측정 회로의 전류 변화를 스위칭 회로의 그라운드 노드로 흐르지 않게 하는 방법으로 로컬 루프를 제안하였다.

그림 2는 10개의 입력이 있는 NOR회로이며 동부 하이텍의 0.18um 공정을 사용하였고 이 공정의 공급 전압은 1.8V이다. 이 회로에서 PMOS는 OUT노드를 충전하는 기능을 하고 10개의 NMOS는 OUT노드를 방전시키는 기능을 한다. 먼저 Pre 신호를 통해 OUT노드를 충전하고 다음에 IN0~9신호로 NMOS를 통해 OUT노드를 방전시키는 회로이다.

그림 2의 회로에서 충/방전 동작 동안의 전류의 흐름을 살펴 보기위해 그림 2에 표시된 루프 중 1개만 있을 때의 L1, L2의 전류를 측정해 보았다. 그림 3에서는 그림 2에 표시된 루프에 포함된 인덕터 L1에 흐른

표 1. 로컬루프 수에 따른 소자별 전류(단위 : mA)
Table 1. Current on inductor by No. of Local Loop.

루프 수	1	2	3	4
L1	6.42	6.33	6.29	6.33
L2	0.304	3.54	4.80	5.38
L3	0.304	0.282	2.63	3.98
L4	0.304	0.282	0.272	2.07
L5	0.304	0.282	0.272	0.267

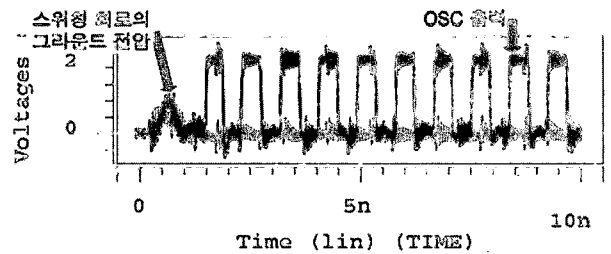


그림 4. 링 오실레이터의 출력에 의한 스위칭 회로의 그라운드 전압변화
Fig. 4. Changing of ground voltage on switching circuit by output of ring oscillator.

전류는 6.42mA이고 루프에 포함되지 않은 L2에 흐른 전류는 0.304mA로 루프 안의 전류가 루프 안의 L1으로 많이 흐르고 루프 밖의 L2로 거의 흐르지 않음을 알 수 있다.

루프가 여러 개일 경우에도 각 인덕터에 흐르는 전류를 측정하여 같은 현상을 보임을 확인 할 수 있다. 그 결과를 표 1에 정리하였다. 결과적으로 커패시터에 의해 생성된 루프 내에서 흐르는 전류는 해당 루프 밖으로 흐르지 않기 때문에 루프내의 스위칭에 의해 발생한 그라운드 바운스가 루프 밖의 노드에 영향을 주지 않는다는 것을 알 수 있다.

로컬 루프에 대한 내용이 논문에서 제안한 회로에도 적용되는지 확인하기 위해 그림 1의 회로에서 디커플링 커패시터의 유무에 따라 스위칭 회로의 그라운드 노드의 전압 변화를 살펴보았다

링 오실레이터의 스위칭에 의한 스위칭 회로의 그라운드 노드의 전압 변화를 살펴보기 위해 그림 4의 OSC 출력이 스위칭 하는 시점에서 디커플링 커패시터 유무에 따른 스위칭 회로의 그라운드 노드 전압을 측정하였다. 이 때 스위칭 회로의 그라운드 노드 전압은 그림 5와 같이 커패시터를 추가했을 때 스위칭 회로의 그라운드 전압이 낮아진 것을 확인할 수 있다. 2.29ns에서 스위칭 회로의 그라운드 전압은 커패시터가 있을 때는 25.6mV, 커패시터가 없을 때는 34.9mV로 디커플링 커패시터를 추가함으로써 9.3mV 감소하였다. 이때 디커플

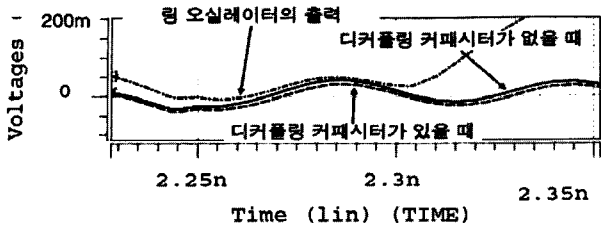


그림 5. 디커플링 커패시터 유무에 따른 스위칭 회로의 그라운드 전압 변화

Fig. 5. Chaging of ground voltage on switching circuit with and without decoupling capacitor.

플링 커패시터에 의한 효과가 이렇게 크게 나타나게 하기 위해 커패시터의 크기와 인덕터의 크기를 조절하였다. 시뮬레이션 결과 디커플링 커패시터를 추가하여 링 오실레이터에서 발생한 그라운드 바운스가 스위칭 회로에 미치는 영향이 줄었다는 것을 알 수 있다.

따라서 로컬 루프에 대한 이론을 그림 1의 회로에 적용하여 링 오실레이터의 스위칭에 의한 그라운드 바운스가 스위칭 회로에 영향을 주는 문제점을 보완해 줄 수 있다.

IV. Ring Oscillator를 이용한 simultaneous switching 신호의 밀도 분석

본 논문에서 제안한 그림 1의 회로에 대하여 시뮬레이션을 통해 분석해 보았다. 그림 1의 (d)커패시터를 이용한 로컬루프와 같이 링 오실레이터의 가상 VDD와 가상 그라운드 사이에 디커플링 커패시터를 추가함으로써 로컬 루프를 형성하여 링 오실레이터에서 발생하는 그라운드 바운스가 스위칭 회로에 영향을 주는 것을 최대한 막도록 하였다.

그림 1과 같이 구성된 회로에서 스위칭 회로의 입력을 0개부터 50개까지 5개씩 증가시켜가며 스위칭 시켜서 각각의 경우에 링 오실레이터의 출력에 나타나는 지연을 측정하였다. 그림 6에서와 같이 처음 상승 곡선(a)에서도 지연을 관찰 할 수 있지만 그 크기가 아주 작다. 따라서 링 오실레이터의 임의의 출력 파형 중 미세한 지연이 축적되어 나타나고 오실레이터가 안정화된 후인 80번째 상승 곡선(b)을 측정대상으로 정했다. 이때 상승 곡선 중 전체 공급 전압의 50%인 0.9V를 지나는 시간을 측정하였다.

스위칭 수가 증가함에 따라 오실레이터의 출력 신호가 0.9V를 지나는 시간이 늦어지는 것을 그림 7에 나타내었다. 스위칭 회로의 입력 신호의 스위칭 수와 링 오

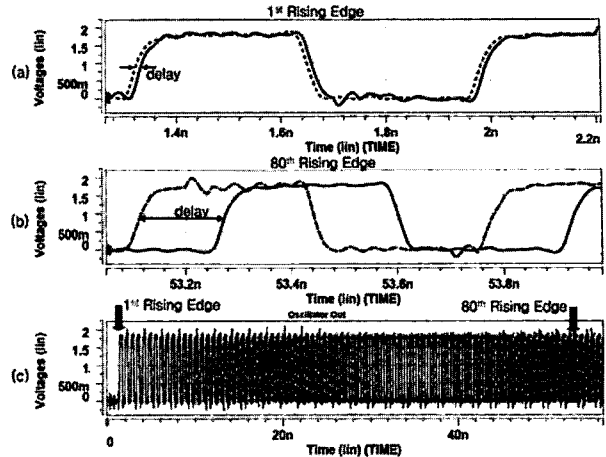


그림 6. 링 오실레이터 출력 지연 측정
(a) 첫 번째 상승곡선에서의 지연
(b) 80번째 상승 곡선에서의 지연
(c) 첫 번째와 80번째 상승 곡선의 시간차이 표현

Fig. 6. Delay of ring oscillator output.
(a) Delay on the first rising edge
(b) Delay on the 80th rising edge
(c) The difference of delay between the first and 80th rising edge

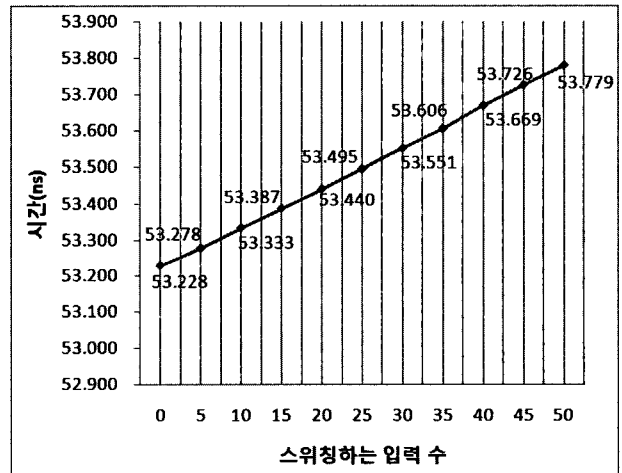


그림 7. 링 오실레이터 출력의 80번째 상승곡선이 0.9V를 지나는 시간

Fig. 7. The time when output of ring oscillator is passing 0.9V.

실레이터의 출력에 나타난 신호의 지연 정도가 완벽하게 선형은 아니지만 그림 7의 그래프와 같이 선형적인 특성을 나타내었다. 따라서 보간법(interpolation)^[7]을 통하여 출력 신호의 지연 정도에서 스위칭 회로의 입력 신호의 스위칭밀도를 계산할 수 있다. 본 실험에서는 스위칭 회로의 입력 수와 내부 신호의 스위칭 수가 비례하기 때문에 스위칭 하는 입력수를 계산하여 내부 신호의 스위칭 밀도를 알 수 있다.

그림 7의 내용에서 스위칭 수와 시간이 선형 관계에

있다고 가정하고, 임의로 스위칭 회로 입력의 44개를 스위칭 시켰을 때 측정된 시간이 53.715ns이라면 그림 7에서 스위칭 수 40과 45사이의 시간임을 알 수 있다. 보간법을 이용하여 계산하면 44.035로 스위칭 시켰던 입력 수 44와 약 0.08%의 오차를 보인다. 스위칭 수가 40인 경우는 내부 신호가 80% 스위칭하고, 45인 경우는 90% 스위칭 한 것이다. 따라서 계산하여 나온 44.035의 경우는 약 88%의 내부 신호가 스위칭 한 것이라고 볼 수 있다. 이처럼 선형적인 특성이 있을 때는 보간법을 이용하여 출력 신호의 지연에서 스위칭 정도를 계산해 낼 수 있다.

그림 1의 회로에서 실험 회로인 링 오실레이터를 제외하고 스위칭 회로만 있을 경우에도 같은 양상이 나타난다면 위와 같이 보간법을 이용하여 스위칭 정도를 계산하는 방법을 스위칭 회로에 직접 적용할 수 있다. 그림 1에서 링 오실레이터를 제거하고 스위칭 회로만을 동작시켜 스위칭 회로의 출력에 나타나는 신호의 지연을 확인하기 위해 스위칭 회로의 출력 신호를 측정하였다. 그림 8에 보이는 것과 같이 스위칭 수와 출력신호의 시간 사이에 선형적인 형태를 보이기 때문에 보간법을 적용할 수 있다.

스위칭 회로의 입력 44개를 스위칭 시켰을 때 스위칭 회로의 출력에서 나타난 지연 시간이 9.7601ns으로 측정되었다. 이때 스위칭 수와 출력 지연 시간을 선형관계로 근사화 하고, 보간법을 통해 스위칭 수를 계산하면 43.75개가 나온다. 이 값은 원래 스위칭시켰던 입력 수 44개와 0.57%의 오차를 보인다.

이 실험에서 사용된 스위칭 회로의 내부 신호 1000개에 대해서 1%는 10개이다. 앞의 두 실험의 경우에는

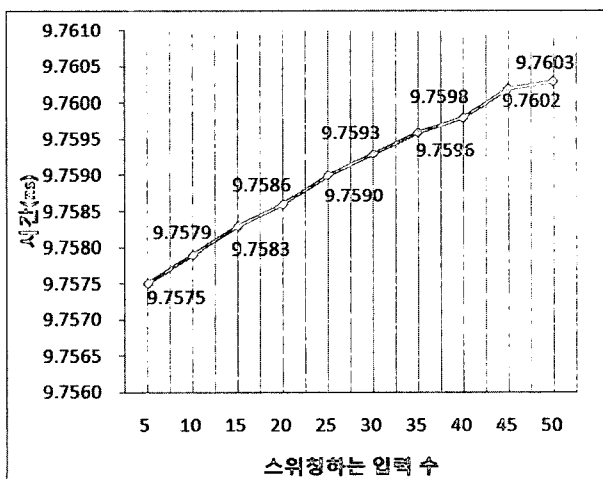


그림 8. 스위칭 회로의 출력지연 시간
Fig. 8. The output delay on switching circuit.

10개 이하의 오차를 보이기 때문에 유효한 결과를 얻었다고 할 수 있다.

V. 결 론

회로의 내부 신호가 동시에 변함으로 인해 발생하는 그라운드 바운스 노이즈는 출력 신호에 지연을 발생시킬 수 있다. 본 논문에서 제안한 회로를 통해 스위칭 회로 내부 신호에 의해 생성된 그라운드 바운스의 영향을 링 오실레이터의 출력에 나타나는 신호의 지연을 통해 살펴보았다.

본 논문에서 제안된 회로에서 링 오실레이터와 스위칭 회로는 그라운드 플레인인 공유한다. 이 경우에 링 오실레이터 회로에서 발생하는 그라운드 바운스가 스위칭 회로에 영향을 주지 않도록 하기 위해 링 오실레이터용 디커플링 커패시터를 장착하여 전체 회로를 구성하였다.

시뮬레이션을 통해 스위칭 수와 지연시간이 선형관계로 근사화 될 수 있다는 것을 알 수 있었다. 시뮬레이션을 통해 얻은 기본 데이터를 바탕으로 스위칭 회로가 임의의 동작을 할 때의 지연시간을 측정하여 스위칭 회로 내부에서 발생한 신호의 동시변화 밀도를 보간법을 이용하여 계산할 수 있다. 제안한 방법을 통하여 지연시간을 이용하여 내부 신호의 스위칭 밀도를 구했을 때 작은 오차를 보였다.

참 고 문 헌

- [1] Payam Heydari, "Ground Bounce in Digital VLSI Circuits", *IEEE Transaction on Very Large Scale Integration Systems*, VOL. 11, NO. 2, April 2003.
- [2] Yi-Shing Chang, Sandeep K. Gupta, "Analysis of Ground Bounce in Deep Sub-Micron Circuits", *IEEE 15th VLSI Test Symposium*, 1997.
- [3] A. K. Stamper, J. E. Heidenreich, "Damascene Copper Integration", *4th International Symposium on Plasma Process-Induced Damage*, 1999.
- [4] Kenneth L. Shepard, Vinod Narayanan, "Noise in Deep Submicron Digital Design", *IEEE/ACM International Computer-Aided Design*, November 1996.
- [5] Howard H. Chen, "Minimizing Chip-Level Simultaneous Switching Noise for High-Performance Microprocessor Design", *IEEE International Symposium on Circuit and*

Systems, VOL. 4, May 1996.

- [6] Linda Milor, Larry Yu, Bill Liu, "Logic Product Speed Evaluation and Forecasting During The Early Phases of Process Technology Development Using Ring Oscillator Data", *2nd International Workshop on Statistical Metrology*, 1997.
- [7] E. Kreyszig, "*Advanced Engineering Mathematics 8th edition*", WILEY, pp. 848~850, 1999.

저 자 소 개



정 상 남(학생회원)
 2006년 한양대학교 전자컴퓨터
 공학부 학사 졸업.
 2008년 한양대학교 전자전기 제어
 계측공학과 석사 졸업
 <주관심분야 : 반도체>



백 상 현(정회원)
 1986년 한양대학교 전자공학과
 학사 졸업.
 1988년 The University of Texas
 at Austin, Electrical and
 Computer Engineering,
 MS.
 1994년 The University of Texas at Austin,
 Electrical and Computer Engineering,
 Ph. D.
 <주관심분야 : 반도체, High Speed Computing,
 Reliability>