

논문 2008-45SD-10-1

Smart Power IC를 위한 Gate-VDD Drain-Extended PMOS ESD 보호회로 설계

(Design of a Gate-VDD Drain-Extended PMOS ESD Power Clamp for Smart Power ICs)

박재영*, 김동준*, 박상규**

(Jae-Young Park, Dong-Jun Kim, and Sang-Gyu Park)

요약

고전압 MOSFET에서 스냅백 이후의 유지 전압은 구동전압에 비해 매우 작아서 고전압 MOSFET이 파워 클램프로 바로 사용될 경우 래치업 문제를 일으킬 수 있다. 본 연구에서는 Drain-Extended PMOS를 이용하여 래치업 문제가 일어나지 않는 구조를 제안하였다. 제안된 구조에서는 래치업의 위험을 피하기 위해 소자가 스냅백이 일어나지 않는 영역으로 동작 영역을 제한하였다. 0.35 μm 60V BCD(Bipolar-CMOS-DMOS) 공정을 사용하여 제작된 칩을 측정하여 결과를 통해 제안된 기존의 gate-driven 구조의 LDMOS(Lateral Double Diffused MOS)를 사용한 ESD 파워 클램프에 비해 500% 성능향상(강인성)이 있게 된 것을 알 수 있다.

Abstract

The holding voltage of the high-voltage MOSFETs in snapback condition is much smaller than the power supply voltage. Such characteristics may cause the latchup-like problems in the Smart Power ICs if these devices are directly used in the ESD (ElectroStatic Discharge) power clamp. In this work, a latchup-free design based on the Drain-Extended PMOS (DEPMOS) adopting gate VDD structure is proposed. The operation region of the proposed gate-VDD DEPMOS ESD power clamp is below the onset of the snapback to avoid the danger of latch-up. From the measurement on the devices fabricated using a 0.35 μm BCD (Bipolar-CMOS-DMOS) Process (60V), it was observed that the proposed ESD power clamp can provide 500% higher ESD robustness per silicon area as compared to the conventional clamps with gate-driven LDMOS (lateral double-diffused MOS).

Keywords : electrostatic discharge(ESD), gate-VDD, power clamp, latchup, Drain-Extended MOS

I. 서론

집적회로에서 ESD(ElectroStatic Discharge)에 관련된 문제의 심각성은 날로 커지고 있다. 프로세스 스케일링(process scaling)에 따라 단일 소자가 감당할 수 있는 전류량은 계속 작아지게 되며, LDD, Salicide 등의 공정 기술의 발전은 ESD 문제 해결을 더욱 어렵게 만

들고 있다. 이에 따라 ESD는 계속해서 많은 연구의 대상이 되고 있다^{1~4)}. 특히 Smart power IC의 경우 구동 전압이 높고, 정전기에 취약한 환경에서 동작하기에 일반 로직 집적회로에 비해 더 높은 ESD 보호 전압이 요구되며, 문제 해결이 더 어렵게 되었다^{5~8)}.

일반적으로 ESD 회로로써 단위면적 당 보호전압의 관점에서 가장 좋은 성능을 보이는 것은 게이트를 그라운드에 연결하는 구조를 갖는 ggNMOS(grounded-gate NMOS) 등이다. 그런데 LDMOS 등의 고전압 소자에 이 구조를 바로 적용하는 것은 곤란한데, 그 이유는 LDMOS를 게이트를 그라운드에 연결하는 구조를 파워 클램프로 설계할 경우 파워클램프가 동작한 후의 유지

* 학생회원, ** 정회원, 한양대학교 전자컴퓨터통신공학과 (Div. of Electronics and Computer Engineering, Hanyang University)

※ 본 연구는 산업자원부 성장동력기술개발사업 지원으로 수행되었음.

접수일자: 2008년2월28일, 수정완료일: 2008년10월7일

전압(holding voltage)이 파워 서플라이 전압보다 매우 낮기 때문이다. 유지 전압이 파워 서플라이 전압 보다 낮을 경우 노이즈나 글리치(glitch) 등에 의해 파워 클램프가 켜지게 될 때 래치업 문제가 발생하게 된다. 즉 글리치 등에 의해 파워 클램프(Power clamp)가 한 번 켜지게 되면 다시는 꺼지지 않는 문제가 발생한다. 이 현상은 결국에는 칩의 파괴로 이어질 수 있는 심각한 문제이다^[9].

고전압 ESD 파워 클램프 설계에 사용되는 소자의 래치업 문제를 해결하기 위해, 대부분의 파워 클램프는 소위 gate-driven 구조를 사용하여 설계한다. gate-driven LDMOS는 기생 바이폴라 동작을 이용하지 않기에 스냅백이 일어나지 않고, 그리하여 낮은 유지 전압 인한 래치업 문제가 발생하지 않는다. 하지만 gate-driven LDMOS는 채널로 대부분의 전류를 흘리기 때문에 면적이 큰 단점을 가지고 있다.

본 연구에서는 gate driven 구조의 크기 문제를 해결하면서도 래치업이 발생하지 않도록 하는 gate-VDD DEPMOS(Drain-Extended PMOS) 구조를 제안하고 0.35 μm 60V BCD (Bipolar-CMOS-DMOS) 공정을 통하여 실제 제작하여 그 성능을 검증하였다.

II. 고전압 파워클램프를 설계할 때의 문제점들

일반적으로 저전압 회로에서는 ESD 보호를 위해 grounded-gate NMOS 또는 gate-driven(또는 gate-coupled) NMOS 등이 많이 사용된다. 또한 이들 회로는 같은 형태인 grounded-gate LDMOS 또는 gate-driven LDMOS 등으로 고전압 ESD 보호회로에도 적용된다. 하지만 고전압 파워클램프에 이들을 사용할 때 곤란한 점들이 있는데, 이들을 본 장에서 실제 제작된 회로의 측정결과와 함께 검토한다.

1. ggLDMOS(grounded-gate LDMOS)

MOSFET를 이용한 ESD 보호회로는 게이트를 그라운드와 연결하는 grounded-gate 구조가 일반적이다. 이 방법을 고전압 파워 클램프 ESD 보호회로에도 동일하게 적용하여 ggLDMOS(grounded-gate LDMOS)를 설계하여 0.35 μm 60V BCD (Bipolar-CMOS-DMOS) 공정을 통하여 실제 제작하여 그 성능을 검증하였다. 그림 1은 제작된 ggLDMOS(grounded-gate LDMOS)의 I-V 특성을 TLP (Transmission Line Pulsing) 장비로 측정한 결과를 보여준다. 트리거링(Triggering) 전압이

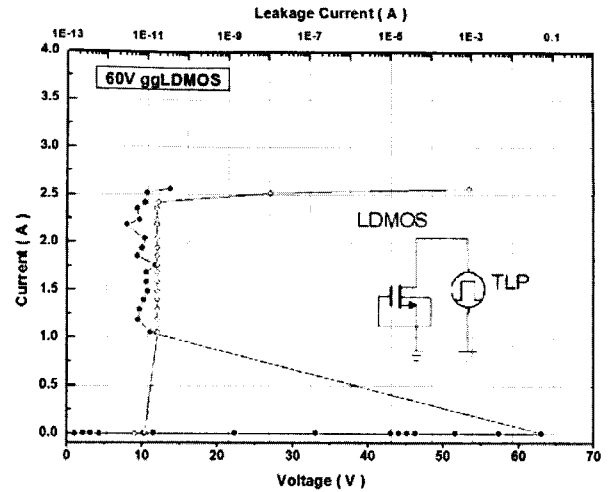


그림 1. ggLDMOS (grounded-gate LDMOS) TLP 측정 I-V 특성 곡선

Fig. 1. TLP-measured I-V characteristic of ggLDMOS (grounded-gate LDMOS) device.

약 65V이나 유지 전압이 10V 미만으로 강한 스냅백(strong-snapback) 현상을 보이는 것을 알 수 있다. 이런 강한 스냅백 현상은 일반적으로 커크 이펙트에 의한 것으로 알려져 있다^[10~11].

유지 전압이 파워 서플라이 전압 보다 낮을 경우 노이즈나 글리치(glitch) 등에 의해 파워 클램프가 켜지게 될 때 래치업 문제가 발생하게 된다. 즉 글리치 등에 의해 파워 클램프가 한 번 켜지게 되면 다시는 꺼지지 않는 문제가 발생한다.

2. gate-driven LDMOS

고전압 ESD 파워 클램프 설계에 사용되는 소자의 래치업 문제를 해결하기 위해, gate-driven 구조를 사용하여 설계한다. gate-driven LDMOS는 기생 바이폴라 동작을 이용하지 않기에 스냅백이 일어나지 않고, 그리하여 낮은 유지 전압 인한 래치업 문제가 발생하지 않는다. gate-driven 구조는 구동 전압보다 큰 전압을 ESD 현상이라 판단하는 grounded-gate 구조와 달리, ESD 펄스가 아주 짧은 시간 (150ns 이내) 동안 발생하는 것을 고려하여 짧은 펄스가 들어올 때 동작하도록 하는 방식이다^[12]. HBM(Human Body Model)을 기준으로 하여 시상수가 1 μsec 인, RC 네트워크로 ESD 감지 회로를 구성하고, 이것으로 짧은 시간 동안에 들어오는 ESD 펄스를 감지하여 ESD 보호 회로를 동작하게 한다. 이와 같은 방법으로 설계된 gate-driven LDMOS는 유지 전압이 낮아 발생할 수 있는 문제를 해결할 수 있으며, 트리거링 성능이 grounded-gate 구조를 사용한

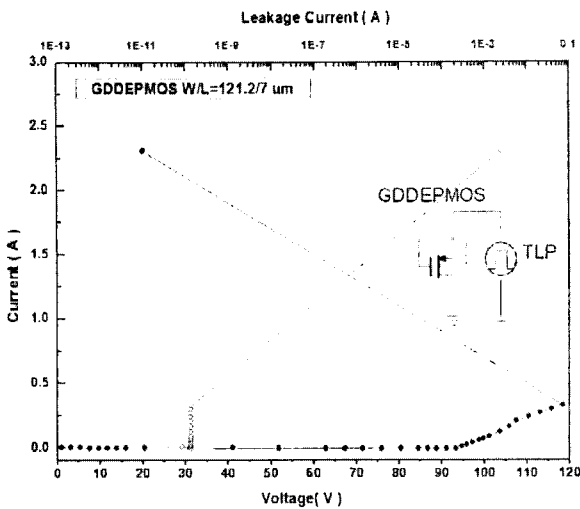


그림 2. 고전압 power clamp로 사용되는 gate-driven LDMOS TLP 측정 I-V 특성 곡선
 Fig. 2. TLP-measured I-V characteristic of conventional gate-driven LDMOS power clamp device fabricated in a 0.35 μ m 3.3V/60V BCD process.

ESD 보호 소자에 비해 뛰어나다. 하지만 대부분의 전류가 채널으로 흐르기 때문에 소자의 크기가 큰 단점이 있다.

그림 2는 설계된 60V gate-driven LDMOS의 TLP 측정 I-V 특성이다. 시상수 1 μ sec를 만족시키기 위해 폴리실리콘 저항 100k Ω 과 폴리실리콘/메탈 스택 커패시터 10pF를 사용하였다. 폴리실리콘 저항은 열전도율은 낮지만 래치업 위험이 없기에 사용하였으며, 스택 커패시터는 커패시터가 차지하는 면적을 최소화하기 위해 사용되었다.

III. Gate-VDD DEPMOS

유지전압이 낮기 때문에 발생하는 래치업 문제를 해결하는 동시에 면적도 작게 하기 위해 Gate-VDD DEPMOS 구조를 제안하였다. Gate-VDD DEPMOS는 일반적으로 사용되는 NMOS의 스냅백(Snapback) 특성을 이용하지 않고, 항복전압 이후부터 트리거링 전압 이전까지의 구간만을 이용하는 방식이다. 유지전압 영역을 사용하지 않기 때문에 유지전압이 낮기 때문에 생기는 문제가 발생하지 않는 동시에, gate-driven 구조를 사용하여 큰 크기의 소자를 사용하는 문제도 해결하였다.

그림 3은 GDDEPMOS (gate-VDD DEPMOS)의 구조도를 보여주고 있다. gate-VDD DEPMOS는 DEPMOS의 게이트와 소스를 연결하여 VDD단에 묶은

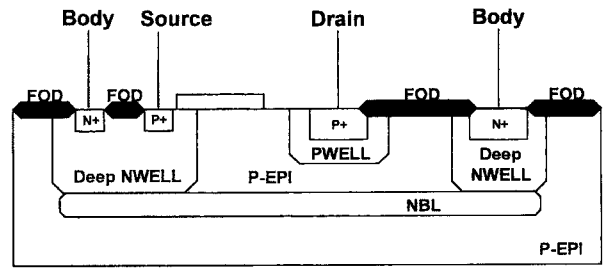


그림 3. gate-VDD DEPMOS (GDDEPMOS)의 구조도
 Fig. 3. Cross-sectional view of gate-VDD DEPMOS (GDDEPMOS) device.

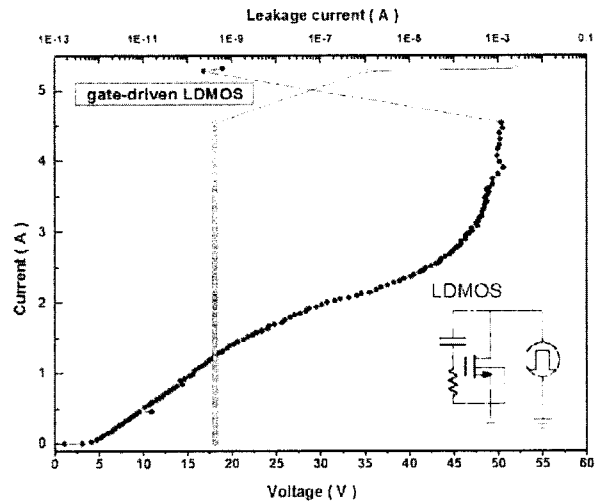


그림 4. gate-VDD DEPMOS (GDDEPMOS)의 TLP 측정 I-V 특성 곡선
 Fig. 4. TLP-measured I-V characteristic of gate-VDD DEPMOS (GDDEPMOS) device fabricated in a 0.35 μ m 60V BCD process.

것으로 grounded-gate 구조와 같이 전압 상승을 감지하여 동작하는 방식이다. 이 구조는 항복전압 이후부터 트리거링 전압 이전까지의 구간만을 이용하는 것으로, 강한 스냅백 현상에 의해 전압이 낮아져 발생하는 문제가 없으면서 gate-driven LDMOS 보다는 작은 면적으로 파워 클램프를 만들 수 있다.

그림 4는 게이트 폭이 121.2 μ m 인 GDDEPMOS를 0.35 μ m 60V BCD 공정을 사용하여 제작한 후 TLP로 측정된 I-V 특성 곡선이다. 측정 결과를 살펴보면 약 93V에서 항복이 일어나기 시작하며 120V 정도에서 0.3A 정도의 이차항복 전류를 갖는 것을 알 수 있다. 이 보다 더 큰 전류가 흐르면 소자가 스냅백 영역에 들어가므로 소자의 크기는 가능한 ESD 전류량이 이차 항복 전압에서의 전류량 보다 작도록 설계해야 한다.

그림 5는 여러 가지 너비를 가진 소자들에 대하여 TLP 측정을 한 결과를 보여주고 있다. 소자의 크기가 달라져도 항복전압 및 2차 항복전압은 거의 일정하며 2

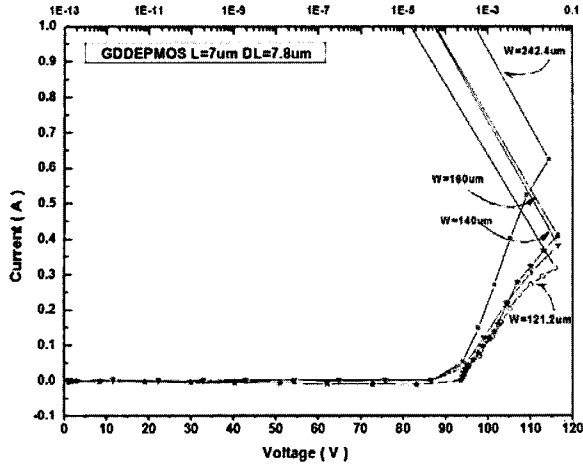


그림 5. gate-VDD DEP MOS (GDDEPMOS) 소자의 여러 너비에 따른 TLP 측정 I-V 특성 곡선
 Fig. 5. The TLP-measured IV characteristics of GDDEPMOS devices with different widths.

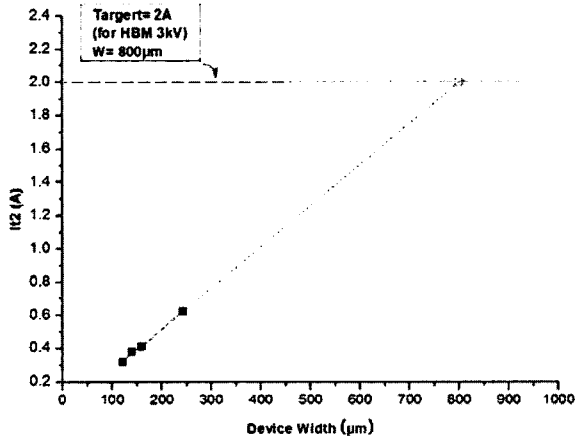


그림 6. GDDEPMOS 소자의 적절한 너비에 따른 2차 항복 전류
 Fig. 6. Second breakdown current of GDDEPMOS ESD power clamp device for a proper channel width.

차 항복전류의 양만 달라지는 것을 알 수 있다.

그림 6은 소자의 너비와 2차 항복전류의 관계를 보여주고 있다. 속이 찬 사각형 기호가 실제 측정된 것을 나타내는데 소자의 너비가 120um에서 250um로 증가할 때 2차 항복 전류도 선형적으로 증가하는 것을 볼 수 있다. 이것은 소자에서 전류가 몰리는 현상(current crowding) 등이 발생하지 않음을 보여주는 것이다.

한편 HBM 보호전압과 항복 전류 사이에는 다음과 같은 관계가 있다.

$$V_{HBM} \cong 1.5k\Omega \times I_{t2} \tag{1}$$

위 식 (1)에서 1.5kΩ은 HBM의 소스 저항을 나타낸

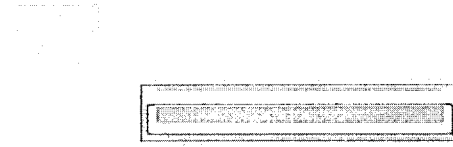


그림 7. 제안된 GDDEPMOS 구조의 레이아웃
 Fig. 7. The layout of the proposed GDDEPMOS devices.

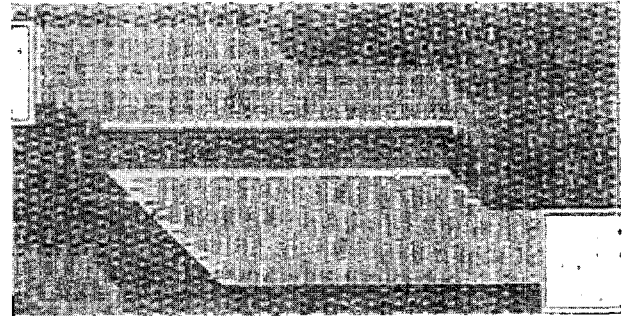


그림 8. 제안된 GDDEPMOS 구조의 현미경 사진
 Fig. 8. The microscope photograph of the proposed GDDEPMOS devices.

표 1. 본 연구에서 제안된 GDDEPMOS 와 다른 연구에서 제작된 고전압 power clamp와의 비교
 Table 1. Comparison of GDDEPMOS power clamp with the conventional gate-driven power clamps.

| | | Robustness per width | Process |
|----------------------------|-----------------------------|----------------------|-------------|
| 타 연구에서 제작된 고전압 power clamp | gate-driven ^[12] | 0.56 V/μm | 0.35μm BCD6 |
| | gate-driven ^[13] | 0.43 V/μm | 0.35μm BCD6 |
| | gate-driven ^[14] | 0.3 V/μm | 0.35μm BCD6 |
| 본 연구에서 설계된 고전압 power clamp | gate-driven LDMOS | 0.75 V/μm | 0.35μm |
| | GDDEPMOS | 3.83 V/μm | BCD |

다. 이를 사용하면 HBM 3000V 수준의 ESD 보호를 위해서는 이차항복전류가 2A가 되어야 하는 것을 알 수 있다. 그림 5의 점선 및 속이 빈 사각형은 측정된 결과를 바탕으로 외삽한 결과를 보여주는 것으로 너비가 800um 인 소자를 사용할 경우 HBM 3000V 수준을 얻을 수 있음을 보여준다.

그림 7은 제안된 GDDEPMOS 구조의 레이아웃이며, 그림 8은 실제로 0.35 μm 60V BCD 공정을 통해 제작된 소자의 현미경 사진이다.

표 1에서는 이번 연구에서 설계된 소자와 타 연구에서 제작된 소자의 성능을 비교하였다. 표 1의 비교에서 알 수 있듯이 타 연구에서 제작된 gate-driven 구조의 고전압 파워 클램프의 단위 너비 당 ESD 강인성(robustness)이 $0.56 \text{ V}/\mu\text{m}$ 가 최고였으나, 본 연구에서 제안한 GDDEPMOS는 $3.83 \text{ V}/\mu\text{m}$ 로 5배 이상의 성능 향상이 있었다. 이것은 채널로 대부분의 전류를 흐르게 하는 gate-driven 구조의 약점을 개선한 것으로 제안된 GDDEPMOS가 고전압 파워 클램프 설계에 적합함을 보여준다.

IV. 결 론

ESD 파워 클램프로 사용되는 고전압 MOSFET 내에서 강한 스냅백 현상이 파워 클램프의 신뢰성에 미치는 영향에 대해 분석하고, 이 문제를 해결한 GDDEPMOS (gate-VDD DEPMOS)를 제안하였다. 제안된 소자는 스냅백에 도달하기 전까지의 영역만을 사용하도록 설계되었으며, $0.35\mu\text{m}$ 3.3V/60V BCD 공정을 사용하여 제작하여 TLP 장비로 검증하였다. 제안된 파워 클램프는 Smart Power IC를 위해 HBM 3000V를 목표로 하였으며, 소자의 너비가 $800\mu\text{m}$ 일 때, HBM 3000V를 만족시킬 수 있는 가능성을 확인하였다. 제안된 GDDEPMOS 구조의 고전압 ESD 파워 클램프는 단위 너비 당 ESD 강인성(robustness)이 타 연구에서 제작된 gate-driven 구조의 ESD 파워 클램프보다 5배 이상 우수하며 래치업 문제를 일으키지 않는 안전한 영역 내에서 동작하였다.

참 고 문 헌

- [1] 최진영, 임주섭, "소자 시뮬레이션을 이용한 ESD 보호용 NMOS 트랜지스터의 항복특성 분석", 대한전자공학회 논문지 제34권 D편 제11호, pp. 907-917, 1997.
- [2] 김홍식, 송한정, 김기홍, 최민성, 최승철, "출력단 ESD 보호회로의 설계 및 그 전기적 특성에 관한 연구", 대한전자공학회논문지 제29권 A편 제11호, pp. 1066-1074, 1992.
- [3] 최진영, 송광섭, "HBM ESD 현상의 혼합모드 과도해석", 대한전자공학회논문지 제38권 SD편 제1호 pp. 1-12, 2001.
- [4] 홍성모, 원태영, "CMOS 회로의 ESD에 대한 신뢰성 문제 및 보호대책", 대한전자공학회 논문지 제 30권 A편 12호 pp. 1068-1077, 1993.
- [5] C. Duvvury, F. Carvajal, C. Jones, and D. Briggs, "Lateral DMOS design for ESD robustness," in IEDM Tech. Dig., pp. 375 - 378, 1997.
- [6] M.P. J. Mergens, W. Wilkening, S. Mettler, H. Wolf, A. Stricker, and W. Fichtner, "Analysis of lateral DMOS power devices under ESD stress conditions," IEEE Trans. Electron Devices, vol. 47, no. 11, pp. 2128 - 2137, Nov. 2000.
- [7] J.-H. Lee, J.-R. Shih, C.-S.Tang, K.-C. Liu, Y.-H.Wu, R.-Y. Shiue, T.-C. Ong, Y.-K. Peng, and J.-T. Yue, "Novel ESD protection structure with embedded SCR LDMOS for smart power technology," in Proc. IEEE Int. Reliability Physics Symp., pp. 156 - 161, 2002.
- [8] V. De Heyn, G. Groeseneken, B. Keppens, M. Natarajan, L. Vacaresse, and G. Gallopyn, "Design and analysis of new protection structures for smart power technology with controlled trigger and holding voltage," in Proc. IEEE Int. Reliability Physics Symp., pp. 253 - 258, 2001.
- [9] Ming-Dou Ker and Kun-Hsien Lin, "The Impact of Low-Holding-Voltage Issue in High-Voltage CMOS Technology and the Design of Latchup-Free Power-Rail ESD Clamp Circuit for LCD Driver ICs," IEEE Journal of Solid-State Circuits, vol. 40, no. 8, pp.1751-1759, Aug. 2005.
- [10] E. Chwastek, "A new method for assessing the susceptibility of CMOS integrated circuits to latch-up: The system-transient technique," in Proc. EOS/ESD Symp., pp. 149 - 155, 1989.
- [11] R. Lewis and J. Minor, "Simulation of a system level transient-induced latchup event," in Proc. EOS/ESD Symp., pp. 193 - 199, 1994.
- [12] L.Sponton, L.Cerati, G.Croce, G.Mura, S.Podda, M.Vanzi, G.Meneghesso, and E.Zanoni, "ESD Protection structures for 20V and 40V power supply suitable for BCD6 smart power technology," microelectronics reliability, vol. 42, pp1303-1306, 2002.
- [13] G. Crocel, A. Andreini, L. Cerati, G. Meneghesso, and L. Sponton, Analog Circuit Design, Netherlands:Kluwer Academic publishers, pp169~206, 2003.
- [14] G.Meneghesso, N.Novembre, E.Zanoni, L.Sponton, L.Cerati and G.Croce, "Optimization of ESD protection structures suitable for BCD6 smart power technology," microelectronics reliability, vol. 43, pp1589-1594, 2003.

 저 자 소 개



박재영(학생회원)
 2005년 한양대학교 전자전기
 컴퓨터공학과 학사 졸업.
 2007년 한양대학교 전자통신
 컴퓨터공학과 석사 졸업.
 2008년~현재 (주)동부하이텍
 반도체 연구원

<주관심분야 : 반도체, ESD보호회로설계>



김동준(학생회원)
 2004년 한양대학교 전자컴퓨터
 공학부 학사 졸업.
 2008년 한양대학교 전자통신
 컴퓨터공학과 석사과정.
 <주관심분야 : 반도체, ESD보호
 회로설계>



박상규(정회원)
 1990년 서울대학교 전자공학과
 학사 졸업.
 1992년 서울대학교 전자공학과
 석사 졸업.
 1998년 퍼듀대학교 전자공학과
 박사 졸업.

1998년~2000년 AT&T 연구원.

2000년~현재 한양대학교 전자통신컴퓨터공학과
 부교수.

<주관심분야 : 광통신, 반도체, 디스플레이, ESD
 보호회로설계>