

논문 2008-45SD-10-3

이차원 양자 효과를 고려한 극미세 Double-Gate MOSFET 특성 분석

(2D Quantum Effect Analysis of Nanoscale Double-Gate MOSFET)

김 지 현*, 손 애 리*, 정 나 래*, 신 형 순**

(Jihyun Kim, Aeri Son, Narae Jeong, and Hyungsoon Shin)

요 약

기존의 MOSFET는 단채널 현상의 증가로 인하여 스케일링에 한계를 가지고 있다. Double-Gate MOSFET (DG-MOSFET)는 소자의 길이가 축소되면서 나타나는 단채널 현상을 효과적으로 제어하는 차세대 소자이다. DG-MOSFET으로 소자를 축소시키면 채널 길이가 10nm 이하에서 게이트 방향뿐만 아니라 소스와 드레인 방향에서도 양자 효과가 발생한다. 또한 게이트 길이가 매우 짧아지면 ballistic transport 현상이 발생한다. 따라서 본 연구에서는 2차원 양자 효과와 ballistic transport를 고려하여 DG-MOSFET의 특성을 분석하였다. 또한 단채널 효과를 줄이기 위해서 t_{si} 와 underlap 그리고 lateral doping gradient를 이용하여 소자 구조를 최적화하였다.

Abstract

The bulk-planer MOSFET has a scaling limitation due to the short channel effect (SCE). The Double-Gate MOSFET (DG-MOSFET) is a next generation device for nanoscale with excellent control of SCE. The quantum effect in lateral direction is important for subthreshold characteristics when the effective channel length of DG-MOSFET is less than 10nm. Also, ballistic transport is getting important. This study shows modeling and design issues of nanoscale DG-MOSFET considering the 2D quantum effect and ballistic transport. We have optimized device characteristics of DG-MOSFET using a proper value of t_{si} , underlap and lateral doping gradient.

Keywords : Double-Gate MOSFET, Quantum effect, ballistic transport, tunneling current

I. 서 론

지난 30년 동안 MOSFET는 지속적으로 축소화되고, 그 성능이 향상되어 왔다. MOSFET가 극미세화 됨에 따라 점차 개발 기간이 증가하게 되며 소자 특성 분석 및 최적화의 복잡도가 증가한다. 또한 문턱 전압 (V_{th})의 감소, subthreshold swing (SS)의 증가, drain induced barrier lowering (DIBL)의 증가 등 다양한 단채널 효과 (SCE)가 소자 특성에 중요한 영향을 미치게

된다. 이러한 SCE의 증가로 인하여 소자의 subthreshold 전류가 증가하게 되므로 이를 효과적으로 제어하기 위해서 채널의 도핑을 증가시키게 되었다. 그러나 도핑이 증가하면 소스와 드레인 접합에서의 band-to-band tunneling에 의한 누설 전류의 증가, impurity scattering 증가에 따른 전송자 이동도 감소, dopant fluctuation에 의한 V_{th} fluctuation 증가 등의 현상들이 발생하게 되므로 trade-off가 필요하다. 따라서 극미세 MOSFET 소자의 SCE를 효과적으로 제어하기 위하여 새로운 구조인 Double-Gate MOSFET (DG-MOSFET)에 대한 연구가 활발히 진행되고 있다.^{1)~3)} ITRS에서 제시한 MOSFET 소자 기술의 roadmap에 의하면 게이트 길이 (L_g)가 16nm가 되는 2011년도부터 DG-MOSFET가 집적회로에 적용될 것으로 예상된다.

* 학생회원, ** 정회원, 이화여자대학교 전자공학과
(Department of electronic engineering, Ewha Womans University)

※ 본 연구는 (주) 하이닉스 반도체 및 서울시 산학연 협력과제(NT080509)의 지원으로 수행되었음.
접수일자: 2008년7월11일, 수정완료일: 2008년10월6일

DG-MOSFET는 채널 양쪽에서 두 개의 게이트가 채널을 제어하므로 SCE를 매우 효과적으로 제어할 수 있다. 따라서 채널의 도핑을 증가시키지 않아도 되어 band-to-band tunneling에 의한 누설이 감소하게 되고, dopant fluctuation 역시 감소하게 된다. 또한 DG-MOSFET는 실리콘 기판이 floating되고 얇으므로 채널 전체가 반전되는 volume inversion 현상으로 인하여 SS가, 약 70mV/dec로 이상적일 수 있다. 그러나 기판이 얇아지고 게이트 길이 또한 짧아짐에 따라 양자 효과가 DG-MOSFET 특성에 미치는 영향이 증가하므로 이를 고려하는 것이 필수적이다.^[4-7] 따라서 본 논문에서는 게이트 방향 뿐만 아니라 소스와 드레인 방향까지 포함한 2차원 양자 효과를 고려하여 극미세 DG-MOSFET에 대한 연구를 수행하였다.

본 논문에서는 2D 양자 효과를 고려한 DG-MOSFET의 특성을 분석하고 소자 구조를 최적화하였다. II장에서는 본 연구에 사용된 시뮬레이터에 대해서 설명한다. III장에서는 2D 양자 효과를 고려한 시뮬레이터를 이용하여 DG-MOSFET의 특성 변화를 분석하고 이러한 분석 결과에 따라 소자 구조를 최적화한 후, 마지막으로 결론을 맺는다.

II. 2차원 양자 효과를 고려한 시뮬레이터

1. 극미세 소자의 특성

그림 1은 MOSFET 내부에서의 source-to-drain tunneling (S/D tunneling) 현상을 도식적으로 보이고 있다. 수송자는 소스나 드레인을 통하여 소자 안으로 주입된다. 그 후 그림에서 보듯이 소스와 드레인의 전압 차에 따라 이동하게 된다. 주입된 수송자들간의 상호작용으로 소자 안에서 양자 우물이 구성되고 이들은

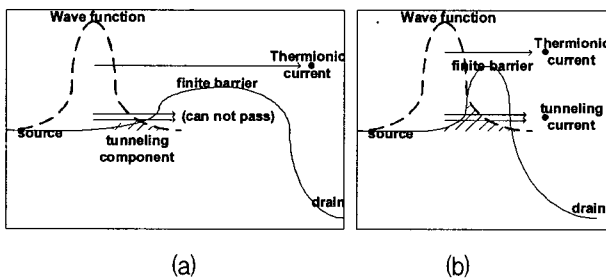


그림 1. 소스에서 드레인으로의 tunneling 요소를 나타낸 banddiagram (a) 장채널과 (b) 단채널

Fig. 1. Schematics of source-to-drain tunneling component for (a) long-channel and (b) short-channel.

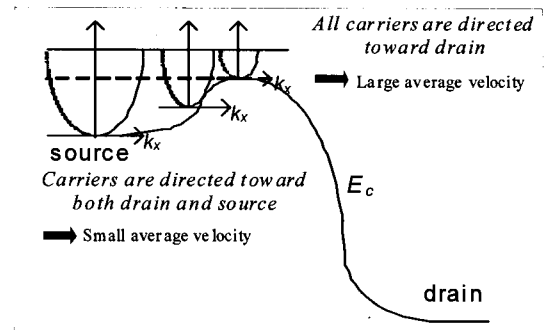


그림 2. 극미세 MOSFET에서의 ballistic transport 현상
Fig. 2. Ballistic transport effect in the nanoscale MOSFET.

기존의 고전 모델처럼 연결되어 존재하는 것이 아니라 순차적으로 층을 이루어 존재한다. 각 층에서의 수송자는 파동 함수에 따른 모양으로 존재하고, 장벽이 무한대로 존재하지 않는 한 S/D tunneling이 존재한다. 이와 같이 양자 우물 안의 수송자들이 전압 차이에 따라, 또는 무한하지 않은 장벽으로 인한 tunneling에 의해서 소스에서 드레인으로 이동하는 것을 분석한 방법이 non-equilibrium Green's function (NEGF)이다.^[4-5]

그림 2는 소자의 길이가 짧아지면서 나타나는 ballistic transport 현상을 나타낸 그림이다. 기존의 drift-diffusion 모델에서는 전송자가 소스에서 드레인으로 이동하면서 scattering이 일어나 수송자의 이동 속도가 제한되었다. 그러나 소자의 길이가 극미세화되면서 전송자가 scattering이 일어나기 전에 소스에서 드레인에 도착하는 현상이 나타난다. 따라서 전송자의 이동 속도가 제한되지 않고 주입 속도를 그대로 유지하게 된다. 이러한 현상이 ballistic transport이다. 따라서 그림 2를 보면, 소스 장벽을 통과하는 전송자들은 scattering 없이 주입속도를 유지하고 드레인에 도착한다. 기존의 연구를 보면 이러한 ballistic transport는 게이트 길이 11nm이하에서 나타난다. 본 연구는 소스와 드레인의 양자 효과를 보이는 10nm 이하의 MOSFET에 대하여 진행되므로 이러한 ballistic transport 현상을 고려한 시뮬레이터를 사용하였다.

2. NEGF를 이용한 2D quantum ballistic transport 시뮬레이터

소자의 크기가 점차 감소하면서 기존의 3D Fermi-Dirac 함수를 사용하는 고전 역학적 방법은 실제 수송자 분포를 정확하게 예측할 수 없다. 따라서 본 논문에서는 양자 역학에 의한 소자 특성 변화 분석을 위하여 Poisson 방정식과 함께 2차원 schrodinger 방정식을 이

용하여 이차원 DG-MOSFET의 특성을 분석한다. 본 논문에서 사용된 시뮬레이터는 nanoMOS 2.0이다.^[8]

분석한 소자 구조는 그림 3과 같이 기판 양쪽에 게이트가 위치한 DG-MOSFET 구조이다. x 방향은 소스와 드레인 방향이고, y 방향은 게이트에 수직인 방향이다. Poisson 방정식은 기존의 고전 모델과 같이 기판의 전송자 분포로 전압 분포를 유출한다. 하지만 schrodinger 방정식의 경우는 기존에 고려하던 y 방향뿐만 아니라 소스와 드레인의 영향을 고려하기 위하여 x, y 방향의 2차원 좌표계 schrodinger 방정식을 사용한다. 이러한 2차원 schrodinger 방정식은 y 방향의 전송자 분포를 정확하게 알 수 있지만 매우 복잡하다는 단점을 가지고 있다. 그러나 얇은 기판을 가지는 DG-MOSFET의 경우에는 기존의 bulk MOSFET과는 다르게 x 방향에 따른 수직적인 전압의 분포가 급변할 가능성이 희박하므로 이를 무시하고 간단한 형태의 2차원 schrodinger 방정식의 유도가 가능하다. 이러한 schrodinger 방정식을 각 위치의 에너지 분포로 정의한 Green's 함수를 이용하여 각 위치에서의 파동 함수를 구할 수 있다.^[4] 또한 구해진 파동 함수를 이용하여 전송자의 분포를 알 수 있다. 이렇게 schrodinger 방정식으로 구한 전송자의 분포로 Poisson 방정식의 전압을 구하고, 다시 그 전압 분포를 이용하여 schrodinger 방정식의 전송자 분포를 계산하는 상보적인 방법으로 극미세 소자에서 발생하는 이차원 양자 효과를 고려하는 것이 가능하다.

이차원 양자 효과를 고려하여 구해진 전송자 분포를 이용하여 전송자가 소스에서 드레인으로는 이동하지만 드레인에서 소스 쪽으로의 산란은 없다는 가정 하에 ballistic transport 전류를 구하는 것이 가능하다. 즉, 기존과 같이 산란으로 인해 전송자 속도가 제한되는 것이 아니라 속도의 제한 없이 전송자의 개수와 에너지만으로 전류를 계산하는 방법이 ballistic transport이다.^[5] 이러한 방법은 실제 소자가 극미세화 되면서 일어나는 현상을 잘 반영하므로 정확한 시뮬레이션이 가능하다.

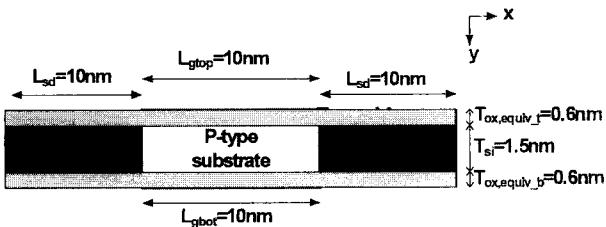


그림 3. DG-MOSFET의 소자 구조
Fig. 3. DG-MOSFET device structure.

III. Symmetric DG-MOSFET의 특성 분석

1. Source-to-drain tunneling current 분석

소자가 축소되면서 산화막 두께와 함께 게이트 길이도 매우 짧아지게 되어 채널은 게이트뿐만 아니라 소스와 드레인의 영향도 상대적으로 많이 받게 되었다. 따라서 반전 영역의 양자 효과를 고려함에 있어 기존과 같이 게이트 방향뿐만 아니라 소스와 드레인 사이의 양자 효과에 의한 tunneling 전류가 소자 특성을 정확하게 예측하는데 중요하게 되었다. 앞 절에서 설명했듯이 이러한 tunneling 확률은 장벽 폭에 의존하게 되는데 기존의 장채널은 장벽이 두꺼워서 장벽보다 낮은 에너지를 갖는 전송자의 S/D tunneling을 무시할 수 있었다. 그러나 단채널이 되면서 소스와 드레인 사이의 거리가 가까워져 둘 사이의 장벽 폭이 점차 좁아지게 되어 S/D tunneling 확률이 증가하게 된다. 따라서 단채널에서는 장벽을 넘어서 흐르는 thermionic emission 전류와 장벽를 통과하여 지나가는 S/D tunneling 전류를 동시에 고려해 주어야만 한다.^[6-7]

그림 4는 L_g 가 3nm와 10nm인 경우의 1D QM 모델과 2D QM 모델의 I_d-V_g 특성을 비교한 그래프이다. 2D 양자 효과와 ballistic transport를 고려한 영역에 있어 10nm는 장채널, 3nm는 단채널로 볼 수 있다. 1D QM 모델은 기존의 양자 역학 모델들처럼 게이트 방향으로만 양자효과를 고려한 모델이고, 2D QM 모델은 소스와 드레인 방향까지 양자 효과를 고려한 모델이다. 그림의 1D QM 모델의 경우 서로 다른 L_g 에서 I_{off} 를 맞추기 위하여 각기 다른 일함수를 사용하였고, 2D QM 모델은 1D QM과 같은 일함수를 사용하여 같은 조건에서의 1D QM 모델과 2D QM 모델을 비교하였다. 그림 4에서 보듯이

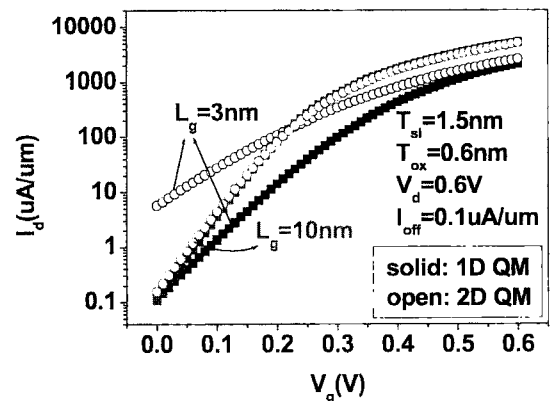


그림 4. 서로 다른 L_g 에 따른 I_d vs. V_g 특성 비교
Fig. 4. Comparison of I_d vs. V_g characteristics for various L_g .

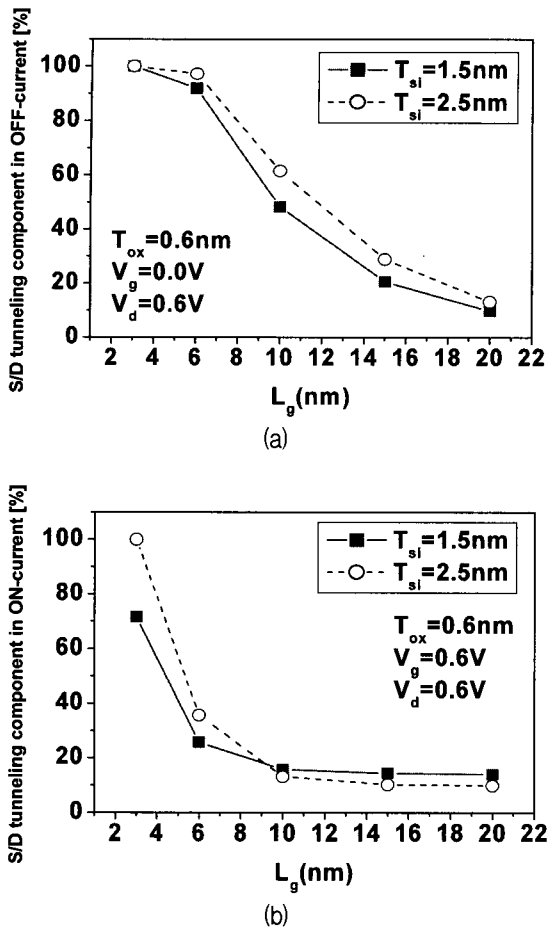


그림 5. (a) 차단 상태에서와 (b) 전도 상태에서 S/D tunneling 전류 비율

Fig. 5. Percentage of S/D tunneling current in (a) off-state and (b) on-state.

10nm 소자의 경우 두 모델의 I-V 특성이 거의 일치한다. 이는 장채널에서의 S/D tunneling 전류가 전체 전류에 거의 영향을 주지 못한다는 것을 의미한다. 반면에 3nm 소자의 경우에는 S/D tunneling 전류를 고려한 2D QM 모델이 1D QM 모델보다 I_{off} 가 매우 증가한다. 즉 게이트 길이가 작아질수록 x 방향의 전위 장벽의 두께가 감소하여 S/D tunneling 현상이 급격하게 증가하는 것이다.

그림 5 (a)는 I_{off} 중 S/D tunneling 전류의 비율을 타낸 그래프이다. 그림에서 보면 L_g 가 감소할수록 비율이 증가한다. 또한 L_g 가 약 8nm보다 작아지면 S/D tunneling 전류가 급격히 증가한다. 즉 소자의 길이가 약 10nm이하로 축소되면서 S/D tunneling 전류를 고려하기 위한 2D QM 시뮬레이션이 필수적임을 나타낸다. 또한 T_{si} 가 증가할수록 S/D tunneling 전류가 증가하는 것을 알 수 있다. 이는 T_{si} 가 증가하면 채널의 중간 부분은 게이트의 영향을 적게 받게 되므로 상대적으로 소스와 드레인의 영향이 증가하여 SCE가 증가되기 때문이다. 따라서

SCE의 효율적인 제어를 위해서 T_{si} 값을 감소시켜야만 한다. 그림 5 (b)는 I_{on} 중 S/D tunneling 전류의 비율을 나타낸 그래프이다. 그림에서 보는 바와 같이 L_g 가 증가할수록 비율이 낮아지며 일정 게이트 길이 이상에서는 그 값이 20%이하로 지속되는 것을 알 수 있다. 이는 전도 상태의 경우, 일정 L_g 이상에서는 장벽의 모양에 영향을 받는 S/D tunneling 전류보다 장벽을 넘어서 흐르는 thermionic emission 전류가 증가하여 더 이상 장벽 모양에 영향을 받지 않기 때문에 발생하는 현상이다. 따라서 S/D tunneling 전류는 전도 상태에서보다 차단 상태에서 그 영향이 증가하는 것을 알 수 있고, 차단 상태에서의 S/D tunneling 전류를 제어하는 것이 stand-by 전류를 감소시키는데 매우 중요한 역할을 한다.

2. Underlap 및 lateral doping에 따른 특성 분석

L_g 가 작아지면서 채널 저항은 작아지므로 소자 특성에 대한 소스와 드레인 저항의 영향이 증가하게 된다. 또

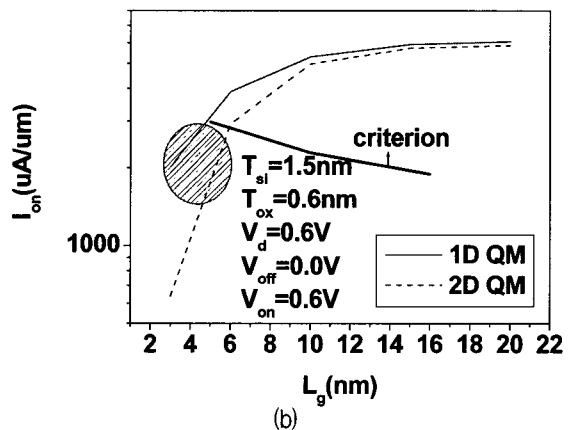
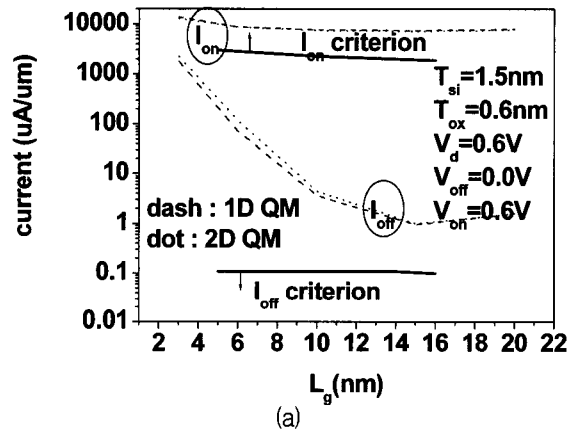


그림 6. (a) 일함수 미조정과 (b) 일함수 조정 상태에서 다양한 게이트 길이에 따른 전류 변화

Fig. 6. Current variation (a) without workfunction adjustment and (b) with workfunction adjustment for various L_g .

한 단채널이 되면 2D 양자 효과에 의해서 tunneling 전류가 증가하므로 그림 6 (a)와 같이 I_{on} 과 I_{off} 가 증가하게 되고 특히 I_{off} 가 ITRS 기준 값을 훨씬 웃돌면서 stand-by power의 증가를 야기한다. 게이트 일함수로 I_{off} 를 맞추어 준 그림 6 (b)의 경우를 보면 I_{off} 의 증가를 일함수 증가에 의한 문턱 전압 조정으로 보상하기 때문에 I_{on} 값이 기준 값을 만족시키지 못한다. I_{off} 의 감소를 위하여 앞 절에서 처럼 DG-MOSFET의 t_{si} 를 감소시키기도 하지만 t_{si} 를 너무 감소시키면 소자의 균일성을 유지하는 것이 어렵다. 따라서 I_{off} 를 효과적으로 제어하기 위해서 underlap (UL) 과 lateral doping gradient (LDG)가 사용된다. LDG가 증가할수록 소스와 드레인 저항의 감소로 I_{on} 전류는 증가하나 유효 게이트 길이의 감소로 SCE등의 문제가 발생하게 된다. 그러므로 UL을 같이 조절하여 I_{off} 의 감소와 I_{on} 의 증가를 동시에 구현할 수 있도록 LDG와 UL을 최적화하는 것이 필요하다.^[9~11]

먼저 LDG는 그림 7 (a)에서 보는 바와 같이 소스와

드레인의 도핑이 어떠한 기울기를 갖으며 기판에 영향을 주는지 나타내는 척도이다. LDG는 도핑이 10배 감소하는데 필요한 거리를 나타낸 값으로 LDG가 증가할수록 소스와 드레인이 기판 쪽으로 많이 침투하는 것을 의미한다. 따라서 유효 게이트 길이가 감소하며 SCE가 증가하게 된다. UL은 게이트로부터 소스와 드레인이 떨어진 거리를 의미한다. 따라서 그림 7 (b)에서 보는 바와 같이 UL값이 감소하면 소스와 드레인의 영향이 증가하지만 UL값이 증가하면 소스와 드레인 도핑이 게이트 쪽에서 떨어져 분포하므로 유효 게이트 길이가 증가한다. 이와 같은 특징을 가지고 장채널과 단채널에서 LDG와 UL을 변화시키면서 소자 특성 변화를 분석하였다.

그림 8은 S/D tunneling 전류가 작은 $L_g=10nm$ 소자를 분석한 것으로 8 (a)는 서로 다른 LDG에 따른 I_{on} -UL 그래프이다. LDG가 큰 경우 채널 쪽으로 소스와 드레인의 영향이 증가하여 유효 게이트 길이가 감소하게 된다. 따라서 I_{on} 이 최대 값을 갖는 UL이 증가하게 된다. 하지

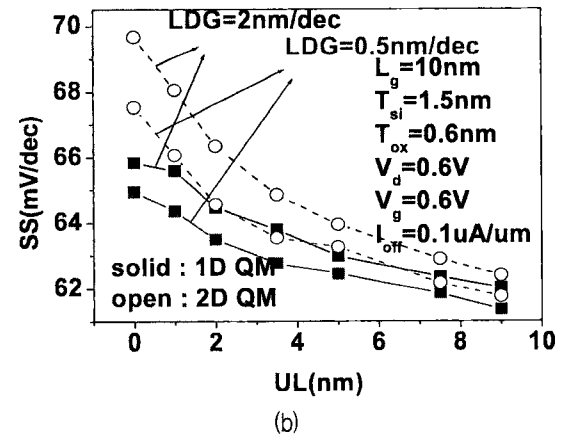
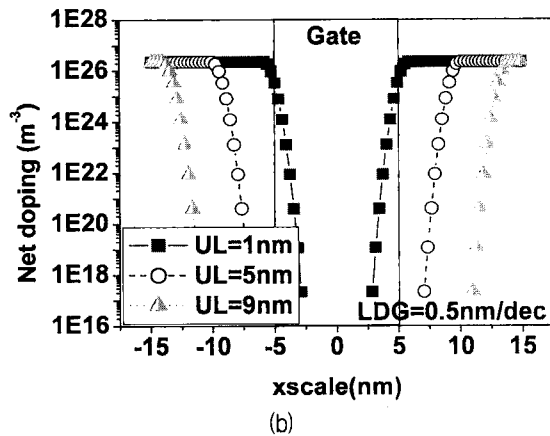
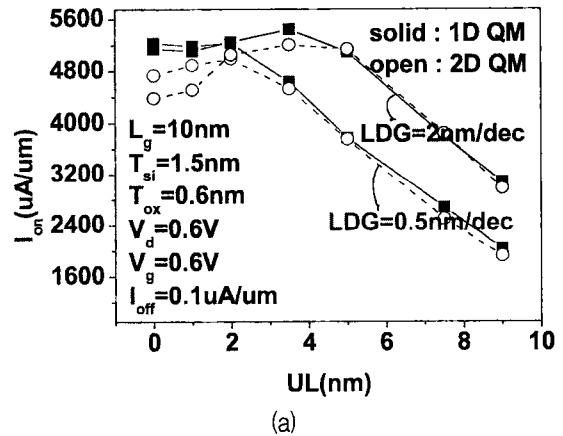
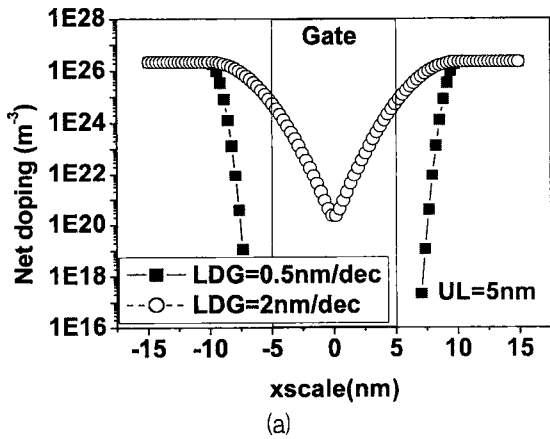


그림 7. (a) LDG와 (b) UL의 변화에 따른 소자 내부 도핑

그림 8. 장채널에서 서로 다른 LDG에 따른 (a) I_{on} vs. UL과 (b) SS vs. UL

Fig. 7. Net doping concentration of various (a) LDG and (b) UL.

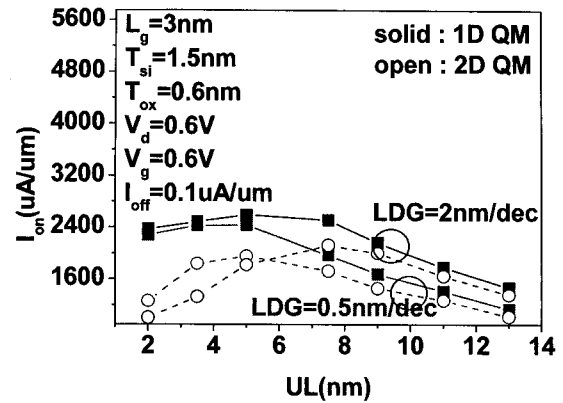
Fig. 8. (a) I_{on} vs. UL and (b) SS vs. UL characteristics for various LDG in the long channel.

만 LDG가 증가하면 소스와 드레인 저항이 감소하므로 같은 UL에서 전류가 증가한다. $L_g=10\text{nm}$ 의 장채널 소자는 S/D tunneling 전류의 영향이 적고, ballistic transport 영역이므로 I_{on} 은 증가하여 ITRS 기준값인 약 3000 $\mu\text{A}/\mu\text{m}$ 를 매우 잘 만족하는 것을 알 수 있다.

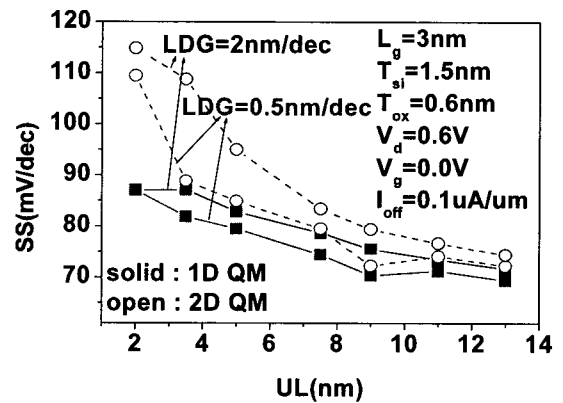
그림 8 (b)는 SS-UL 그래프로 UL이 작은 경우는 채널 쪽으로 소스와 드레인의 영향이 증가하므로 SCE가 증가하여 SS가 증가한다. LDG가 큰 경우도 소스와 드레인의 영향이 증가하므로 SS가 증가하게 된다. 또한 양자 효과를 고려한 2D QM 모델은 장벽의 S/D tunneling 전류를 함께 고려하므로 SS가 더욱 증가하게 된다. 하지만 S/D tunneling 전류에 따라 SS값이 매우 증가해도 약 70mV/dec 이상으로 증가하지 않으므로 $L_g=10\text{nm}$ 인 장채널은 매우 이상적인 소자 특성을 가짐을 알 수 있다.

그림 9 (a)는 단채널 ($L_g=3\text{nm}$)에서 서로 다른 LDG에 따른 I_{on} -UL 그래프이다. 단채널이므로 최대 I_{on} 이 흐르는 UL값이 장채널에 비해서 증가하는 것을 알 수 있다. 또한 S/D tunneling 효과에 의하여 1D QM 모델과 2D QM 모델의 차이가 증가한다. 앞의 그림 6 (b)에서 알 수 있듯이 게이트 길이가 감소할수록 전류 기준값을 만족하지 않는다. $L_g=3\text{nm}$ 인 소자의 경우도 ITRS 기준값인 3000 $\mu\text{A}/\mu\text{m}$ 을 만족하지 않는다. 특히 S/D tunneling 전류에 의하여 I_{off} 가 매우 증가하므로 ballistic 특성으로 I_{on} 이 증가한다 하더라도 I_{off} 값을 일함수 조절에 의해서 ITRS 기준값에 맞추면 I_{on} 은 매우 감소하게 된다. 따라서 LDG와 UL로 I_{on} 값을 최적화하는 것이 중요하다. LDG가 2nm/dec인 경우 소스와 드레인의 저항 감소로 인하여 I_{on} 이 최대값을 가지나 UL이 작은 경우 SCE에 의해서 I_{on} 이 감소한다. 또한 UL이 작은 경우 S/D tunneling 전류가 매우 증가하여 1D QM 모델과 2D QM 모델의 차이가 증가한다. 극미세 소자에서 S/D tunneling 전류가 I_{off} 에 매우 중요한 요소이므로 LDG 증가로 인하여 S/D tunneling 전류가 증가하는 것은 바람직하지 않다. LDG가 0.5nm/dec인 경우는 I_{on} 의 최대값이 LDG=2nm/dec인 경우보다 감소하나 SCE가 감소하므로 작은 UL값에서는 더 큰 I_{on} 을 갖는다. 또한 1D QM 모델과 2D QM 모델의 차이도 감소한다.

그림 9 (b)는 단채널에서의 서로 다른 LDG에 따른 SS와 UL 그래프이다. 단채널의 경우는 SCE가 증가하여 장채널에 비해 SS값이 증가한다. 또한 UL이 감소하고 LDG가 증가할수록 S/D tunneling 전류의 증가로 인하여 SS가 매우 증가하는 현상을 볼 수 있다. LDG=2nm/dec의 경우는 S/D tunneling 전류와 더불어 SCE에 의해서



(a)



(b)

그림 9. 단채널에서 서로 다른 LDG에 따른 (a) I_{on} vs. UL과 (b) SS vs. UL

Fig. 9. (a) I_{on} vs. UL and (b) SS vs. UL characteristics for various LDG in the short channel.

SS가 매우 증가하므로 LDG를 증가시키는 것은 단채널 특성을 매우 나쁘게 한다. 따라서 LDG를 0.5nm/dec로 유지하면서 I_{on} 의 증가와 함께 UL로 SCE를 제어하는 것이 중요하다.

그림 10는 S/D tunneling 전류의 영향으로 인해 SCE가 증가하는 $L_g=3\text{nm}$ 에서 DG-MOSFET를 최적화하기 위한 UL을 나타낸 그래프이다. LDG의 증가는 SCE로 인하여 SS를 매우 증가시키므로 0.5nm/dec를 기준으로 하였다. 그림을 보면 UL값이 작은 경우 DIBL값이 100mV보다 훨씬 큰 값을 갖고, 그림 9 (b)에서 알 수 있듯이 SS 역시 80mV/dec보다 매우 증가하는 SCE를 보인다. 하지만 UL값을 증가시키면 상대적으로 유효 게이트 길이가 증가하므로 SCE가 감소한다. UL값이 약 5nm인 경우 I_{on} 이 최대값을 갖지만 DIBL이 약 130mV와 SS가 약 85mV/dec로 소자 특성이 좋지 않으므로 UL값을 조금 증가시켜 SCE를 감소하여 I_{on} 은 약간 손해를 보더라도 DIBL과 SS의 이득을 볼 수 있는 UL값을 찾는 것이 중요

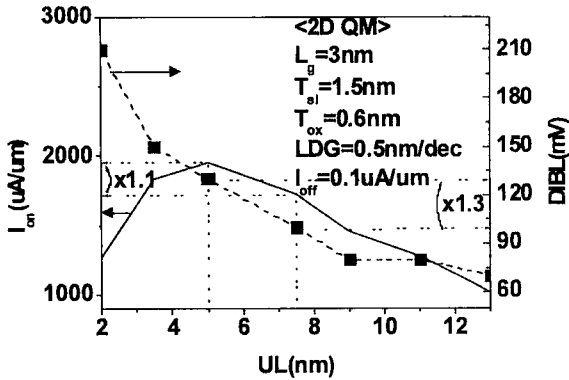


그림 10. LDG=0.5nm/dec인 경우 UL 최적화
 Fig. 10. optimized UL at LDG=0.5nm/dec.

하다. 따라서 UL값이 약 7.5nm인 경우 전류가 약 1.1배 감소하지만 DIBL이 약 100mV, 그림 9 (b)의 SS가 약 80mV/dec로 소자 특성이 좋아진다. 따라서 소자가 극미세화 되는 경우 t_{si} 의 감소뿐만 아니라 LDG를 약간 증가시켜 소스와 드레인의 저항을 감소시켜 전류를 증가시키는 동시에 최적화된 UL값으로 SCE를 제어하여 소자 특성을 최적화시키는 것이 중요하다.

IV. 결 론

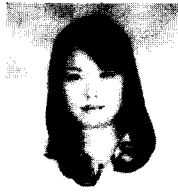
본 논문에서는 SCE에 효과적인 DG-MOSFET의 소자 특성을 2차원 양자 효과를 고려하여 분석하였다. NEGF를 이용하여 2D 양자효과 및 ballistic transport를 고려하는 시뮬레이터를 사용하였다. S/D tunneling 전류는 2D 양자효과에 의하여 장벽보다 낮은 에너지를 가지면서 장벽을 통과하여 지나가는 전류이다. L_g 가 10nm이하로 감소하면 S/D tunneling에 의하여 subthreshold 전류가 급격히 증가하였다. 이러한 극미세 DG-MOSFET의 특성을 최적화하기 위하여 UL과 LDG를 변화시키며 분석하였다. 우선 장채널에서는 UL과 LDG에 따른 1D QM 모델과 2D QM 모델의 차이가 적어 그 영향이 작은 것을 알 수 있었다. LDG가 증가하는 경우, 소스와 드레인 저항이 감소하여 I_{on} 전류가 증가하였으나 SCE 역시 증가한다. UL이 증가하는 경우, SCE가 감소하였다. 단채널에서는 UL과 LDG의 영향이 증가하였고, 장채널에 비하여 최적화된 UL이 증가하는 차이를 보였다.

이러한 연구 결과에 따라 DG-MOSFET의 SCE와 S/D tunneling 전류를 조절하기 위하여 t_{si} 가 작고 일정한 값 이상의 LDG를 갖으며 최적화된 UL값을 가지는 최적화된 소자 구조에 대한 분석을 수행하였다.

참 고 문 헌

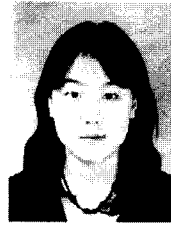
- [1] F. Balestra, S. Cristoloveanu, M. Benachir, J. Brini, and T. Elewa, "Double-Gate Silicon-on-Insulator with Volume Inversion: A New Device with Greatly Enhanced Performance," *IEEE Electron Device Letters*, vol. 8, no. 9, pp. 410-412, Sep 1987.
- [2] T. Tanaka, H. Horie, S. Ando, and S. Hijiya, "Analysis of p+ Poly Si Double-Gate Thin-Film SOI MOSFETS," *IEDM Tech Digest*, pp. 683-686, Dec 1991.
- [3] K. Suzuki and T. Sugii, "Analytical Models for n+-p+ Double-Gate SOI MOSFET's," *IEEE trans. on Electron Devices*, vol. 42, no. 11, pp. 1940-1948, Nov 1995.
- [4] Z. Ren, "Nanoscale MOSFETs: Physics, Simulation and Design," Purdue University, pp. 41-64, 2001.
- [5] S. Datta, "Nonoscale Device Modeling: the Green's function method," *Superlattices and Microstructures*, vol. 28, no. 4, pp. 253-278, July 2000.
- [6] J. Wang and M. Lundstrom, "Does Source-to-Drain Tunneling Limit the Ultimate Scaling of MOSFETs," *IEDM Tech Digest*, pp. 707-710, San Francisco, USA., Dec 2002.
- [7] M. Bescond, J.L. Autran, D. Munteanu, N. Cavassilas, and M. Lannoo, "Atomic-scale Modeling of Source-to-Drain Tunneling in Ultimate Schottky Barrier Double-Gate MOSFET's", in *Proc. of IEEE Conf. on ESSDERC*, pp. 395-398, Estoril, Portugal., Sept 2003.
- [8] <http://www.nanohub.org/>
- [9] R.S. Shenoy and K.C. Saraswat, "Optimization of Extrinsic Source/Drain Resistance in Ultrathin Body Double-Gate FETs," *IEEE trans. on Nanotechnology*, vol. 2, no. 4, pp. 265-270, Dec 2003.
- [10] A. Kranti and G.A. Armstrong, "Engineering Source/Drain Extension Regions in Nanoscale Double Gate (DG) SOI MOSFETs: Analytical Model and Design Considerations," *Solid-State Electronics*, vol. 50, no. 3, pp. 437-447, Mar 2006.
- [11] M.Y. Kwong, R. Kasnavi, P. Griffin, J.D. Plummer, and R.W. Dutton, "Impact of Lateral Source/Drain Abruptness on Device Performance," *IEEE trans. on Electron Devices*, vol. 49, no. 11 pp. 1882-1890, Nov 2002.

저 자 소 개



김 지 현(학생회원)
2005년 이화여자대학교
정보통신학과 학사 졸업.
2007년 이화여자대학교
정보통신학과 석사 졸업.
2008년 현재 이화여자대학교
전자공학과 박사 2년차.

<주관심분야 : 메모리 설계, 반도체>



손 애 리(학생회원)
2007년 이화여자대학교
정보통신학과 학사 졸업.
2008년 현재 이화여자대학교
전자공학과 석사 2년차.
<주관심분야 : 메모리 설계, 반도체>



정 나 래(학생회원)
2008년 이화여자대학교
정보통신학과 학사 졸업.
2008년 현재 이화여자대학교
전자공학과 석사 1년차.
<주관심분야 : 메모리 설계, 반도체>



신 형 순(정회원)
1982년 2월 서울대학교
전자공학과 졸업 (학사).
1984년 12월 미국 University of
Texas at Austin 졸업
(석사).
1990년 5월 미국 University of
Texas at Austin 졸업
(박사).

1990년~1994년 LG 반도체 근무.
1995년~현재 이화여자대학교 공과대학
전자공학과 교수.
<주관심분야 : 반도체 소자구조, 모델링.>