

# 저전력 아날로그 회로기술

Low-Power Analog Circuit Design

IT-에너지 융합부품소재 특집

전영득 (Y.D. Jeon)	아날로그신호처리팀 선임연구원
조민형 (M.H. Cho)	아날로그신호처리팀 선임연구원
이희동 (H.D. Lee)	아날로그신호처리팀 선임연구원
권종기 (J.K. Kwon)	아날로그신호처리팀 팀장
김종대 (J.D. Kim)	NT융합부품연구부 부장

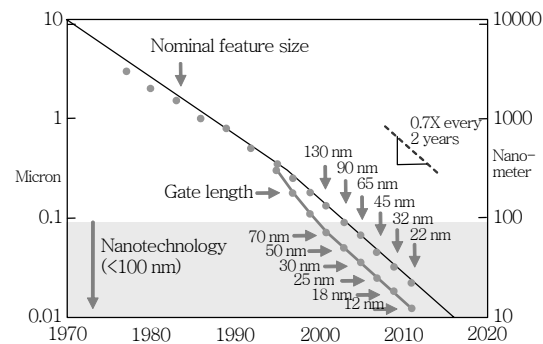
## 목 차

- .....
- I . 서론
  - II . 저전압 회로기술
  - III . 아날로그 회로기술 동향
  - IV . 저전압 아날로그 특허 동향
  - V . 결론

CMOS 공정의 가속적인 스케일링에 의해 CMOS 기술은 종래의 마이크론기술에서 나노기술로 변해가고 있다. 이러한 반도체 소자 및 제작기술에 따른 온도와 공정의 변화에 매우 민감한 부분인 아날로그 회로는 설계 초기단계에서 중요한 요소들(이득, 누설 전류, 잡음 및 부정합 등)을 재검토할 필요가 있다. 또한, 나노 CMOS 공정을 사용한 1.0 V 이하의 저전압 동작에서는 아날로그 신호의 동적영역 확보가 어렵고 잡음이 증가하므로 새로운 패러다임을 적용한 혁신적인 아날로그 회로기술 개발이 필요한 실정이다. 이에 따라, 본 고에서는 그린기술(green technology)의 한 요소로서, 나노 CMOS 공정기술을 이용한 1.0 V 이하 전원전압의 저전력 아날로그 회로기술 동향과 관련 특허동향에 대해서 살펴보고자 한다.

## I. 서론

광대역화 및 모바일 컨버전스에 발맞춘 다양한 정보통신 서비스의 요구와 이에 따른 시스템의 다기능화 추세를 만족시키기 위한 부품기술로서의 CMOS는 이제 feature size 및 게이트 폭이 한국인 평균 머리카락 굵기의 500분의 1 정도인 100 nm 이하의 기술에 의해 고집적도를 지향하며 계속해서 성능향상을 하고 있다. 특히, 최근 마이크로프로세서 기술을 예로 보면, 온-칩 캐시 메모리의 증가로 인해 고집적화 경향이 더욱 빨라지고 있으며, 집적된 트랜지스터의 수는 10억 개에 이르고 있다. (그림 1)에서는 현재 생산되고 있는 칩에서 트랜지스터의 게이트가 100 nm 이하까지 내려가고 있음을 보이고 있다. 이 수치는 가장 단순하고 작은 유기 생체인 바이러스와 비슷한 크기이다. CMOS 기술은 종래의 마이크로 기술에서 이제 나노 기술을 향해 진행하고 있으며, 이에 따른 1.0 V 근방의 전원전압에서 동작하는 저전압 설계가 매우 중요한 관심사가 되고 있다. 본 고에서는 저소비전력(low power) 특성과 함께 신호 대비 잡음(SNR) 및 동작속도 등을 보장하기 위한 저전력 아날로그 회로설계 기술의 최근 동향에 대해 기술한다.



<자료>: Intel

(그림 1) 트랜지스터 Feature Size 및 게이트 폭 스케일[1]

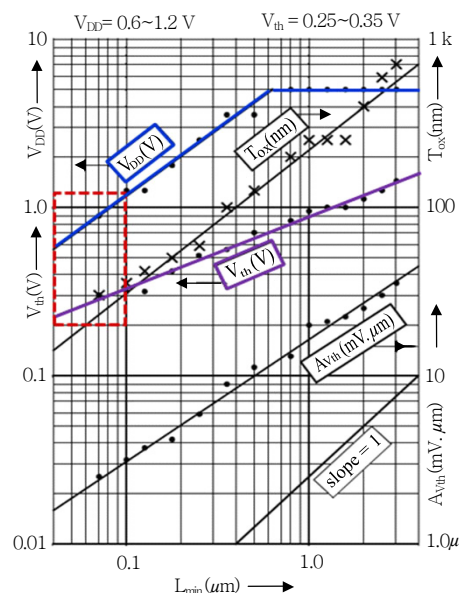
## II. 저전압 회로기술

종래의 마이크로 기술에서의 전원전압( $V_{DD}$ )의

크기는 신호의 동적영역과 대역폭을 보장하는 범위에서 문턱전압(threshold voltage:  $V_{th}$ )과의 일정 비를 유지하면서 트랜지스터의 크기 축소에 따라 점차 선형적으로 감소되어 왔다. 하지만 100 nm 이하의 기술에서는 전원전압에 대한 문턱전압의 선형적 감소율이 보장되지 않기 때문에 이전 공정기술에서보다 오히려 회로설계 측면에서 대단히 열악한 상태에 직면하게 된다(그림 2) 참조). CMOS 제조기술이 미세화되면, 얇아지는 산화층 두께( $T_{ox}$ )에 의해 메탈 연결선 저항이 증가하며, 문턱전압 감소에 따른 누설전류가 심각한 문제로 대두된다. 또한, 보다 더 정밀을 요하면서도 오히려 부정확해지는 마스크 정의와 게이트 영역에서의 비록 극소수이지만 불순물에 의한 부정합도 새로운 문제거리가 된다.

웨이퍼상의 공간적 부정합보다는 미세화된 트랜지스터 고유의 부정합이 더 심각해지고 있으며, 이는 전류 변이와 문턱전압 부정합( $\Delta V_{th}$ )으로 나타난다.

한편, 트랜지스터가 작아지면 표면결함(surface defect)에 기인된 flicker( $1/f$ ) 잡음 또한 DC에서부터 심지어 10 MHz 근방까지도 열잡음(thermal noise) 보다 크게 나타나게 되고, 그 영향이 회로의



(그림 2) Deep-submicron CMOS에서 전원전압 및 문턱전압[2]

정확도에 심각하게 작용하게 된다.

이와 같이 문제들은 회로 성능에 바로 그 영향을 미치게 되므로 요구되는 SNR 등을 위해서는 새로운 개념의 저전압 회로기술이 필요하다. SNR은 소모전력과 비례적 관계에 있기 때문에 저전압 동작에서의 전력 스케일링(power scaling)은 대단히 중요한 설계의 기준점이 된다. 디지털 설계에서의 소모전력은 식 (1)에서 보듯이 공정기술에서  $C$  및  $V_{DD}$  값의 증감에 의해 스케일링이 비교적 용이하다.

$$P_{digital} = (1/2) \times CV_{DD}^2 f \quad (1)$$

반면, 아날로그의 소모전력은 디지털의 경우와는 달리 식 (2)와 같이 스케일링이 그리 간단하지 않다.

$$P_{analog} = 8(V_{DD}/V_{swing}) \times kTf \times (SNR) \quad (2)$$

따라서 아날로그는 전원전압, 산화층 두께, 부정합 파라미터( $A_{Vth}$ ) 등 공정에서 스케일링이 가능한 요소들에 대한 고려는 물론이고 동적영역 확보를 위한 저전압 회로기술, 선형성 확보를 위한 클러 및 이득 부스팅 기법, 스위치 증폭기, 입력 공통모드(common mode) 범위 및 이득 범위를 염두에 둔 저잡음 증폭기, auto-zero 혹은 average 기법 등의 매칭개선 기법을 적용하여 설계해야 한다. 약 0.3 V 정도가 한계일 것 같은 문턱전압 감소에 기인된 누설전류 문제는 동적 전원전압을 사용하는 방법도 있을 수 있다.  $1/f$  잡음은 트랜지스터의 게이트 폭과  $1/L_{eff}^2$ 의 비례관계에 있으므로 긴 채널(long channel) 선택에 의해 그 영향을 최대한 줄여야 한다. 저전압 설계에서는 전압여유(voltage headroom)가 부족하기 때문에 트랜지스터의 multiple stacking 및 다중 채널 폭의 사용을 가능한 피하고, differential 또는 pseudo-differential 신호에 의한 새로운 회로구조를 제안하여 SNR을 확보해야 한다. 바이어스는 전류형태로 distribution 함으로써 잡음 및 배선에서의 전압강하에 의한 전압변이에 대처하도록 해야 전체 회로의 정확도를 성취할 수 있다. 또한, 신호의 수신 끝단에는 반드시 필터 기능을 구비하도록 하여 작아진 신호의 왜곡을 최대한 방지해야 한다.

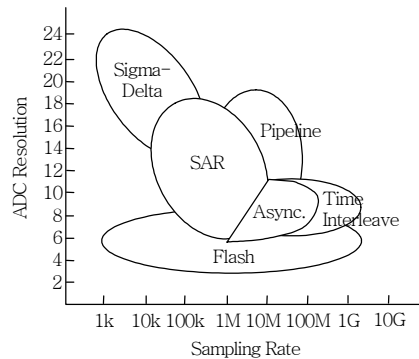
### Ⅲ. 아날로그 회로기술 동향

CMOS 공정의 미세화에 따라 몇 가지 주요 아날로그 회로기술에 대한 기술 동향을 살펴보고자 한다.

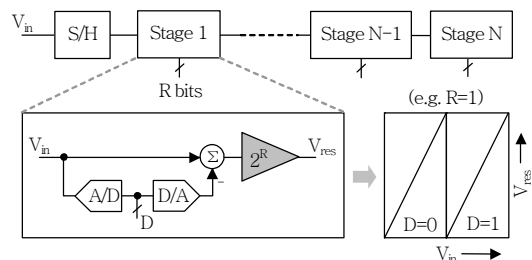
#### 1. 나이퀴스트(Nyquist) 신호변환기 기술 동향

아날로그-디지털 변환기(ADC)는 이름에서 알 수 있듯이 자연계에 존재하는 아날로그 신호를 잡음에 둔감하고 신호처리가 용이한 디지털 신호로 변환하는 회로이다. ADC에는 플래시(Flash) 구조, 파이프라인(pipeline) 구조, 폴딩(folding) 구조, 연속근사(SAR) 구조 등 요구되는 해상도와 동작속도에 최적화된 다양한 구조가 있다(그림 3) 참조. 그 중 일반적으로 응용시스템에 많이 적용되는 8~14 비트 해상도와 수 MHz~수백 MHz 동작속도를 가지는 ADC의 연구동향을 기술한다.

(그림 4)는 N단으로 구성된 파이프라인 ADC 구조이다. 여러 개로 구성된 배관파이프에 물이 순차



(그림 3) 동작속도 및 해상도에 따른 ADC 구조



(그림 4) 파이프라인 ADC

적으로 흐르듯이, 파이프라인 ADC는 1단에서 인가된 아날로그 입력신호의 일부분을 디지털 변환한 후 나머지 아날로그 신호를 다음 단으로 전달하고, 2단은 앞단에서처럼 동작하며, 총 N단을 순차적으로 거친 후 완전한 디지털 코드로 변환된다. 각 단은 서브-ADC, DAC, 그리고 증폭기로 구성되며, 특히 증폭기는 파이프라인 ADC의 80% 이상의 아날로그 전력을 소모하고 전원전압의 감소에 따라 설계의 제약이 가장 많이 받는 블록 중 하나이다. 이와 같이 증폭기를 기반으로 하는 ADC는 공정이 세밀화 될수록 저전압/저전력 회로설계를 요구하며, 동시에 설계 난이도가 증가하는 문제에 직면한다.

일반적으로 요구되는 해상도의 성능을 얻기 위하여 증폭기의 DC 이득은 식 (3)을 만족하여야 한다.

$$G_{DC} > 6 \times \text{Bit} + 10 \quad (3)$$

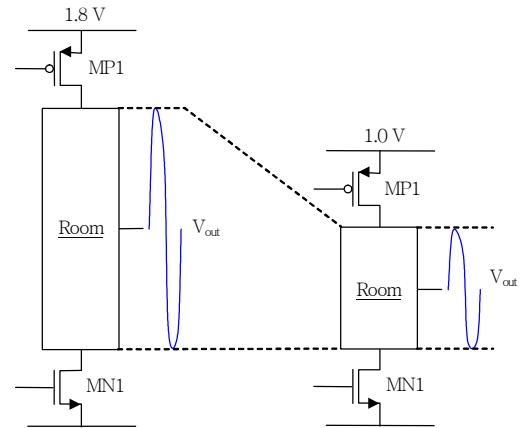
여기서  $G_{DC}$ 는 증폭기의 DC 이득이며, Bit는 ADC의 해상도를 의미한다. 예를 들어 12 비트 ADC를 설계하기 위해 82 dB 이상의 DC 이득을 갖는 증폭기가 요구되지만, 65 nm 또는 45 nm 공정에서 기존의 증폭기 구조를 사용하여 고이득을 얻기가 쉽지 않다.

또한, ADC의 성능을 나타내는 여러 지표 중 대표적인 것으로 SNDR이 있다. 원하는 신호에 대하여 잡음과 고조파(harmonic frequency) 성분과의 비를 나타내는 것으로 식 (4)와 같이 계산된다.

$$\text{SNDR} = \text{Signal} / (\text{Noise} + \text{Distortion}) \quad (4)$$

여기서 signal은 신호의 크기, noise는 열 잡음과  $1/f$  잡음의 합, distortion은 모든 고조파 성분의 합을 의미한다.

(그림 5)는 증폭기의 출력단을 간단하게 나타낸 것으로, 전원전압에 따른 출력신호의 크기를 볼 수 있다. 0.18  $\mu\text{m}$  CMOS 공정에서는 1.8 V 전원전압을 사용하기 때문에 NMOS(MN1) 및 PMOS(MP1)의  $V_{DS}$  전압을 0.2 V로 가정한다면, 출력전압은 최대 1.4 V까지 가능하다. 그러나 90 nm 이하의 미세 공정에서는 1.0 V 이하 전원전압을 사용하고  $V_{DS}$ 의 변화는 거의 없기 때문에 최대 출력전압이 0.6 V로

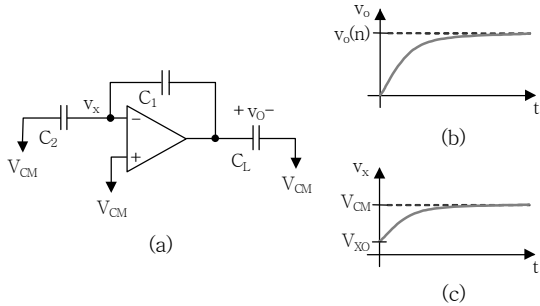


(그림 5) 전원전압에 따른 증폭기의 출력신호 크기

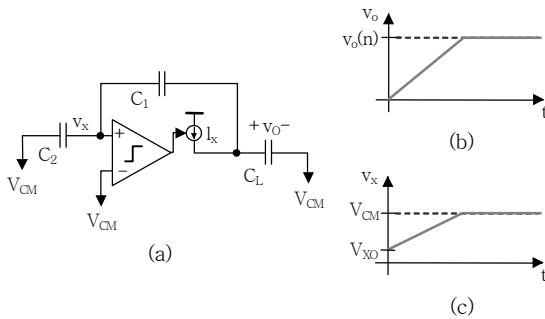
50% 이상 감소하게 된다. (4)에서 잡음 및 고조파 성분이 일정하고 신호크기만 작아지기 때문에 회로를 동일하게 설계한다고 하더라도 ADC의 해상도가 1 비트 이상 감소한다.

저전압 저전력 환경에서 요구되는 성능을 만족시키기 위하여 ADC의 최근 동향은 크게 세 가지로 나눌 수 있다. 첫번째 방식은 회로의 단순화 또는 불필요한 회로를 제거하는 것이다. 증폭기를 기반으로 한 스위치-커패시터 회로(그림 6)은 출력신호가 slew 구간에서 exponential하게 증가하는 경향을 보여주고 신호가 원하는 값으로 정착되더라도 증폭기는 일정한 전류를 계속하여 소모한다. 이를 해결하기 위하여 증폭기를 비교기와 전류셀로 대체하는 CBSC가 제안되었다(그림 7 참조)[3]. Slew 구간에서는 출력단에 일정한 전류를 공급하여 출력신호가 선형적으로 증가하도록 하고, 정착구간에서는 전류공급을 차단하여 출력신호가 홀딩(holding)하도록 함으로써, 전력소모를 최소화하고 낮은 전원전압에서도 설계가 용이한 장점이 있다. 그러나 정확도 면에서는 떨어지기 때문에 현재 8~10 비트 수준의 ADC가 CBSC 기법을 적용하여 구현되고 있다.

회로를 제거하는 방법으로는 인접한 증폭기를 공유하거나 필요하지 않은 블록을 없애는 것이다. 파이프라인 ADC에서는 여러 단으로 구성되어 있고 인접한 단은 서로 위상이 다른 클럭에서 동작하기 때문에 증폭기를 공유하여 전력소모를 최소화 할 수



(그림 6) 증폭기를 기반으로 하는 스위치-커패시터 구조 및 입출력 파형



(그림 7) 비교기를 기반으로 하는 스위치-커패시터 구조 및 입출력 파형

있다[4]. 그리고 입력단에 위치한 SHA는 아날로그 입력신호를 샘플링한 후 다음 반주기 클럭동안 신호를 홀딩하는 기능을 하므로 실제 신호의 디지털 변환에는 직접적으로 관여하지 않는 회로이다. 또한, 아날로그 신호의 특성상 회로가 거처갈수록 신호의 정확도는 떨어지기 때문에 SHA 회로를 제거하여 전력소모를 줄이고 신호의 정확도도 높일 수 있다[5].

두번째 방식은 저전압 저전력 구조에 적합한 ADC 개발이다. 최근 1~2년 사이 SAR ADC가 ISSCC에 많이 발표되고 있는데, 사실 SAR ADC의 구조는 새로 개발된 구조가 아니라 1980년대부터 ADC의 한 축을 담당하고 있는 구조이다. 일반적으로 SAR ADC는 하나의 비교기를 반복적으로 사용하는 ADC 구조로 회로가 간단하고, SHA와 같이 증폭기를 사용하는 아날로그 회로가 없기 때문에 면적과 전력소모를 최소화 할 수 있을 뿐 아니라 저전압 회로에 적용이 용이한 장점이 있다. 그러나, 동일회로를 반복적으로 사용하는 구조이기 때문에 동작속도가 제한

되는 단점이 있어 1 MHz 이하의 ADC에서만 주로 사용되어 왔다. 최근 CMOS 공정이 발달하면서 MOS의  $f_T$ (cut-off frequency)의 증가와 비동기(asynchronous) 기법의 발전으로 인하여 40~50 MHz에서 동작하는 SAR ADC가 발표되었고, 높은 해상도 구현을 위해 에러보정기법에 대한 연구개발이 동시에 활발히 이루어지고 있다[6].

마지막으로 디지털 보정기법을 적용한 ADC이다. 미세공정으로 인하여 이전보다 동일한 면적에 집적할 수 있는 게이트 수가 증가하면서 기존의 아날로그 회로에서 처리하던 신호를 디지털 회로에서 처리하는 것이 가능해지게 되었다. 기존의 보정기법은 ADC의 커패시터 매칭을 보정하여 12~14 비트 이상의 해상도를 얻기 위하여 적용되었지만, 최근에는 10~12 비트의 ADC를 구현하기 위하여 저전압 환경에서 설계가 어려운 아날로그 회로의 정확도를 낮추면서 이를 디지털회로에서 보정하려는 것에 초점이 맞추어져 있다. 예를 들어, 12 비트 ADC를 위하여 82 dB 이상의 고이득 증폭기를 설계하는 대신 30~40 dB의 저전력 증폭기로 설계를 하고, 여기서 발생하는 오차성분을 디지털회로를 사용하여 보정하는 방법이 대표적이다[7].

## 2. 시그마-델타 신호변환기 기술 동향

시그마-델타 신호변환기의 기본 개념은 나이퀴스트 샘플링 속도보다 매우 빠른 샘플링 주파수를 사용하는 오버샘플링 기법과 피드백을 이용한 잡음 변형기법을 이용하여, 낮은 비트의 양자화기로 높은 해상도의 출력신호를 얻는 것이다. 즉, 필요한 해상도를 동작 속도와 교환하여 얻는 방법이다. 시그마-델타 신호변환기의 장점은 필요한 해상도의 신호변환기를 설계함에 있어 아날로그 회로의 정확도 의존성이 크게 낮아진다는 점과 높은 비트를 얻는 과정이 디지털필터를 통해 이루어지므로 디지털 VLSI 공정을 통하여 용이하게 구현될 수 있다는 점이다.

시그마-델타 신호변환기 개념은 1962년 Inose [8]에 의해 처음 발표되었고, 이후 20년이 지나면서



CMOS를 이용한 VLSI 반도체기술이 발전함에 따라 오디오 및 음성용 신호변환기를 중심으로 각광을 받기 시작하여, 근래 오디오용으로는 100 dB 이상의 동적범위(dynamic range)를 갖는 고성능 시그마-델타 신호변환기가 사용되고 있다. 이후 앞에서 기술한 바와 같이 CMOS 공정기술의 발전에 따른 회로속도의 증가와 시그마-델타 신호변환기 구조설계 기술의 발전, 그리고 회로설계 기술의 발전이 수십 kHz에서 머물던 신호대역을 수십 MHz까지 증가시킬 수 있게 되었다. 그래서 시그마-델타 신호변환기의 응용분야는 기존의 오디오와 같은 협대역 분야를 뛰어넘어 유무선 통신시스템의 아날로그 front-end 신호처리 분야로 확대되고 있다.

유무선 통신시스템에서 시그마-델타 신호변환기, 특히 시그마-델타 ADC를 사용하는 이유는 단말기의 다중 표준 통신방식을 지원하기에 용이하고, anti-aliasing 필터 및 AGC의 설계조건이 완화되며, 아날로그회로의 비중이 낮아짐에 따라 저전압 CMOS 공정에 유리하기 때문이다. 그 결과, 전체 시스템을 저전력으로 구성할 수 있다.

이런 통신시스템용 광대역 시그마-델타 ADC의 해상도 확보를 위해서는 잡음변형필터의 차수를 높이거나, 잡음변형필터를 고속동작 시키거나, 양자화기의 해상도를 높여야 한다. 고속동작을 위한 저전압 공정을 이용함에 있어 잡음변형필터의 차수를 높이는 방법은 시그마-델타 ADC의 안정성 문제와 가용입력범위의 축소 문제로 인해 기술적용에 제약이 있다. 그래서 통신시스템용 시그마-델타 ADC의 최근 연구동향은 멀티비트 양자화기를 이용하고 연속시간회로를 통한 고속 잡음변형필터를 구현하는 연구에 그 초점이 맞춰져 있다.

연속시간 시그마-델타 ADC(이하 연속시간 ADC)는 기존의 이산시간 혹은 스위치드 커패시터 타입의 시그마-델타 ADC(이하 이산시간 ADC)에 비해 정착특성에 따른 성능저하 현상이 크지 않다. 따라서 이산시간 ADC에 비해 고속동작이 가능하다. 또한 내부 회로인 적분기의 연속시간 동작에 따라 anti-aliasing 기능을 본질적으로 보유하고 있으며, 이산

시간 회로에 비해 회로에서 발생하는 잡음의 영향이 낮아진다. 또한 이산시간 ADC에서는 글리치(glitch)가 VCO, LNA, Mixer 등의 블록에 영향을 주어 통신시스템 감도를 저하시킬 수 있는 것에 비해, 연속시간 ADC에서는 이러한 문제가 발생하지 않아 통신시스템 감도저하가 거의 없는 장점도 있다.

그러나 연속시간 ADC는 이산시간 ADC에 비해 높은 공정변수 민감도, 높은 클럭 지터(jitter) 민감도, 심볼간섭현상(ISI)이라는 문제점들이 있다. 이산시간 ADC는 잡음변형필터의 계수들이 커패시터 정착특성에 의해 결정되므로 회로의 계수정확도가 우수하나, 연속시간 ADC는 잡음변형필터의 계수들이 저항, 커패시터, CMOS의 트랜스컨덕턴스에 의해 결정되므로 잡음변형필터의 계수가 공정변화에 의해 크게 변화할 수 있다. 이런 계수의 변화는 전체 ADC의 성능을 크게 저하시킨다. 또한 연속시간 ADC는 잡음변형 필터내 DAC의 파형이 구형파인 경우, 연속시간 ADC에 인가되는 클럭의 지터는 DAC에 잡음으로 인가되는 되는 것과 같다. 그러므로 연속시간 ADC가 높은 해상도를 확보하기 위해서는 클럭의 지터특성이 매우 우수해야 한다. 이는 통신시스템 구성시 클럭발생기의 설계조건을 높이게 되어 비용을 증가시키는 원인이 될 수 있다. 그리고 DAC 파형의 비대칭적인 상승, 하강은 DAC 출력 신호간의 의존성 발생에 따른 심볼간섭현상(ISI)으로 전체 ADC의 해상도 저하를 초래할 수 있다. 또한 멀티비트 구조를 사용하는 경우, 잡음변형루프에 멀티비트 DAC를 필요로 하는데, 멀티비트 DAC는 DAC 소자의 부정합에 따라 비선형 특성을 가지고 있다. 이러한 비선형 특성 역시 ADC의 성능을 저하시키는 요인이므로, 이를 선형화하기 위한 기법이 요구된다.

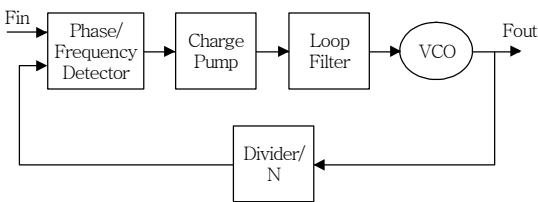
멀티비트 연속시간 시그마-델타 ADC는 통신시스템에서 이용하기에 많은 장점을 가지고 있어 좋은 선택임에도 불구하고, 본 절에 기술된 바와 같이 해결해야 하는 문제점들 역시 많이 있다. 따라서 최근 시그마-델타 신호변환기, 특히 ADC의 연구동향은 앞서 언급한 멀티비트 연속시간 시그마-델타 ADC

의 문제점 해결을 위한 잡음변형필터의 구조설계 기법, 회로설계 기법에 집중되고 있다.

### 3. 클럭발생기 기술 동향

전압제어발진기(VCO)는 유/무선 정보통신 단말기 내에서 사용되는 주파수 대역 가운데 송수신시 디지털 데이터에 의해 채널을 선정하는 주파수합성기의 일부분으로 사용되며, 외부에서 인가된 제어전압을 가변하여 원하는 발진주파수의 클럭신호를 출력해 주는 회로이다. 위상제어 루프(PLL)는 일반적으로 주파수합성기 또는 클럭발생기라고 하며, (그림 8)과 같이 VCO 및 분주기, 위상주파수 검출기, 전하펌프, 루프필터 등으로 구성되며, 부궤환 특성을 이용해서 온도나 날씨 등 주변환경에 영향을 받지 않고 출력신호의 주파수를 일정하게 유지시켜 주는 회로이다.

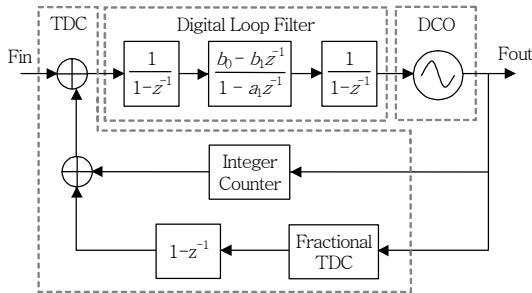
앞서 기술한 바와 같이 CMOS 공정기술의 급속한 스케일링에 의해 동일 면적에 집적되는 디지털 게이트 수가 급격히 증가하면서 낮은 추가 비용으로 아날로그 회로 튜닝과 개선된 보정기법을 수행할 수 있게 되었다. 디지털적으로 강화되는 아날로그 회로 기술 쪽으로 형성되는 현재의 기술 경향은 PLL과 VCO 회로 설계를 위한 패러다임을 기본적으로 변화시키고 있다. 데이터 변환기 클럭을 위한 VCO의 최근 연구 동향은 저전압/저전력 설계에 부합하도록 전원전압을 다른 디지털 블록과 동일하게 설정하고, 수동소자의 Q값의 향상으로 인해 작은 전류에도 발진특성을 유지하도록 연구되고 있다. 뿐만 아니라, 클럭 주파수 제어 방식이 아날로그 방식에서 디지털 방식으로 변화되고 있으며, 이에 대한 연구가 활발히 진행되고 있다[9].



(그림 8) 전하펌프 PLL 구조

PLL의 최근 연구동향은 다음과 같이 두 가지로 나누어 볼 수 있다. 첫번째 방식은 저전압과 미세화된 공정기술에 적합한 회로기법을 추가한 아날로그 PLL 방식이다. 다양한 회로기법 중의 하나로 듀얼 루프를 사용하는 PLL 방식이 있다. 하나의 루프는 넓은 대역폭을 가지고 있어서 저위상잡음 특성과 함께 빠른 정착시간을 가질 수 있으며, 다른 루프는 디지털적으로 조절되는 위상 조정기를 이용해서 유동성있는 클럭 scheme을 만들어 낼 수 있다[10]. 또 다른 회로기법인 다이내믹 바이어스 기법을 통해서 분주기 계수 및 온도, 공정변화에 상관없이 대역폭과 지터특성을 일정하게 유지시킴으로써 폭넓은 출력주파수 범위에서 회로의 안정도를 얻을 수 있다. 또한, 저전압 설계환경에서 더욱더 심해지는 전원잡음을 줄이기 위해서 정류회로를 사용하는 방법도 활발히 연구되고 있다. 그 중에서 듀얼 이득모드 VCO를 이용해서 고이득 협대역 제어루프와 저이득 광대역 정밀 제어루프로 나누고, 정류회로를 저이득 협대역 루프에 위치함으로써 추가적으로 발생하는 전력소모를 최소화하고 전원잡음 특성을 향상시키는 연구가 진행되고 있다[11].

두번째 방식은 ADPLL 방식이다. 앞서 기술한 아날로그 PLL에서는 전원전압 잡음 및 온도와 공정변동에 매우 민감하기 때문에 공정 migration 시, 아날로그 회로들을 재설계해야 하며, 미세화된 공정으로 갈수록 작은 가용전압범위와 큰 누설전류 등으로 인해 설계가 어려워지는 단점이 있다. 이와 더불어, 루프필터에 존재하는 R과 C로 인해 면적이 커진다. 이를 해결하기 위해 ADPLL이 대두되고 있다. ADPLL은 온도변화 및 전원전압 잡음에 둔감하고, 디지털 코딩 형태로 설계되기 때문에 공정 migration이 용이하며, 그 설계기간이 짧다. 특히 CMOS 공정이 미세화 될수록, 전원전압이 낮아질수록 위의 장점은 더욱 부각된다. (그림 9)와 같이 아날로그 회로가 강조된 PLL 블록들, 즉 VCO 및 전하펌프와 루프필터가 DCO, TDC, 그리고 디지털 루프필터로 대체되고 있으며, 그 결과로 ADPLL 형태로 진화하고 있다 [12]. 위의 구조는 저가격 고집적 디지털 CMOS 공



(그림 9) All-digital Fractional-N PLL 구조[12]

정기술로 구현하는 데 적합하다. 뿐만 아니라 PLL에서 존재하는 위상잡음과 스퓨리어스 톤을 DSP 기술의 장점을 활용한다면 크게 감소시킬 수 있다. 그리고, 집적회로 외부에 존재하던 크리스털 발진기도 주파수 변동에 대한 디지털 보정기술 향상으로 인해 실리콘으로 대체가 가능해질 것이다[13].

최근 클럭발생기 경향은 고집적도를 가지는 혼성 SoC의 PLL과 발진기의 성능 향상을 위한 새로운 디지털 기법에 집중되고 있다.

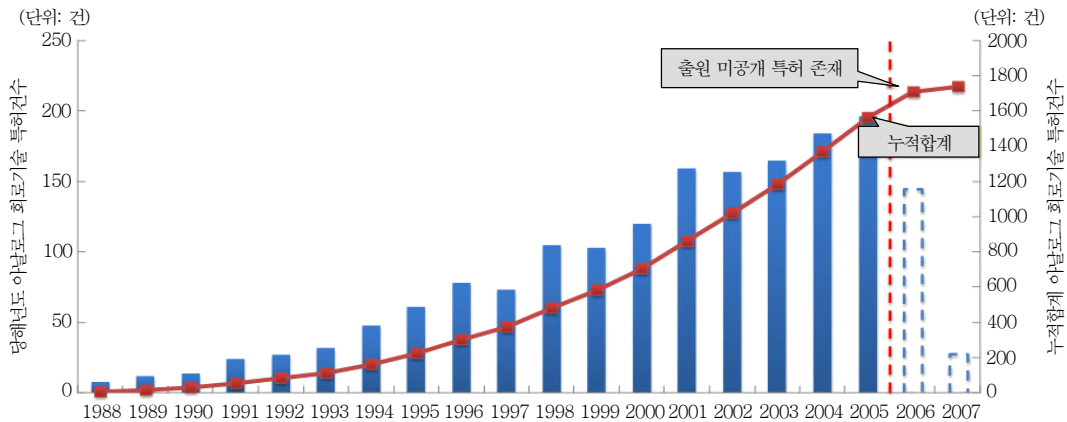
#### IV. 저전압 아날로그 특허 동향

1988년 이후 저전압 아날로그 회로기술 분야의 전체 특허출원 동향을 분석해보면 (그림 10)과 같이 출원건수가 지속적으로 증가 추세를 보이며 저전압 아날로그 회로기술에 대한 꾸준한 연구활동이 수행되고 있는 것으로 파악된다. (단 2006년 이후 특허

출원건수가 감소하는 것으로 나타나는 것은 미공개 기간 1년 6개월 동안의 데이터가 반영되지 못한 것에 의한 것으로, 실제 출원이 감소한 것은 아님)

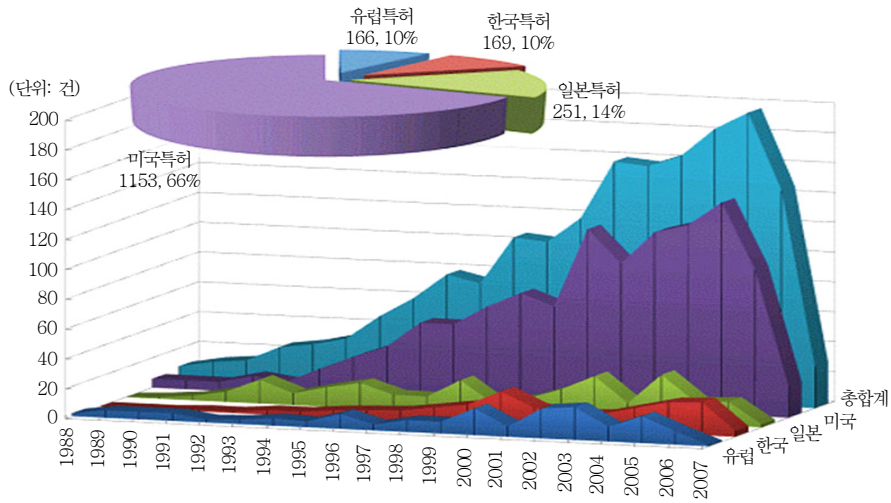
(그림 11)은 저전압 아날로그 회로기술의 국가별 전체 특허동향을 나타낸 것으로, 그 점유율을 보면 미국(66%)-일본(14%)-한국(10%)-유럽(10%)의 순으로 출원 점유율을 나타내고 있으며, 모든 국가의 출원 건수 역시 전체 특허출원 동향과 마찬가지로 지속적인 증가 추세를 보이고 있고, 이를 포트폴리오맵을 통해 분석을 해보면 전체 동향 및 각 국가별 발전단계 모두 발전기에 있는 것으로 파악된다. 이중에서 미국의 저전압 아날로그 회로기술 관련 특허 출원 점유율이 대략 66%를 차지하고 있어 미국을 중심으로 저전압 아날로그 회로기술 관련 지적재산권 확보 활동 및 기술경쟁이 치열하게 일어나고 있음을 파악할 수 있다. 그리고 특허 출원인의 국적별 특허출원 점유율을 살펴보면 미국(53%)-일본(24%)-한국(6%)-독일(6%)-대만(3%)의 점유율을 보여주고 있으며, 여기에서도 역시 미국 중심으로 저전압 아날로그 회로기술의 개발 및 특허활동이 활발히 진행되고 있는 것으로 파악할 수 있다. 그리고 우리나라의 경우 1990년대 중반 이후 저전압 아날로그 회로기술에 대한 특허활동이 급격하게 증가한 것을 확인할 수 있다.

(그림 12)는 저전압 아날로그 회로기술 관련 특허를 주요 아날로그 기능블록별 특허동향으로 분석

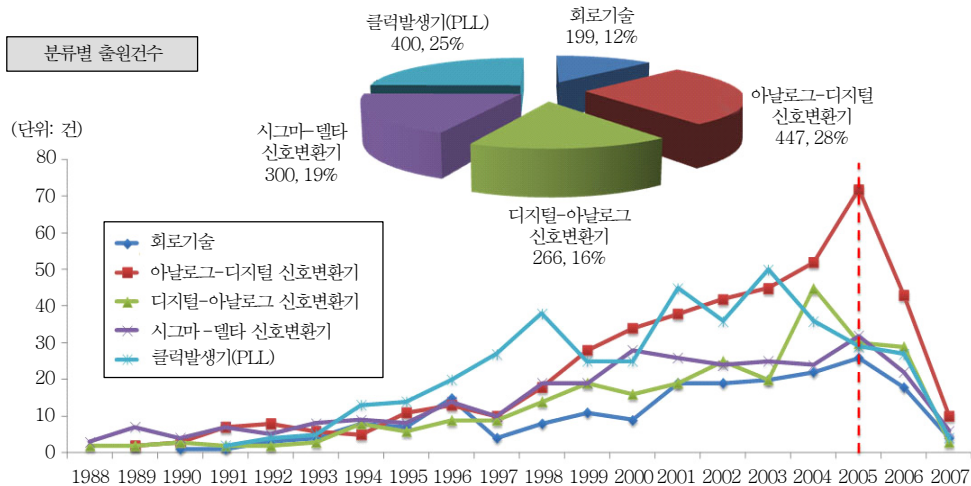


(그림 10) 아날로그 회로기술의 연도별 특허 동향





(그림 11) 저전압 아날로그 회로기술의 연도별/국가별 전체 특허 동향



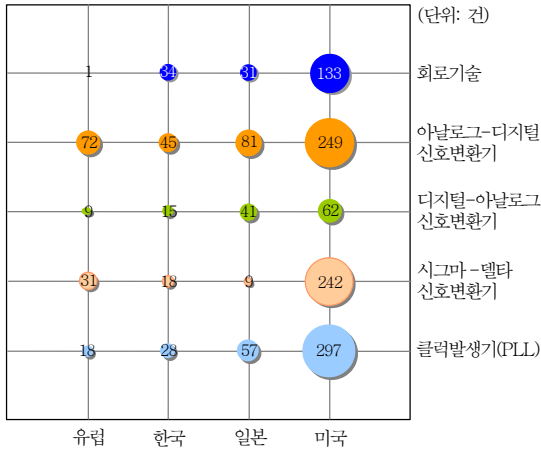
(그림 12) 주요 아날로그 기능블록별 저전압 회로기술 특허 동향

한 것으로 아날로그-디지털 신호변환기가 28%로 가장 큰 점유율을 차지하고, 다음으로 클럭발생기, 시그마-델타 신호변환기, 디지털-아날로그 신호변환기의 순으로 각각 25%, 19%, 16%의 점유율을 차지하고 있다. 이 중에서 특히 1990년대 중반 이후 아날로그-디지털 신호변환기, 클럭발생기에 대한 출원 건수가 가파르게 증가하는 모습을 보여 저전압 아날로그 회로기술 중 해당 기능블록에 대한 연구활동이 상대적으로 더욱 활발한 것으로 나타난다.

(그림 13)은 주요 아날로그 기능블록별 특허동향

을 국가별-기능블록별 분포현황으로 나타낸 것으로, 이를 살펴보면 모든 국가에서 아날로그-디지털 신호변환기에 대한 특허출원이 상대적으로 높은 비중을 차지하고 있음을 확인할 수 있다. 그리고 위에서 언급한 것과 마찬가지로 모든 기능블록별 특허활동과 연구 활동이 활발하게 진행되는 국가는 역시 미국임을 다시 한번 확인할 수 있다.

우리나라에서는 아날로그-디지털 신호변환기 다음으로 클럭발생기에 대한 특허출원이 활발하고, 일본도 마찬가지로 현상을 보여주고 있다. 그리고 유럽



(그림 13) 저전압 아날로그 회로기술의 국가별-기능블록별 특허분포 현황

은 다른 국가에 비해 시그마-델타 변조기에 관한 특허 출원이 활발한 것을 확인할 수 있다.

## V. 결론

미세화되어 가는 반도체 소자 및 공정기술에 따른 저전력 아날로그 회로기술의 수요는 보다 낮은 전원전압의 열악한 설계환경으로 인해 아날로그 회로구현을 더욱 더 어렵게 만들고 있다. 이러한 당면 문제점들은 회로 설계자들의 끊임없는 노력과 새로

### ● 용어해설 ●

**SNR:** 신호 대 잡음비를 뜻하는 것으로서, 잡음을 절대값이 아닌 신호전력과 비교 나타내는 이유는, 잡음의 영향이 절대적인 레벨값이 아니라 신호의 크기에 따라 비례적으로 영향을 주기 때문에 이와 같은 신호-잡음비를 통해 잡음이 어느 정도인지를 평가하는 것이다. 일반적으로 단위는 dB(데시벨)을 사용한다.

**CMOS:** 반도체소자의 일종으로서, NMOS와 PMOS의 조합으로 구성되어 있다. 흔히 0.13  $\mu\text{m}$  CMOS, 90 nm CMOS 등으로 불리우는 것은 CMOS 게이트 폭의 길이를 뜻하는 것으로 숫자가 작아질수록 MOS의 크기도 함께 줄어들어, 작은 면적에 많은 소자를 집적할 수 있다. 최근 CMOS 공정은 45 nm 이하로 낮아지고 있는 추세이며, 메모리 분야에서 CMOS 공정의 미세화를 주도하고 있다.

은 회로기법 개발을 요구하고 있다. 또, 미세소자를 이용한 고집적 회로에서는 고속 동작과 소비전력 사이의 상관관계를 고려한 유연성 있는 설계가 요구되고 있다. 전원전압 및 소비전력 감소에 따른 아날로그 기술의 패러다임의 변화는 나노 소자기반의 융합 부품기술에 접목되어 고효율 아날로그 회로의 원천 기술 확보와 함께 초기 시장 점유에 있어 유리한 입지를 점할 수 있으리라 전망된다. 나아가, 혁신적 선진기술 선도를 목표로 추진중인 그린산업의 정보통신기술, 생명공학기술, 나노기술 및 문화산업기술들을 포괄하는 이른바 녹색기술(green technology)의 실현을 위한 원천기술로서의 요소적 역할을 할 것으로 기대된다.

## 약어 정리

ADC	Analog-to-Digital Converter
ADPLL	All Digital PLL
AGC	Automatic Gain Control
CBSC	Comparator-based Switched Capacitor
CMOS	Complementary Metal Oxide Semiconductor
DAC	Digital-to-Analog Converter
DCO	Digitally Controlled Oscillator
DSP	Digital Signal Processing
ISI	Inter-Symbol Interference
ISSCC	International Solid-State Circuits Conference
PFD	Phase Frequency Detector
PLL	Phase Locked Loop
SAR	Successive Approximation Register
SHA	Sample-and-Hold Amplifier
SNDR	Signal-to-Noise and Distortion Ratio
SNR	Signal-to-Noise Ratio
SoC	System On Chip
TDC	Time-to-Digital Converter
VCO	Voltage Controlled Oscillator

## 참고 문헌

- [1] S. Chou, "Integration and Innovation in the Nano-electronics Era," *ISSCC Dig. Tech Papers*, Feb. 2005, pp.36-39.

- [2] K. Bult, "Analog Design in Deep Sub-micron CMOS," *2000 ESSCIRC*, Sep. 2000, pp.126-132.
- [3] J.K. Fiorenza et al., "Comparator-based Switched-capacitor Circuits for Scaled CMOS Technologies," *IEEE J. Solid-State Circuits*, Vol.41, No.12, Dec. 2006, pp.2658-2668.
- [4] Y.D. Jeon et al., "A 5-mW 0.26-mm<sup>2</sup> 10-bit 20-MS/s Pipelined CMOS ADC with Multi-stage Amplifier Sharing Technique," *ESSCIRC*, Sep. 2006, pp.544-547.
- [5] Y.D. Jeon et al., "A 4.7mW 0.32mm<sup>2</sup> 10b 30MS/s Pipelined ADC without a Front-end S/H in 90nm CMOS," *ISSCC Dig. Tech Papers*, Feb. 2007, pp. 456-457.
- [6] M. Hesener et al., "A 14b 40MS/s Redundant SAR ADC with 480MHz Clock in 0.13pm CMOS," *ISSCC Dig. Tech. Papers*, Feb. 2007, pp.248-249.
- [7] B. Murmann et al., "A 12-bit 75-MS/s Pipelined ADC Using Open-loop Residue Amplification," *IEEE J. Solid-State Circuits*, Vol.38, No.12, Dec. 2003, pp.2040-2050.
- [8] H. Inose et al., "A Telemetry System by Code Modulation- $\Delta$ - $\Sigma$  Modulation," *IRE Trans. Space Electron. Telemetry*, Vol.8, No.9, Sep. 1962, pp. 204-209.
- [9] J. Zhuang et al., "A 3.3GHz LC-Based Digitally Controlled Oscillator with 5kHz Frequency Resolution," *ASSCC*, Nov. 2007, pp.428-431.
- [10] A. Rylyakov et al., "A 0.4-4-Gb/s CMOS Quad Transceiver Cell Using On-chip Regulated Dual-loop PLLs," *IEEE J. Solid-State Circuits*, Vol.38, No.5, May 2003, pp.747-754.
- [11] A. Arakali et al., "A 0.5-to-2.5GHz Supply-Regulated PLL with Noise Sensitivity of -28dB," *IEEE CICC*, Sep. 2008, pp.443-446.
- [12] C. Weltin-Wu et al., "A 3GHz Fractional-N All-digital PLL with Precise Time-to-digital Converter Calibration and Mismatch Correction," *ISSCC Dig. Tech Papers*, Feb. 2008, pp.344-345.
- [13] S. Farahvash et al., "A Temperature-compensated Digitally-controlled Drystal Pierce Oscillator for Wireless Applications," *ISSCC Dig. Tech Papers*, Feb. 2008, pp.352-353.