

저전력 무선단말 SoC 기술

Low Power SoC Technology Wireless Terminals

IT-에너지 융합부품소재 특집

현석봉 (S.B. Hyun)

인체통신SoC개발팀 선임연구원

강성원 (S.W. Kang)

인체통신SoC개발팀 팀장

엄낙응 (N.W. Eum)

SoC연구부 부장

목 차

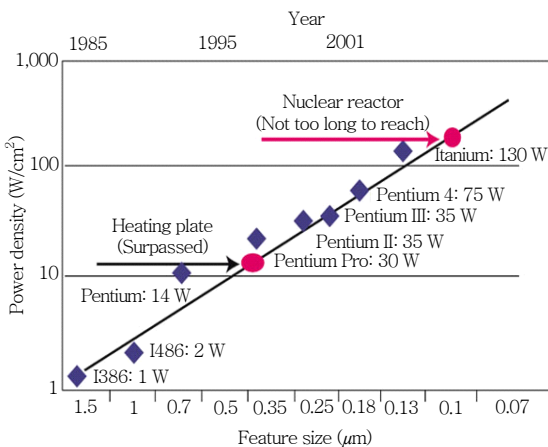
-
- I . 기술 개요
 - II . 국내외 연구 현황
 - III . 기술발전 전망
 - IV . 시사점 및 제언

전원관리 및 전력소모 절감 기술은 휴대폰, 노트북 등의 휴대 기기 사용이 보편화되고 다기능화, 고성능화함에 따라 지속적으로 발전해 왔다. 특히 반도체 소자의 선폭이 나노미터급으로 초미세화 됨에 따라 누설 전류가 급증하고 칩의 처리 성능을 높이기 위해 클럭 주파수를 높이면서 스위칭 전류 소모도 증가하므로, 이러한 동적/정적 전력소모 증가를 억제시킬 수 있는 다중 문턱전압 소자, DVFS, sub-threshold, 클럭 게이팅, 저전압 회로 기술이 SoC 설계에 점진적으로 적용되고 있다. 이에 본 고에서는 휴대폰용 부품을 중심으로, 무선 통신 기능을 갖춘 기기의 전력소모 요인을 분석하고 배터리 사용시간을 연장시킬 수 있는 저전력 SoC 기술 동향을 살펴보고자 한다.

I. 기술 개요

전력 소비량 및 배터리 사용량은 각종 IT 기기의 다양화, 고성능화에 따라 지속적으로 증가하는 추세이며, 한편으로 이에 대응하여 기기의 SoC화 및 효율적인 전력관리 소프트웨어 기술을 통해 전력소모의 급증을 억제하고 있다. 전력소모 문제는 휴대폰과 같은 배터리 구동 기기뿐만 아니라 나노급 반도체 소자를 이용하는 모든 전자제품에서 비용 및 신뢰성에 영향을 미치는 주요 요소이므로 소자에서 시스템, CAD 등 다양한 분야에서 이를 해결하기 위한 연구가 이루어져 왔다.

프로세서(CPU)를 예로 들면, 반도체 칩의 집적도는 Moore의 법칙을 유지하며 급속히 향상되어 왔으나, 칩을 구성하는 트랜지스터 소자의 수가 17억 개 이상으로 증가함에 따라 (그림 1)과 같이 소모되는 최대 전력밀도도 전열기보다 높은 100 W/cm² 이상까지 증가하는 추세에 있다[1],[2]. 한편 휴대폰, 노트북, PDA 등 무선 기능을 갖춘 단말 기기(무선 단말)용 SoC는 전용 하드웨어 연산 블록의 활용과 각종 저전력 기술을 통해, 상기한 PC용 프로세서에 비해 매우 적은 1~20 W 이하의 전력을 소모하는데, 본 고에서는 이처럼 낮은 전력소모를 가능하게 하는 고효율 저전력화 설계기술 현황과 발전전망에 대해 살펴보고자 한다.

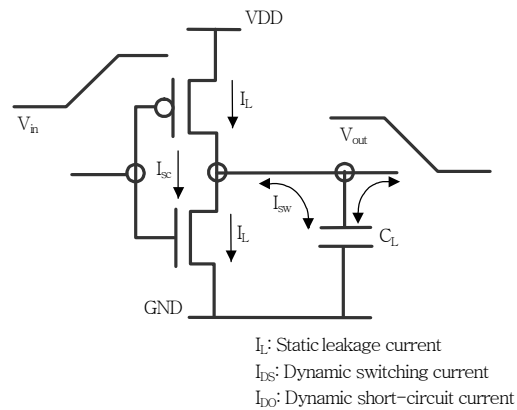


(그림 1) CPU 성능 향상에 따른 소비 전력밀도의 증가 추세[1],[2]

일반적으로 전자 기기의 전력소모는 주로 SoC를 구성하는 CMOS 트랜지스터 소자 (그림 2)의 전력소모에 기인하며, 전체 전력소모량은 소자의 스위칭 동작에 기인하는 동적(dynamic) 전력소모와 소자의 누설 전류(leakage current)로 인한 정적 전력소모를 합한 것이다. 동적 전력소모는 회로의 용량성 부하(CL)에 충전과 방전을 반복하면서 소모되는 전력으로서 스위칭 주파수에 비례하고 전압의 제곱에 비례한다. 따라서 공급 전압을 1/2로 줄이면 이론적으로 동적 전력 효율을 4배까지 높일 수 있다.

누설전류는 전하가 트랜지스터의 얇은 게이트 산화막을 통과하는 양자효과 tunneling 현상에 기인하며 트랜지스터가 동작하지 않는 상태에서도 기본적으로 흐르는 전류이므로 칩을 구성하는 트랜지스터 개수에 비례해 증가하여, 수억 개의 소자로 구성되는 최근의 SoC에서는 무시할 수 없는 큰 값을 갖게 된다. 특히 소자 선폰이 나노미터(nm)급으로 초미세화(scale-down) 되면 게이트 산화막 두께가 더욱 작아지면서 누설전류가 급격히 증가하게 되며, 이러한 누설전류에 대한 억제 기술이 없이는 소자 선폰을 더 이상 미세화 할 수 없는 한계에 직면하게 된다.

매년 전세계 반도체 산업 기술 현황 및 전망 로드맵을 발표하는 ITRS에 의하면, 누설전류 문제는 Moore의 법칙을 따르며 지금까지 성공적으로 발전한 CMOS 기술을 위협하는 중대한 문제이고, 누설전류를 포함한 전력 관리 문제가 향후 반도체 기술에서 가장 중요한 도전 과제로 제시되고 있다[3].



(그림 2) SoC를 구성하는 CMOS 소자 전력소모

저전력 SoC 구현을 위해서는 공정 소자 기술에서 회로, 시스템에 이르는 다양한 레벨을 종합적으로 고려해야 하며, 앞서 언급된 동적 및 정적 전력소모를 절감하는 다음과 같은 요소 기술들을 적절히 적용해야 한다.

다중문턱전압 CMOS(MTCMOS) 기술[4]은 정적 전력소모 감소에 효과적이고, 다중 동작전압, 클럭 게이팅, 전력 게이팅, DVFS 기술은 동적 전력소모 절감에 활용되고 있다. 본 고의 II장에서는 대표적인 무선 단말인 WCDMA 휴대폰의 전력소모 요소를 분석하고, 상기한 저전력화 설계 기술별 특징과 연구 현황에 대해 설명한다.

II. 국내외 연구 현황

1. 무선 단말 전력소모 분석

무선 단말기기의 각 구성 요소별, 동작 모드에 따

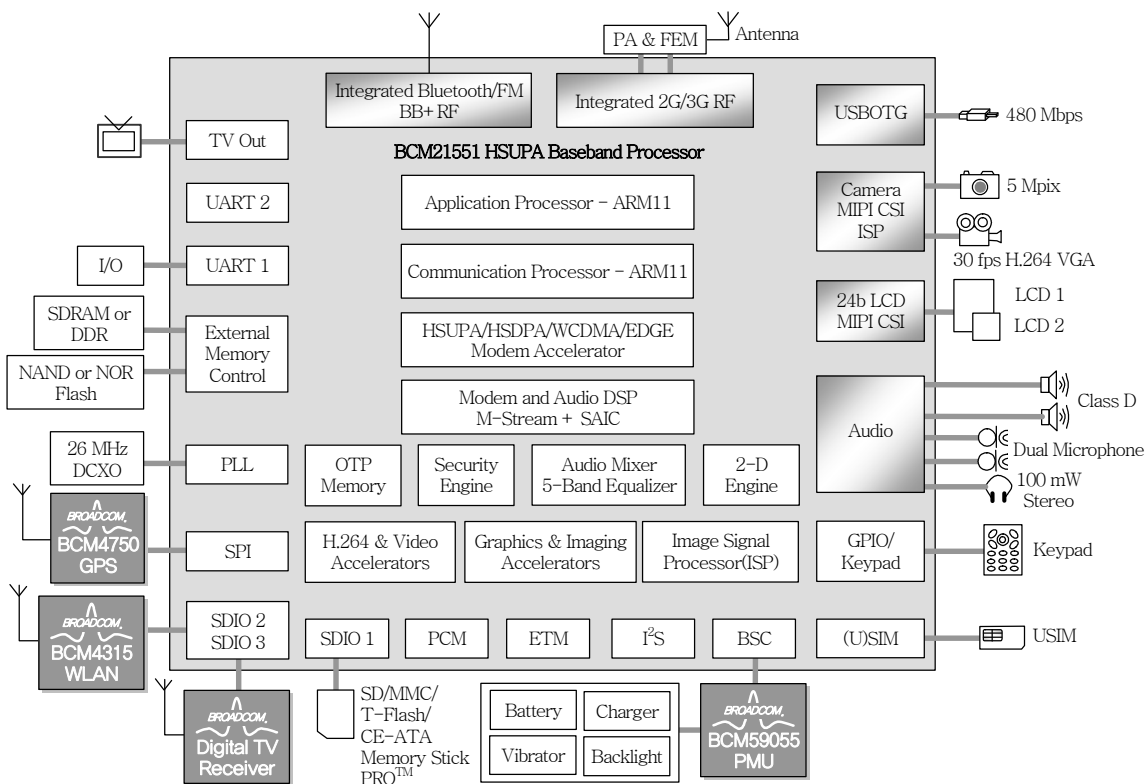
른 전력소모량에 대한 분석은 기기 전체의 효율적인 저전력화를 위해 우선적으로 필요하다. 기기를 구성하는 요소 중에서 전력소모가 가장 심한 부분부터 효율화해야 기기 전체의 전력소모 절감 효과가 크기 때문이다.

실제 무선 통신 환경에서 3세대 WCDMA 휴대단말기의 구성 부품 및 SoC 블록별 전력소모는 <표 1>과 같으며 RF 전력소모 비중이 가장 크다.

3세대 WCDMA 단말기 전력소모는 퀄컴사 MSM

<표 1> WCDMA 휴대 단말용 칩셋 전력소모

	소비전력(mW)	구성비율(%)
Baseband core	113	12
Baseband analog	104	11
RF transceiver	320	33
PA	408	42
SDRAM	18	2
Total	963	100



(그림 3) 브로드컴사 휴대 단말용 베이스밴드 프로세서 SoC 블록도[5]

6250/6275 계열 칩셋 기반의 휴대 단말에 대해 음성 통화 모드에서 소비전력을 측정하였으며, 영상 통화 모드가 아니므로 영상 코덱 및 카메라/LCD 전력소모는 포함되지 않았다.

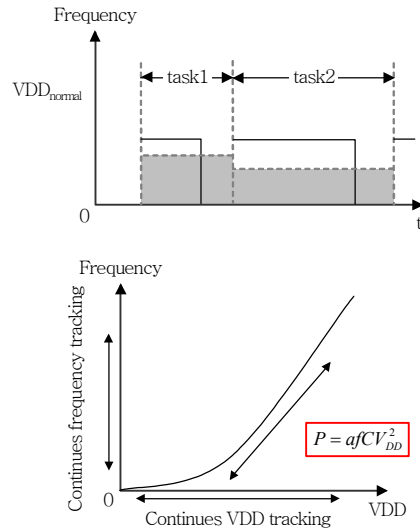
RF 블록은 2000년대에 CSR사 블루투스 칩을 시작으로 2007년 브로드컴 및 퀄컴사 HSDPA용 SoC (그림 3)에 이르기까지 점차로 무선 단말용 SoC 내에 단일 칩으로 집적되는 추세이므로 무선 단말용 SoC 전력 분석에 포함시켰다. 최근에는 무선 단말의 핵심인 베이스밴드 프로세서 SoC 내에 종래의 모뎀 등의 communication processor 외에도 그래픽 처리 및 영상 코덱 기능을 갖는 application processor와 GPS, 블루투스 베이스밴드까지 모두 포함되고 있다. 따라서 종래의 저전력 SoC 기술이 주로 디지털 프로세서의 저전력화를 목적으로 개발되어 왔다면, 최근의 저전력 기술은 인터페이스와 RF를 포함한 시스템 전반의 전력 효율성에 대해 고려하지 않을 수 없다.

일반적으로 성능 및 유연성과 전력소모는 trade-off 관계이므로, 전력소모가 중요한 휴대폰에서는 소프트웨어 보다는 제한된 기능 수행에 최적화된 전용 하드웨어 신호처리 블록의 비중이 높으며, 반면 컴퓨터는 유연성, 즉 프로그램 가능성이 우수하나 전력소모가 과다해서 휴대성이 떨어지게 된다. 또한 휴대폰에서는 RF/Analog 부분의 전력소모가 더 크다.

2. DVFS 및 다중 동작전압 기술

동적 전력소모를 절감하기 위해 저전력 임베디드 프로세서에서 일반적으로 적용되고 있는 기술로서 DVS 및 DVFS가 대표적이다.

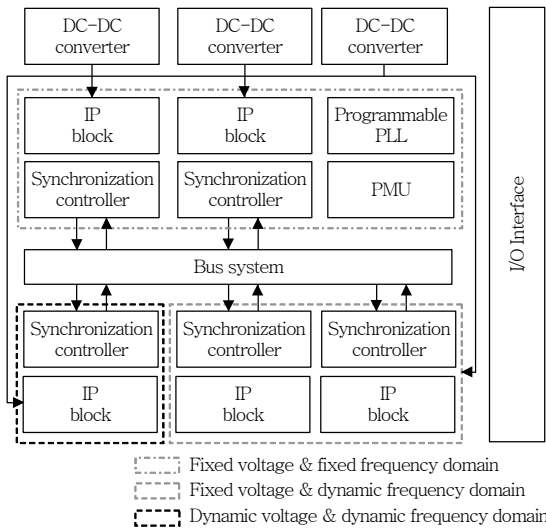
DVS가 전압 스케일링을 통한 동적 전력소모를 줄이는 기법임에 비해 DVFS는 전압과 주파수를 task deadline을 감안하여 스케일링하는 기법이다. 따라서 DVS 보다 전력소모 측면에서 효율성이 우수하다. (그림 4)는 기존의 고정 전압 방식에 DVFS를 적용하여 각 task의 공급 전압과 주파수를 스케일링하여 전력소모를 줄일 수 있음을 개념적으로 설



(그림 4) DVFS 개념도

명하고 있다. 무선 단말기와 같이 실시간(real time) 동작이 요구되는 시스템의 경우, 시스템의 최대 클럭 속도는 모든 task를 주어진 마감시간 이내에 끝낼 수 있는 클럭 속도보다 크거나 같아야 실시간 동작을 보장할 수 있으므로, 각 task의 동작 상태를 살펴가면서 마감시간 제약 조건을 만족하는 가장 낮은 클럭 속도까지 시스템의 클럭 속도를 조절해가면서 낮출 수 있으며, 이때 클럭 속도를 낮춤에 따라 공급 전압도 함께 낮아져서 전력 소모를 줄일 수 있다.

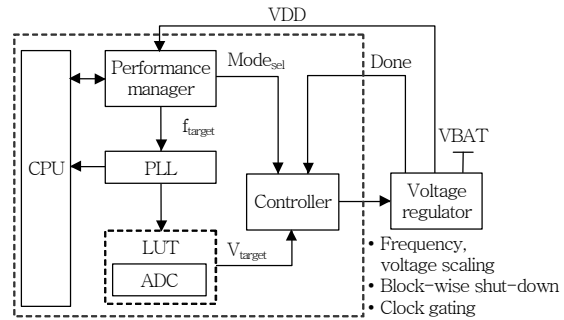
DVFS 기술은 미국 University of Southern California의 Pedram 교수와 Berkeley대 Rabaey 교수팀에서 연구되고 있다[6],[7]. 미국 인텔, AMD 등 CPU 업체에서 클럭 및 전원전압을 관리하여 저전력화 하기 위해 ‘스피드스텝’, ‘파워나우’ 등의 명칭으로 개발된 기술에도 DVFS가 부분적으로 적용되고 있다. 특히 노트북 등의 모바일 단말 시장이 데스크톱에 비해 커지면서 저전력 기술의 중요성을 인지하여 인텔사는 Xscale core에 DVFS 기술을 적용하여 application processor 칩을 개발하였으며 모뎀 칩까지 하나의 패키지에 통합한 MCP 형태의 통신용 칩도 발표한 바 있다. 또한 임베디드 프로세서로 널리 이용되는 ARM 프로세서 기반 플랫폼에서도 제한적인 DVFS 기능을 지원하고 있다.



(그림 5) DVFS 적용 SoC 내부 블록도

한편 DVFS를 구현할 때 task 간의 처리 지연 및 시스템 내부의 알 수 없는 delay를 고려한 deadline 이전의 여유시간이 필요하다. 이러한 여유시간 추정을 위해 PMU의 의존도가 높아진다. 또한 DVFS 구현을 위해서는 SoC 내부 블록별 공급 전원을 가변시킬 수 있는 DC-DC 변환기와, 클럭을 가변시킬 수 있는 programmable PLL, 블록간 서로 다른 전압 레벨을 맞출 수 있는 level shifter 블록이 필요하다. 이를 고려한 다중 동작전압 DVFS 시스템의 내부 블록도는 (그림 5)와 같이 도식화 할 수 있다. DVFS의 기본 개념은 단순하지만 이를 구현하기 위해 시스템에 추가되어야 하는 블록과 부하예측 알고리즘은 상당히 복잡하며, 시스템 및 회로 수준의 연구가 국내에서는 KAIST, 송실대[8], ETRI에서 진행된 바 있다.

구체적으로, 영상 처리 기능을 중심으로 한 일반적인 DVFS 시스템 블록도는 (그림 6)과 같다. Performance manager는 요구되는 성능을 예측하고, 다음 task를 수행하기 위해 필요한 동작 주파수와 전압을 결정한다. 결정된 동작 주파수와 전압 값은 각각 PLL과 voltage regulator 또는 DC-DC 변환기의 제어 신호로서 인가되며, PLL 및 DC-DC의 출력은 다시 PMU 등의 제어기에 인가되어 설정된 값에 도달했는지 판단하게 된다. DVFS 구현상의



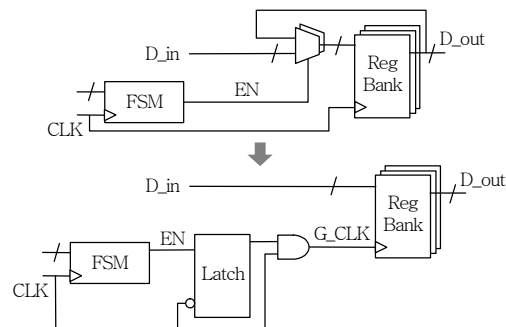
(그림 6) DVFS 동작 구조도

문제는 시스템 복잡도 증가 외에도 PLL 주파수 및 DC-DC 출력 전압이 안정화되는 데 걸리는 시간인 transition overhead가 적지 않게 발생하는 데 있다.

따라서 현재 DVFS 기술은 클럭 주파수 변화가 동작에 큰 영향을 미치고 실시간 처리가 critical한 통신 모뎀 블록보다는, MPEG decoder 등의 application processor 분야에 주로 적용되고 있으며 20~30% 정도의 동적 전력 절감 효과를 보인다.

3. Clock Gating 기술

Clock gating은 RTL 레벨에서 비교적 간단하게 구현할 수 있는 저전력 기법의 일종이다. CAD 툴을 이용하여 설계되는 현재의 SoC는 거의 대부분 클럭에 의해 구동되는 동기 방식 시스템인데, 이 경우 매 클럭 사이클마다 클럭 신호가 연결되어 동적 전력 소모의 주 요인이 된다. 이를 막기 위해 회로에서 inactive period를 가진 구간을 정의하고 이 구간에는 클럭을 disable 시켜서 전력소모를 줄일 수 있다. (그림 7)은 clock gating 개념도이다.



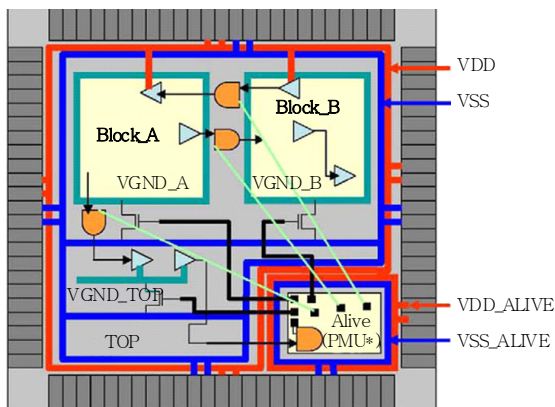
(그림 7) Clock Gating 개념도

종래의 clock gating 기법은 gating logic을 주로 flip-flop과 register에 가깝게 배치시켜 구현하므로, 전력소모가 큰 clock tree network의 주요 부분이 여전히 toggling과 큰 부하 용량을 구동하기 때문에 전력 효율이 떨어진다. 따라서 최근에는 시스템 수준에서 IP 블록 전체의 클럭 공급을 조절하는 clock root gating 기법이 제시되었다. 최근의 clock gating 설계는 CAD 툴을 이용하여 어느 정도 자동화가 가능하며, 로직 합성 전에 power compiler를 이용하여 auto insertion을 하고, 합성 후 design compiler를 이용하여 gate-level net-list를 생성하는 과정을 통해 구현할 수 있다.

4. Power Gating 기술

시스템에서 동작하지 않는 블록에 대해 전원 공급을 차단함으로써 동적 및 정적 전력소모를 절감할 수 있는 기술이다. 구조적으로는 (그림 8)에 도시된 바와 같이 PMU를 통해서 제어되는데 SoC를 구성하는 각 블록에 대해, 동작 모드에서는 VGND와 VSS 간의 스위치 트랜지스터가 turn-on 되면서 전력이 공급되고, sleep 모드에서는 전력 공급이 차단된다.

따라서 power gating을 구현하기 위해서는 누설 전류가 작은 스위치 트랜지스터 소자 외에도, 서로 다른 전원 전압을 갖는 블록 간의 인터페이스에 필요한 retention register와 PMU 설계 기술이 필요



(그림 8) Power Gating 적용 구조도

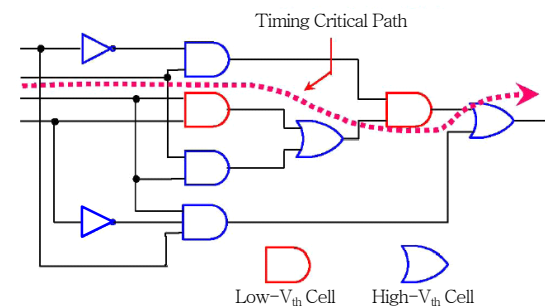
하다. 누설 전류가 작은 트랜지스터는 통상 threshold 전압(V_{th})을 높인 소자이므로, multi-threshold CMOS(MTCMOS) 공정을 요구하며, 이는 다음 절에서 설명할 정적 전류소모를 절감하는 로직 회로에도 사용된다.

Power gating을 이용하면 누설전류를 최소화시킬 수 있으나, DVFS와 마찬가지로 PMU 설계에 적지 않은 비용이 소요된다.

5. Multi-threshold 기술

반도체 소자 선평의 미세화에 따른 누설 전류 급증 문제를 해결하기 위해, MTCMOS 소자를 이용하여 앞 절에서 언급한 power gating 기술과 함께 다중 문턱전압(multi-threshold) 기술이 적용되고 있다.

일반적으로 CMOS 소자의 문턱전압(V_{th})을 높이면 누설 전류가 적어지는 반면에 스위칭 속도가 저하되면서 gate delay가 더 증가한다. 따라서 SoC 내의 기능 블록 전체를 단일 V_{th} 소자로 설계하면 누설전류가 많아지거나 동작 속도를 맞출 수 없는 문제가 발생하므로, (그림 9)와 같이 블록 내에서 critical path에 대해서는 낮은 V_{th} 소자를 사용하고, critical하지 않은 path에 대해서는 높은 V_{th} 소자를 사용함으로써 설계 규격을 만족시키면서 누설 전류를 감소시킬 수 있다. 설계 과정은, 처음에는 RTL 소스 코드로부터 모두 low- V_{th} 소자로 합성한 후, 시뮬레이션을 통해 delay 규격을 만족시키지 못하는 경로에 대해 P&R 단계에서 high- V_{th} 소자로 치환하는 과정을 거친다.



(그림 9) Multi-Vth 설계 개념도

Multi-Vth 설계는 시스템 수준의 재설계가 필요한 다중 전원 power-gating이나 DVFS에 비해서 비교적 단순한 회로 수준에서 적용되는 기술이므로 RTL 코드 변경이 불필요하고, 논리 합성 CAD 툴의 도움으로 설계 자동화가 가능하여 최근의 휴대 기기용 SoC 개발에 많이 적용되고 있다.

6. Low Voltage Analog/RF 기술

디지털 회로가 비교적 체계적으로 저전력화 가능한 데 비해, SoC 내의 아날로그 및 RF 회로는 여전히 설계자의 경험에 의존하여 개발되고 있다. 고속 무선 통신이 이루어지는 traffic 모드에서는 RF 전력소모가 <표 1>의 측정 결과 예시와 같이 시스템에서 70% 이상의 가장 많은 비중을 차지하므로 휴대폰 류의 배터리 사용시간 연장을 위해서는 아날로그/RF부의 전력 효율 개선이 시스템 전체 저전력화의 관건이다.

무선 단말용 SoC 내부 아날로그 블록으로는 DVFS 등의 구현에 필요한 DC-DC 변환기 등의 전원 관련 회로와 클럭 가변에 필요한 PLL 회로, 무선 송수신(transceiver) 단에 사용되는 ADC/DAC 및 각종 RF 관련 회로들이다. 최근 이동통신 기술이 2세대 표준에서 전송속도가 높은 3세대[9] 및 4세대로 발전함에 따라 RF 회로 전력소모도 계속 증가하는 경향이 있다. 이는 무선 통신에서 데이터 전송 속도를 높이기 위해 스펙트럼 사용 효율이 높은 QAM 변조 방식과 OFDM을 채용함에 따라, PAPR과 출력 신호의 포락선 변동폭(dynamic range of envelope)이 증가하고, 이러한 신호를 왜곡 없이 전송하기 위해서는 RF 회로에 높은 선형성이 요구됨에 따라 일반적으로 선형성에 비례하는 특징을 갖는 RF 전력소모량도 증가하는 데 기인한다. 또한 CMOS와 같은 FET 계열 소자를 사용하는 RF 회로에서 선형성은 일반적으로 게이트에 인가되는 바이어스 전압과 문턱전압(Vth)의 차에 비례하는 특성이 있으므로[10],[11] 선형성 규격을 만족시키려면 전원전압이 충분히 높아야 한다.

현재까지 무선 단말용으로 매우 다양한 RF 칩이 상용화되고 이중 일부는 SoC용으로 IP화 되기도 했으나, 3세대 이동통신용 RF의 경우 아직도 전력소모가 비교적 높은 편이다. 이동통신용 칩셋 시장을 주도해 온 퀄컴사는 베이스밴드 모뎀 칩에 RF를 통합한 단일 다이 SoC를 개발하고 있으며, 브로드컴사는 1절에서 언급된 바와 같이 이미 단일 칩을 발표하였다. 그러나 2007년도 이후의 상용 WCDMA 단말에 사용되고 있는 RTR6275 등의 CMOS 통합 칩도 선형성 등을 고려해 전원 전압이 2.8 V 수준으로 높고, WCDMA 이외에도 기존의 GSM/GPRS/EDGE 표준을 모두 지원하는 다중 모드 기능을 우선시하여 전력소모가 400 mW 이상으로 비교적 큰 편이다. Texas Instruments사에서는 RF 송신부 150 mW, 수신부 80 mW 수준으로 상용 칩 중에서 가장 적은 전력을 소모하는 WCDMA용 칩을 SiGe 공정으로 개발하였으나 시험용 샘플 공급 이후, 2006년 이후로는 양산이 중단된 상태이다. Free-Scale의 3세대 단말용 칩도 전력소모 측면에서는 크게 개선되지 않고 있다. <표 2>는 상용화된 3G 단말용 RF 트랜시버 전력소모 성능을 비교한 자료이다. 한편, 스위스 공대(ETH)와 국내의 ETRI에서는 2 GHz 단일 대역에 최적화된 CMOS 1.2~1.5 V 저전압 설계기술을 통해 WCDMA traffic 모드에서 전력소모를 100 mW 수준으로 낮춘 트랜시버를 개발하였다[12],[13].

CMOS 소자 scale-down에 따라 고속 RF 동작에 필요한 소자 Ft 값은 100 GHz 이상으로 높아졌으나, 소자기술로는 앞서 언급된 선형성 등의 문제로 인해 저전력화에 한계가 있으므로 바이어스 전압을 낮출 수 있는 MGTR 회로 기법이나, 소자의 기생 커패시턴스 성분에 의한 비선형성을 완화시킬 수 있는 보상 커패시터의 도입, 바이어스 전압 조절 등의 회로 기법이 시도되고 있다[14]. 아날로그/RF 회로에서는 디지털 회로에 비해 성능과 전력소모 간의 trade-off가 더욱 현저하므로, 저전력이 중시되는 응용분야에 대해서는 PAPR이 낮은 변조방식의 도입과 저손실 수동형 필터 활용, 송신 출력을 낮출 수

〈표 2〉 상용 WCDMA Transceiver 전력소모 비교

	Spec.	Qualcomm[18]	Qualcomm	Freescale[19]	TI[20]
Model		RTR6200, RFR6200	RTR6275	MMM6007	TRF6302
Process		SiGe BiCMOS	CMOS	SiGe 0.35 μm BiCMOS	SiGe 0.18 μm BiCMOS
Supply voltage(V)		2.7~3.0	2.6	2.8	2.8
Power Consumption(mW)		Rx: 124~150 Tx: 200~250	Rx: ~161 Tx: ~327	Rx: 95~ Tx: 137~180	Rx: 79 Tx: ~150
Rx System NF(dB)	< 9	5.5	< 5	8.5	5.5
Rx IIP3(dBm)	> -11*	-11	-3(LNA)	0	-14
Rx IIP2(dBm)	> 48	54	45	35	50
Rx Sensitivity(dBm)	< -117	-121	< -117	< -117	< -117
Tx output(dBm)	-80~3	-80~+8	-80~+6	-86~+13	~80~+6
Status		Mass production	Mass production	Sample	Drop
Feature		ZIF, Dual-band (WCDMA/GPS) Rx/Tx separated Rx: 7×7 mm ² , 48 pin	ZIF, Multi-mode (WCDMA, GSM/GPRS/EDGE) Integrated two frac. PLL	ZIF, Tri-band WCDMA/HSDPA (2100/1900/800) Integrated two frac. PLL	ZIF, Dual-band Integrated two PLL/VCO 6×6 mm ² , 120 pin

있는 multi-hop 기술 등과 같은 시스템 수준에서의 전력소모에 대한 고려가 필요하다.

7. Sub-threshold 회로 기술

의료용 반도체나 RFID, 센서 네트워크 노드와 같이 극도로 낮은 전력소모가 필요한 응용분야에서는 전원전압을 소자의 문턱전압(V_{th})보다 낮은 sub-threshold 로직 및 회로기술이 연구되고 있다[15]. 미국 MIT에서는 전압을 0.18 V까지 낮춘 프로세서 및 메모리 회로가 제시되었는데, 연산처리속도는 낮지만 작은 용량의 배터리로 장시간 동작이 필요한 분야에 활용 가능하다.

Ⅲ. 기술발전 전망

저전력 SoC 설계 기술은 소자에서 응용 시스템에 이르는 다양한 분야에 연관성을 갖는 융합기술이므로 Synopsys, Cadence 등의 EDA 업체와 Foundry, ARM 등의 IP 제공기업 간에 긴밀한 협력이 이루어지고 있다. 또한 SoC 분야 주요 학술 대회인 Design Automation Conference 및 ISSCC에서 저

전력 기술이 주요한 이슈로 다루어져 왔다. 이러한 최근의 연구 결과를 통해 다중 문턱전압 및 클록 게이팅 기법은 부분적으로 CAD 툴에 의한 설계 자동화가 가능한 단계로 발전하고 있다.

한편, 디지털 회로의 저전력 기술만으로는 메모리와 아날로그/RF까지 포함하여 단일칩화 하고 있는 무선 단말 SoC 전체를 저전력화 하지 못한다. 또한 소자 scale-down에 따른 성능 개선 효과도 아날로그 회로의 경우 뚜렷하지 않아서, 디지털 기술로의 전환이나 성능 개선에 대한 노력 없이는 제조 비용 상승만을 유발할 수 있다. 따라서 앞으로도 소자 기술의 발전과 함께 아날로그의 전력 효율을 높이기 위한 시도가 계속 이루어질 것이다. 또한 SoC 설계 기술을 중심으로 설명한 본 고에서는 다루어지지 않았지만 SOI MOSFET[16], 탄소 나노튜브[17] 등의 신소자 기술이 성숙된다면 전력소모는 획기적으로 개선될 수 있을 것이다.

저전력 단말용 SoC 기술은 앞으로도 반도체 소자의 scale-down에 따른 누설 전류 증가와 시스템 수준의 요구 성능 상승에 따른 전력소모 증가에 대응하고, 센서 네트워크 등의 새로운 응용 분야에서

요구되는 효율적인 에너지 자원 관리에 대한 수요를 동인으로 하여 지속적으로 발전할 것이다.

IV. 시사점 및 제언

현재의 반도체 기술은 집적도 향상에 따른 동적/정적 전력소모 증가 문제에 적절히 대응하지 못하면 소자 선폭의 미세화가 더 이상 무의미해지는 기술적 한계에 직면하게 된다. 외부 전력 망으로부터의 지속적인 에너지 공급 없이 동작해야 하는 무선 단말용 SoC의 경우 동적/정적 전력소모 절감은 특히 중요한 기술적 과제이다. SoC 기술이 발달한 미국 등에서는 1990년대부터 저전력 기술의 중요성을 인식하여 인텔, TI 등 대형 IDM 기업과 EDA 업체를 중심으로 지속적인 연구가 이루어져 왔고, 그 결과 저전력 기술을 적용한 상용 칩들이 계속 개발되고 있다. 그러나 국내에서는 메모리나 디스플레이 구동 칩과 같이 비교적 단순 기능을 수행하는 칩을 제외하면, 주요 SoC의 전력소모 성능이 국외 선도업체의 칩에 비해 다소 열위에 있다. 또한 국내에는 대형 EDA 업체가 부재하여, 중소 fabless 업체의 경우 저전력 기술 개발에 필요한 EDA 업체와의 긴밀한 협력이 용이하지 않다. 반면 응용 시스템의 신속한 개발에 있어서는 국내 기업이 더 우수하므로 효율적인 지원이 이루어진다면 아직 표준이 정립되지 않은 4세대 이동통신이나 차세대 WPAN 단말, 멀티미디어 SoC 분야에서 저전력 기술을 선도할 수 있는 잠재력을 보유하고 있다. 무선 단말용 저전력 SoC 기술은 시스템에서 회로 및 소자 수준까지 다양한 분

야에 연관되어 있으므로, 시스템 표준의 연구 단계에서부터 전력 효율에 대해 고려하고 다양한 분야의 상호 협력이 이루어진다면 더욱 효과적일 것이다.

약어 정리

ADC	Analog to Digital Converter
CAD	Computer Aided Design
CMOS	Complementary Metal Oxide Semiconductor
DAC	Digital to Analog Converter
DPM	Dynamic Power Management
DVFS	Dynamic Voltage Frequency Scaling
DVS	Dynamic Voltage Scaling
EDA	Electronic Design Automation
EDGE	Enhanced Data rates for Global Evolution
FET	Field Effect Transistor
GPRS	General Packet Radio Service
GPS	Global Positioning System
GSM	Global System for Mobile Communications
HW	Hardware
IDM	Integrated Device Manufacturer
IP	Intellectual Property
ISSCC	International Solid-State Circuits Conference
ITRS	International Technology Roadmap for Semiconductors
MCP	Multi-Chip Package
MGTR	Multiple-Gate Transistor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MPEG	Moving Picture Experts Group
MTCMOS	Multiple-threshold CMOS
OFDM	Orthogonal Frequency Division Multiplexing
PAPR	Peak to Average Power Ratio
PLL	Phase Locked Loop
PMU	Power Management Unit
QAM	Quadrature Amplitude Modulation
RF	Radio Frequency
RTL	Register Transfer Level
SiGe	Silicon Germanium
SoC	System-on-Chip
SOI	Silicon on Insulator

● 용어해설 ●

MTCMOS(Multi-threshold CMOS): 누설전류와 속도 성능간의 최적화를 위해 CMOS 트랜지스터의 문턱전압(Vt)을 다중화한 소자 및 관련 회로 기술. SoC를 구성하는 CMOS 소자의 문턱전압이 높을수록 누설전류는 감소하나 delay가 증가하여 클럭 속도가 저하되므로 critical path에 대해서는 문턱전압이 높은 소자를, non-critical path에는 문턱전압이 낮은 소자를 사용하여 누설전류를 절감하는 기술

SW	Software
VGND	Virtual GND
Vth	threshold voltage
WCDMA	Wideband Code Division Multiple Access
WPAN	Wireless Personal Area Network

참 고 문 헌

- [1] Bahram Jalali, "Teaching Silicon New Tricks," *Nature Photonics*, Vol.1, Apr. 2007, pp.193-195.
- [2] Intel web site, <http://www.intel.com>.
- [3] The ITRS Organization, International Technology Roadmap for Semiconductors, Executive Summary, 2007 Edition, p.14.
- [4] T. Kuroda, T. Fujita, F. Hatori, and T. Sakurai, "Variable Threshold-voltage CMOS Technology," *in IEICE Trans. Electron.*, Vol.E83-C, No.11, Nov. 2000, pp.1705-1715.
- [5] Broadcom web site, <http://www.broadcom.com>.
- [6] Massoud Pedram and Jan M. Rabaey et al., *Power Aware Design Methodologies*, Kluwer Academic Publishers, 2002, pp.387-397.
- [7] Kihwan. Choi, R. Soma, and M. Pedram, "Fine-grained Dynamic Voltage and Frequency Scaling for Precise Energy and Performance Trade-off based on the Ratio of Off-chip Access to On-chip Computation Times," *IEEE Trans. Computer-Aided Design*, Vol.24, No.1, Jan. 2005, pp.18-28.
- [8] 임지훈, 하종찬, 위재경, 문규, "Dynamic-Voltage/Frequency-Scaling 알고리즘에서의 다중 인가 전압 조절 시스템용 High-speed CMOS Level-up/down Shifter," *전자공학회 논문지*, 제 43권 제 6호, 2006년, pp.383-391.
- [9] 3rd Generation Partnership Project, 3GPP-FDD Specification, TS 25.101, <http://www.3gpp.org/ftp/Speacts/html-info/25-series.html>, 2004.
- [10] D.G. Yee, "A Design Methodology for Highly-integrated Low-power Receivers," Ph.D thesis, UC Berkeley, 2001.
- [11] Behzad Razavi, *RF Microelectronics*, Prentice-Hall Communications Engineering and Emerging Technologies Series, 1998.
- [12] J. Rogin, I. Kouchev, G. Brenna, D. Tschopp, and Q. Huang, "A 1.5-V 45-mW Direct-Conversion WCDMA Receiver IC in 0.13- μ m CMOS," *IEEE J. Solid-State Circuits*, Vol.38, No.12, Dec. 2003, pp.2239-2248.
- [13] G. Brenna, D. Tshopp, J. Robin, I. Kouchev, and Q. Hwang, "A 2-GHz Carrier Leakage Calibrated direct-conversion WCDMA Transmitter in 0.13- μ m CMOS," *IEEE J. Solid-State Circuits*, Vol.39, No.8, Aug. 2004, pp.1253-1262.
- [14] A. Matsuzawa, "RF-SoC Expectations and Required Conditions," *IEEE-MTT*, Vol.50, No.1, 2002, pp.245-253.
- [15] A. Wang, B. Calhoun, and A. Chandrakasan, *Sub-Threshold Design for Ultra Low-Power System*, in *Series on Integrated Circuits and Systems*, Springer, 2006.
- [16] G. Shahidi et al., "Partially-depleted SOI Technology for Digital Logic," *in ISSCC Dig. Tech. Papers*, Feb. 1999, pp.426-427.
- [17] T. Johnson, "Electronics of Single-wall Carbon Nanotubes," *in ISSCC Dig. Tech. Papers*, Feb. 1999, pp.210-211.
- [18] Qualcomm web site, <http://www.qualcomm.com>
- [19] Freescale web site, <http://www.freescale.com>
- [20] Texas Instruments web site, <http://www.ti.com>