

비휘발성 메모리 응용을 위한 ALD법을 이용한 Al_2O_3 절연막의 특성

논문
58-12-19

Properties of Al_2O_3 Insulating Film Using the ALD Method for Nonvolatile Memory Application

정순원* · 이기식** · 구경완†
(Soon-Won Jung · Ki-Sik Lee · Kyung-Wan Koo)

Abstract - We have successfully demonstrated of metal-insulator-semiconductor (MIS) capacitors with $\text{Al}_2\text{O}_3/\text{p-Si}$ structures. The Al_2O_3 film was grown at 200 °C on H-terminated Si wafer by atomic layer deposition (ALD) system. Trimethylaluminum [$\text{Al}(\text{CH}_3)_3$, TMA] and H_2O were used as the aluminum and oxygen sources. A cycle of the deposition process consisted of 0.1 s of TMA pulse, 10 s of N_2 purge, 0.1 s of H_2O pulse, and 60 s of N_2 purge. The 5 nm thick Al_2O_3 layer prepared on Si substrate by ALD exhibited excellent electrical properties, including low leakage currents, no mobile charges, and a good interface with Si.

Key Words : Al_2O_3 , Atomic layer deposition, Metal-insulator-semiconductor, Nonvolatile memory

1. 서론

최근 강유전체 메모리 개발에 있어 대두되는 기술 이슈는 저온 공정과 동작 전압을 낮추는 것이다.[1-3] 무기물 강유전체 재료의 경우 결정화에 필요한 열처리 온도가 높기 때문에 저온 공정이 어렵고, 유기물 강유전체 재료의 경우에는 결정화 온도는 낮지만 박막의 두께가 상대적으로 두껍기 때문에 인가전압이 높아 저전압 동작 구현이 어렵다. 결국 저온 공정과 저전압 동작을 동시에 달성하기 위해서는 인가전압을 낮추기 위해 유기물 강유전체 박막의 두께를 얇게 하는 것이 하나의 방법일 수 있다. 그러나 유기물 강유전체 재료의 경우 박막의 두께를 얇게 형성할 경우 누설전류가 증가하는 문제가 발생하여 강유전체 물질이 갖는 강유전성을 제대로 활용할 수 없게 된다. 이를 해결하기 위하여 기판과 유기물 강유전체 재료 사이에 절연층을 삽입하는 시도가 나타나고 있다.[4-10] 이 때, 삽입되는 절연층은 유기물 절연층으로서 그 두께가 수십에서 수백 나노미터에 이른다.[4-6] 따라서 두꺼운 절연층의 삽입으로 누설전류는 막을 수 있을지라도, 이중층의 형성으로 인한 인가전압의 증가로 인하여 동작 전압의 관점에서는 이득이 없다고 할 수 있다. 결국, 유기물 강유전체 박막과 유기물 절연층의 조합으로는 저전압 동작을 만족하기 어렵다.

상기한 문제점을 해결하기 위한 방법의 하나는 얇은(수

나노미터) 무기물 절연층을 삽입하는 구조이다.[9,10] 무기물 절연층의 경우 수 나노미터의 얇은 박막일 경우에도 절연 특성이 우수하며, 유기물 절연층에 비해 상대적으로 비유전율이 높기 때문에 인가되는 전압의 분배에 있어서도 유리할 것으로 판단된다. 본 논문에서는 고유전율 박막재료인 Al_2O_3 박막을 ALD(atomic layer deposition)법을 이용하여 형성하고[11], 두께 및 열처리 조건에 따른 전기적 특성 변화를 확인하였다. 그 결과에 대하여 기술하고자 한다.

2. 실험 방법

2.1 ALD법을 이용한 Al_2O_3 박막의 형성

그림 1은 본 실험에 사용된 ALD 시스템(Lucida D100, NCD Technology)의 개략도와 실험 순서도를 간략하게 보인 것이다. 시스템을 살펴보면, 챔버는 8인치 웨이퍼까지 증착이 가능하도록 구성되어 있으며, 기판 온도는 25-400 °C 까지 조절 가능하다. 원료 소스는 2가지가 장착 가능하며, 증착 균일도(uniformity)는 $\pm 2\%$ 이다. 가스의 정확한 유량을 조절하기 위한 MFC(mass flow controller)가 설치되어 있다. 박막 형성에는 저항율이 6~9 $\Omega\cdot\text{cm}$ 인 붕소가 도핑된 p-type Si(100)을 사용하였다. 먼저 유기 세정법과 RCA법으로 실리콘 웨이퍼 표면을 세척한 후 희석된 HF 용액에 담구어 실리콘 자연 산화막을 제거하였다. 이렇게 처리한 웨이퍼를 챔버 내부에 장착하여 진공 상태를 유지시켰다. Al_2O_3 박막 형성에는 알루미늄 소스로서 TMA [trimethylaluminum, $\text{Al}(\text{CH}_3)_3$]와 산소 소스로서 H_2O 가 각각 사용되었다. 박막 형성 공정의 한 사이클은 0.1초 TMA 펄스, 10초 질소 퍼지, 0.1초 H_2O 펄스, 60초 질소 퍼지의 순서로 구성되었다. 박막 형성 시의 기판 온도는 200 °C, TMA 온도는 5 °C, H_2O 온도는 10 °C가 각각 사용되었다.

* 정희원 : ETRI 융합부품·소재연구부문 선임연구원 · 공박

** 시니어회원 : 단국대학교 전자·전기공학부 교수 · 공박

† 교신저자, 정회원 : 호서대학교 국방과학기술학부
부교수 · 공박

E-mail : alarmkoo@hoseo.edu

접수일자 : 2009년 9월 24일

최종완료 : 2009년 10월 21일

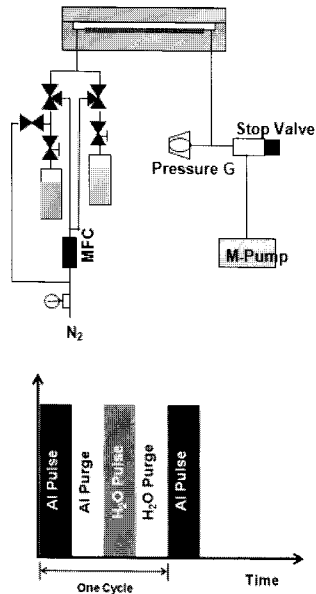


그림 1 ALD 시스템의 개략도.
Fig. 1 Schematic diagram of the ALD system.

표 1 증착 횟수에 따른 Al₂O₃ 박막의 두께.
Table 1 Al₂O₃ thin film thickness.

	30 cycles	50 cycles	70 cycles	100 cycles
1	43.55	68.53	99.53	131.64
2	37.34	63.57	87.19	121.73
3	44.77	67.84	91.71	123.16
4	42.00	67.52	90.26	129.75
5	57.00	67.65	93.60	125.86
Ave	44.93 Å	67.02 Å	92.46 Å	126.43 Å

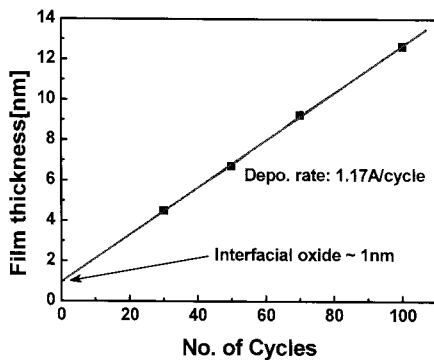


그림 2 Al₂O₃ 박막의 증착 속도.
Fig. 2 Deposition rate of Al₂O₃ film.

표 1에 증착 횟수에 따른 Al₂O₃ 박막의 두께를 나노스펙으로 측정하여 정리하였다. 박막은 5인치 실리콘 웨이퍼 위에 형성되었으며, 웨이퍼의 상/하/좌/우/중간의 5점을 평가하여 평균을 사용하였다.

그림 2는 증착 횟수에 따른 박막의 두께를 선형화(linear fit)하여 나타낸 것이다. 증착 횟수가 증가할수록 비례적으로 박막의 두께가 증가함을 확인할 수 있다. 그래프로부터 확인된 박막의 증착 속도는 1.17 Å/cycle 이었다. 계면에 형성된 산화막의 두께는 약 1 nm 정도였다.

3. 결과 및 고찰

3.1 Al₂O₃ 박막의 두께 변화에 따른 전기적 특성

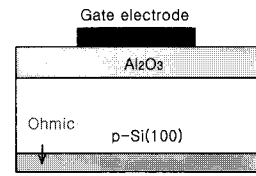
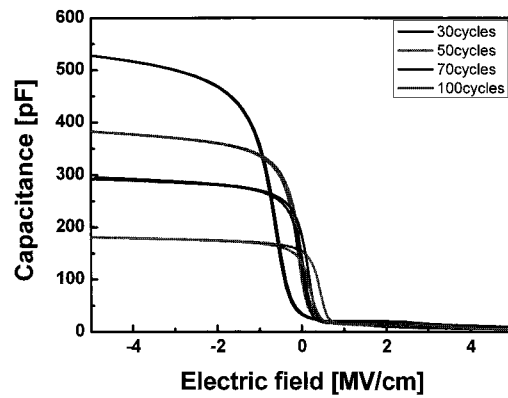
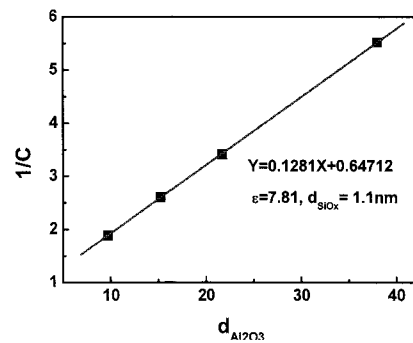


그림 3 Al₂O₃ 박막을 이용한 MIS 커패시터의 구조.
Fig. 3 Structure of the MIS capacitor using the Al₂O₃ thin film.



(a)



(b)

그림 4 (a) 두께에 따른 MIS 커패시터의 C-V 특성 곡선.
(b) Al₂O₃ 박막의 유전율
Fig. 4 (a) C-V characteristic curves of the MIS capacitor according to the thickness. (b) Dielectric constant of the Al₂O₃ thin film

그림 3은 형성된 Al₂O₃ 박막의 전기적 특성을 확인하기 위한 MIS 커패시터의 소자구조를 간략화하여 나타낸 것이다. 기판은 저항률이 6-9 Ω·cm 인 p-Si(100)가 사용되었으며, Al₂O₃ 박막의 두께를 4.5 nm(30 cycle)에서부터 12.6 nm(100 cycle)로 변화시켜 소자를 제작하였다. 게이트 전극은 알루미늄을 증착하였으며, 전극의 면적은 약 4-5×10⁻⁴ cm² 이었다.

그림 4는 두께 변화에 따른 MIS 커패시터의 용량-전압 특성 곡선이다. 그래프에서 확인할 수 있듯이 인가전계 ± 5

MV/cm 범위에서 양호한 계면 특성이 나타남을 확인할 수 있다. 두께가 얇아질수록 히스테리시스 폭이 감소하며 30 cycle(4.5 nm)인 경우 히스테리시스가 전혀 없는 우수한 특성을 보이고 있다. 박막의 두께에 따른 커패시턴스 값으로부터 산출된 박막의 비유전율은 약 7.81로 나타났으며, 계면에 형성된 산화막은 약 1.1 nm로 계산되었다. 이를 그림 4(b)에 나타내었다.

그림 5는 인가 전계에 따른 누설전류밀도를 나타낸 것이다. 그림 4(a)의 용량-전압 특성을 평가한 샘플과 동일한 것을 사용하여 인가전계 ± 5 MV/cm 까지 평가하였다. 박막의 두께가 두꺼워질수록 누설전류가 감소함을 확인할 수 있으며, 박막의 두께가 30 cycle(4.5 nm)인 경우에도 10^{-8} A/cm² 이하의 우수한 특성이 나타남을 알 수 있다.

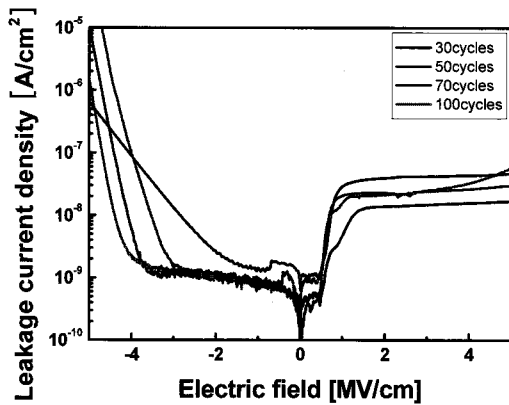


그림 5 두께에 따른 MIS 커패시터의 J-E 특성.
Fig. 5 J-E characteristic curves of the MIS capacitor according to the thickness.

3.2 산소 열처리에 따른 Al₂O₃ 박막의 전기적 특성

그림 6은 박막의 두께가 약 6.7 nm(50 cycles)인 경우의 산소 분위기에서 행한 열처리 온도에 따른 MIS 커패시터의 용량-전압특성 곡선을 보인 것이다. 그래프에서 확인할 수 있듯이 인가전계 ± 5 MV/cm 범위에서 히스테리시스가 거의 없는 양호한 계면 특성이 나타남을 확인할 수 있다. 이는 고온에서의 단시간 열처리 공정을 거치더라도 계면의 특성 변화가 없다는 것을 의미하는 것으로서, 절연층 위에 형성되는 강유전체의 결정화를 위한 열처리 시에도 우수한 특성이 얻어질 것으로 기대된다. 다만 온도가 증가할수록 축적상태의 커패시턴스 값이 다소 감소하는 것을 확인할 수 있는데, 이는 고온에서의 산소 열처리를 통한 계면에 생성되는 SiO_x의 두께가 증가하기 때문으로 판단된다. 계산된 결과에 의하면 약 2-3nm의 SiO_x가 형성되는 것으로 예측되고 있는데, 향후 TEM 분석 등을 통한 정확한 확인이 필요하다.

그림 7은 박막의 두께가 약 6.7 nm(50 cycles)인 경우의 산소 분위기에서 열처리 온도에 따른 MIS 커패시터의 인가 전계에 따른 누설전류밀도를 나타낸 것이다. 그림 6의 용량-전압 특성을 평가한 샘플과 동일한 것을 사용하여 인가전계 ± 5 MV/cm 까지 평가하였다. 열처리 온도가 증가할수록 누설전류밀도가 감소함을 확인할 수 있으며, 700 °C에서

행한 열처리의 경우 인가전계 -4 MV/cm 의 경우에도 10^{-9} A/cm² 이하의 우수한 누설전류 특성이 나타남이 확인되었다.

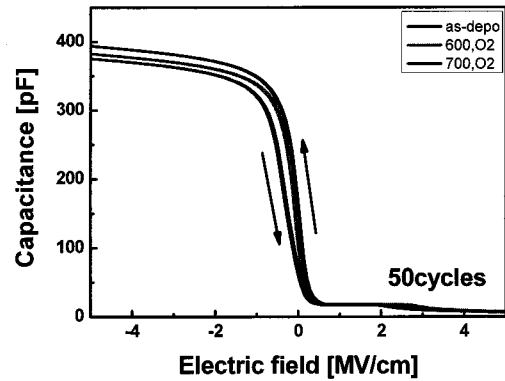


그림 6 열처리 온도에 따른 C-V 특성 곡선(50 cycles, O₂).
Fig. 6 C-V characteristic curves according to the annealing temperature(50 cycles, O₂).

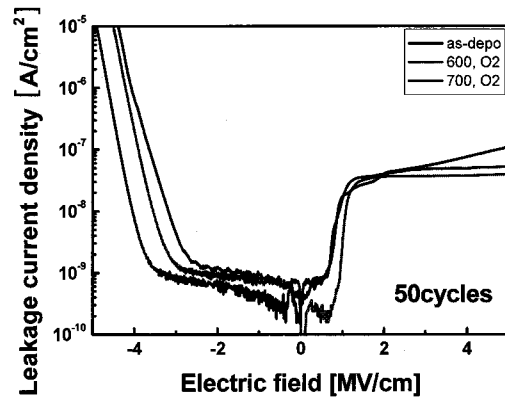


그림 7 열처리 온도에 따른 J-E 특성 곡선(50 cycles, O₂).
Fig. 7 J-E characteristic curves according to the annealing temperature(50 cycles, O₂).

3.3 질소 열처리에 따른 Al₂O₃ 박막의 전기적 특성

그림 8은 박막의 두께가 약 9.2 nm(70 cycles)인 경우의 질소 분위기에서 열처리 온도에 따른 MIS 커패시터의 용량-전압특성 곡선을 보인 것이다. 그래프에서 확인할 수 있듯이 인가전계 ± 5 MV/cm 범위에서 히스테리시스가 거의 없는 양호한 계면 특성이 나타남을 확인할 수 있다. 이는 고온에서의 단시간 열처리 공정을 거치더라도 계면의 특성 변화가 없다는 것을 의미하는 것으로서, 절연층 위에 형성되는 강유전체의 결정화를 위한 열처리 시에도 우수한 특성이 얻어질 것으로 기대된다. 열처리 온도가 증가할수록 축적상태의 커패시턴스 값이 다소 감소하는 것을 확인할 수 있는데, 이는 열처리를 통한 계면에 생성되는 SiO_x의 두께가 증가 때문이 아닌 제작된 커패시터의 전극 면적의 차이로 인한 오차로 판단하고 있다. 상기 결과로 미루어 볼 때 질소 분위기에서의 고온에서 행한 단시간 열처리를 거치더라도 계면의 변화는 없는 것으로 생각된다.

그림 9는 박막의 두께가 약 6.7 nm(50 cycles)인 경우의

질소 분위기에서 행한 열처리 온도에 따른 MIS 커패시터의 인가 전계에 따른 누설전류밀도를 나타낸 것이다. 그림 8의 용량-전압 특성을 평가한 샘플과 동일한 것을 사용하여 인가전계 ± 5 MV/cm 까지 평가하였다. 누설전류밀도가 산소 분위기에서 행한 열처리 결과보다 우수하지는 않지만, 인가전계 -3 MV/cm 의 경우 10^{-9} A/cm² 이하로 우수함을 확인할 수 있다.

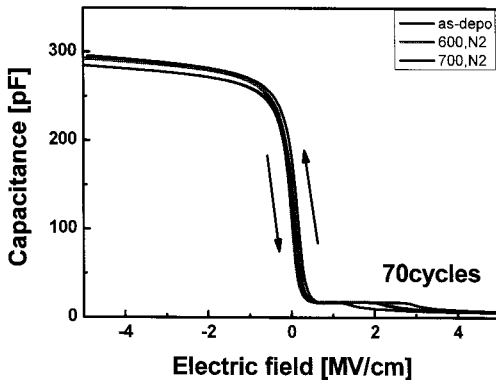


그림 8 열처리 온도에 따른 C-V 특성 곡선(70 cycles, N₂).
 Fig. 8 C-V characteristic curves according to the annealing temperature(70 cycles, N₂).

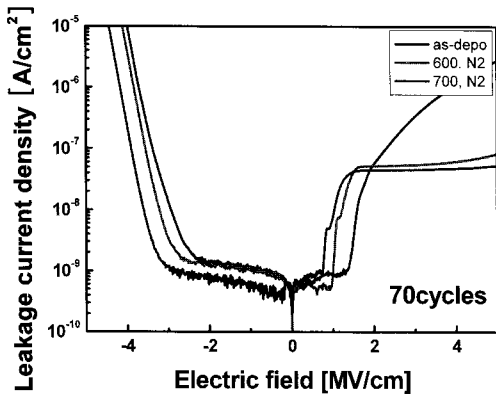


그림 9 열처리 온도에 따른 J-E 특성 곡선(70 cycles, N₂).
 Fig. 9 J-E characteristic curves according to the annealing temperature(70 cycles, N₂).

4. 결 론

본 논문은 저온 공정과 저전압 동작을 동시에 만족할 수 있는 강유전체 메모리 응용을 위한 무기 절연체 개발에 관한 것으로서, ALD법을 이용하여 증착온도 200 °C에서 Al₂O₃ 박막을 성공적으로 형성하였다. 형성된 박막의 전기적 특성을 확인하기 위하여 MIS 커패시터를 제작한 결과, 히스테리시스가 전혀 없는 얇은 Al₂O₃ 박막을 얻을 수 있었으며 이때의 누설전류밀도는 10^{-8} A/cm² 이하로 매우 우수하였다. 또한 개발된 절연체 위에 형성되는 강유전체의 결정화 온도를 감안하여 질소와 산소 분위기에서 열처리하여 결과

를 비교하였다. 산소 열처리 결과, 계면에 2-3 nm 정도의 얇은 SiO_x 박막이 형성됨으로 인해 누설전류 특성이 우수해짐을 알 수 있었으며, 질소 열처리의 경우에는 박막의 두께 증가가 없는 우수한 전기적 특성이 얻어짐을 확인할 수 있었다. 향후 TEM 분석 등을 통한 계면에 생성된 자연산화막의 두께 등을 확인할 필요는 있지만, 상기 결과들로 미루어 볼 때, MFIS 구조에 삽입되는 절연층으로서의 이용이 충분하리라 판단된다.

참 고 문 헌

- [1] C. A. Nguyen, P. S. Lee, N. Ng, H. Su, S. G. Mhaisalkar, J. Ma, F. Y. C. Boey, "Anomalous polarization switching in organic ferroelectric field effect transistors", *Appl. Phys. Lett.*, Vol. 91, p. 042909, 2007.
- [2] C. A. Nguyen, P. S. Lee, S. G. Mhaisalkar, "Investigation of turn-on voltage shift in organic ferroelectric transistor with high polarity gate dielectric", *Org. Electron.*, Vol. 8, pp. 415-422, 2007.
- [3] K. Noda, K. Ishida, A. Kubono, T. Horiuchi, H. Yamada, and K. Matsushige, "Remanent polarization of evaporated films of vinylidene fluoride oligomers", *J. Appl. Phys.*, Vol. 93, pp. 2866-2870, 2003.
- [4] C. W. Choi, A. A. Prabu, Y. M. Kim, S. Yoon, K. J. Kim, C. Park, "Comparative electrical bistable characteristics of ferroelectric poly(vinylidene fluoride-trifluoroethylene) copolymer based nonvolatile memory device architectures", *Appl. Phys. Lett.*, Vol. 93, p. 182902, 2008.
- [5] S. H. Noh, W. Choi, M. S. Oh, D. K. Hwang, K. Lee, S. Im, S. Jang, E. Kim, "ZnO-based nonvolatile memory thin-film transistors with polymer dielectric/ferroelectric double gate insulators", *Appl. Phys. Lett.*, Vol. 90, p.253504, 2007.
- [6] W. Choi, S. H. Noh, D. K. Hwang, J.-M. Choi, S. Jang, E. Kim, S. Im, "Pentacene-Based Low-Leakage Memory Transistor with Dielectric/Electrolytic/Dielectric Polymer Layers", *Electrochem. Solid-State Lett.*, Vol. 11, pp. H47-H50, 2008.
- [7] S. H. Lim, A. C. Rastogi, S. B. Desu, "Electrical properties of metal-ferroelectric-insulator-semiconductor structures based on ferroelectric polyvinylidene fluoride copolymer film gate for nonvolatile random access memory application", *J. Appl. Phys.*, Vol. 96, pp. 5673-5682, 2004.
- [8] T. J. Reece, S. Ducharme, A. V. Sorokin, M. Poulsen, "Nonvolatile memory element based on a ferroelectric polymer Langmuir-Blodgett film", *Appl. Phys. Lett.*, Vol. 82, p. 142, 2003.
- [9] S. Fujisaki, H. Ishiwara, Y. Fujisaki, "Low-voltage operation of ferroelectric poly(vinylidene fluoride-trifluoroethylene) copolymer capacitors and

metal-ferroelectric-insulator-semiconductor diodes”, Appl. Phys. Lett., Vol. 90, p. 162902, 2007.

- [10] S.-W. Jung, S.-M. Yoon, S.-Y. Kang, K.-J. Choi, W.-C. Shin, B.-G. Yu, “Low Voltage Operation of Nonvolatile Ferroelectric Capacitors Using Poly(vinylidene fluoride-trifluoroethylene) Copolymer and Thin Al₂O₃ Insulating Layer”, Electrochem. Solid-State Lett., Vol. 12, No. 9, pp. H325-H328, 2009.
- [11] J.-W. Hwang, B.-D. Min, S.-S. Kim, “Conformal Al₂O₃ Nanocoating of Semiconductor Nanowires by Atomic Layer Deposition”, KIEE International Transactions on Electrophysics and Applications, Vol. 3C, No. 2, pp. 66-69, 2003.



구경완 (丘庚完)

1983년 2월 충남대학교 전자공학과(공학사). 1985년 2월 충남대학교 전자공학과(공학석사). 1992년 2월 충남대학교 전자공학과(공학박사). 1998년 2월-1999년 2월: 일본 우츠노미야대학 박사후 연구.

1987년 6월-1989년 2월: 현대전자 반도체 연구소 선임연구원. 1989년 3월-1994년 2월: 충청전문대학 전자과 조교수. 1994년 3월-2005년 2월: 영동대학교 전자·정보공학부 부교수. 2005년 3월-현재: 호서대학교 국방과학기술학과 부교수

Tel : 041-540-9541

E-mail : alarmkoo@hoseo.edu

감사의 글

“이 논문은 호서대학교의 재원으로 학술연구비 (2008-0442) 지원을 받아 수행된 연구임”

저 자 소 개



정순원 (鄭焯元)

1998년 2월 영동대학교 정보·전자공학부(공학사). 2000년 2월 청주대학교 전자공학과(공학석사). 2004년 2월 청주대학교 전자공학과(공학박사). 2006년 3월-2007년 2월: 영동대학교 컴퓨터공학과 전임강사. 2007년 3월-2009년 3월: 한국전자통신연구원 융합부품·소재연구부문 Post-Doc., 2009년 5월-현재: 한국전자통신연구원 융합부품·소재연구부문 선임연구원

Tel : 042-860-6386

E-mail : jungsoonwon@etri.re.kr



이기식 (李基植)

1973년 2월 서울대학교 전기공학과(공학사). 1977년 2월 서울대학교 전기공학과(공학석사). 1985년 2월 서울대학교 전기공학과(공학박사). 1978년 3월-현재: 단국대학교 전자전기공학부 교수

Tel : 02-709-2576

E-mail : kisiklee@dankook.ac.kr