디지털 방송 수신용 System in Package 설계 및 제작

論 文
58-1-17

Design and Fabrication of the System in Package for the Digital Broadcasting Receiver

金 志 均* · 李 憲 用†
(Jee-Gyun Kim · Heon-Yong Lee)

Abstract - This paper describes design and fabrication issues of the SiP(System in Package) one-chip for a portable digital broadcasting receiver. It includes RF tuner chip, demodulator chip and passive components for the receiver system. When we apply the SiP one-chip technology to the broadcasting receiver, the system board size can be reduced from 776mm^2 to 144mm^2. SiP one-chip has an advantage that the area reduces more 81% than separated chips. Also the sensitivity performance advances -1dBm about 36 channels in the RF weak electric field, the power consumption reduces about 2mW and the C/N keeps on the same level.

Key Words : Digital Broadcasting, System in Package, System on Package, Multi Chip Module, Intermediate Frequency

1. 서 론

휴대용 멀티미디어 기기 산업의 발전과 더불어 방송 수신 산업의 수요가 함께 급증하고 있다. 이것은 기존의 단순한 동영상과 음악의 재생뿐만 아니라 이동 중에도 시청이 가능한 휴대용 방송수신 기기의 수요가 급증하고 있는 것과 같은 흐름이라 할 수 있다. 하지만 기존의 아날로그 방송 수신기에서는 방송 송신과 수신 모두에 있어서 즉, 방송 송수신 거리, 수신기 안테나 크기 및 소비 전력 등에 있어서 휴대 이동용으로써의 한계점을 가지고 있다. 따라서 이러한 문제의 해결과 디지털 데이터의 송수신을 함께 할 수 있는 디지털 방송이 전세계적으로 실용화되고 있으며, 방송 수신기 기능이 내장된 휴대용 멀티미디어 플레이어와 휴대용 이동전화의 수요가 급증하고 있어서, 휴대용 방송 수신기의 핵심 부품인 수신용 칩 또한 널리 보급되고 있다.

수신용 칩에는 RF 수신 칩, 복조기 칩 및 응용회로가 있으며, 크기와 소비전력에 있어 큰 이슈가 되고 있다. 초소형, 초슬림형, 고기능형의 사용자 요구에 대응하기 위해서는 여러 기능의 핵심 부품들을 고밀도화해야 하므로 단일 칩화 개발이 절실하다.

핵심 부품들의 단일 칩화 기술에는 대표적으로 System in Package(이하, SiP), System on Chip(이하 SoC), Multi Chip Module(이하 MCM)이 있다. 각각의 기술별로 장단점을 가지고 있지만, 전체적으로 비교하면 SoC는 IC 종류에서 이종간의 칩을 공동 웨이퍼 공정으로 하기에 매우 제한적이지만 SiP는 각각의 웨이퍼 공정을 진행한 칩들을 사용하기 때문에 전혀 제약을 받지 않는다. 또한 MCM은 웨이퍼 칩을 이용하기에는 제약이 많고, 기능면에서는 매우 탄력적인 설계가 가능하지만, 상대적으로 전체 크기에 있어서 소형화와는 거리가 있다[1-4].

SiP 기술은 표면 실장 기술과 임베디디 기술을 기반으로 발전된 기술로써 각각 패키지된 칩들보다 단일 칩화에 의한 크기 축소, 짧은 개발 주기를 이용하여 시장 요구에 대응할 수 있는 빠른 개발기간, 응용회로까지 집적화하여 보다 짧은 내부 연결 경로와 디멘젼 오차 감소 그리고 국지적 차폐를 통한 고성능 확보, 자체 신호 노이즈 문제로 단일화에 가장 큰 걸림돌이 되는 RF와 무선까지도 집적화가 가능하여 최저의 개발 비용으로 최적의 성능을 갖는 칩 개발이 가능하다는 큰 장점을 가지고 있다[2-6].

본 논문은 휴대용 디지털 방송 수신기의 RF 신호 입력부, 신호 처리부, 디지털 신호 입력부 그리고 디지털 신호 처리부까지 응용 소자를 포함한 핵심 부분을 하나의 시스템으로 구성된 SiP 칩으로 설계 및 제작을 하기 위한 연구이다. 이를 위하여 각각의 독립적 회로 기판에서 기능별 집접화 준비과정 및 진행 과정에 대하여 서술하고, 최종적으로 SiP 전후의 핵심부품의 크기 변화와 성능에 관하여 비교 고찰 하였다.

2. 본 론

2.1 휴대용 디지털 방송 수신기의 구조

휴대용 방송 수신기는 주파수 입력장치인 안테나에서부터 사용자가 보고 듣을 수 있도록 화면과 스피커까지의 시스템으로 구성되며, 전체적인 시스템 블록 다이어그램은 아래의 그림 1과 같다.

* 正 會 員 : 明知大 工大 電氣工學科 博士課程
† 교신저자, 正會員 : 明知大 工大 電氣工學科 敎授 · 工博
E-mail : hylee@mju.ac.kr
接受日字 : 2008年 10月 20日
最終完了 : 2008年 11月 19日

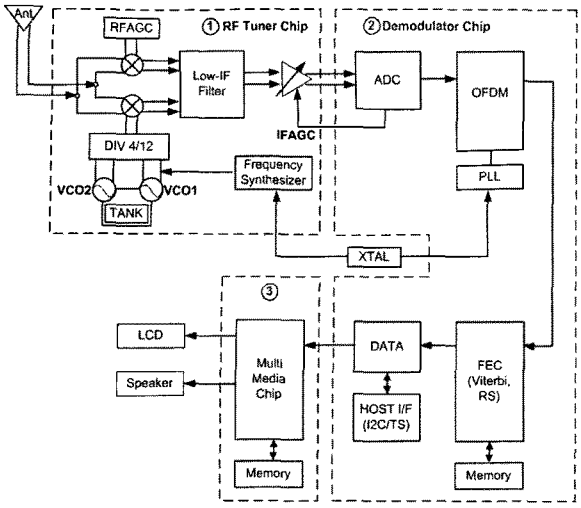


그림 1 휴대용 방송 수신기의 시스템 구조

Fig. 1 System structure of the portable broadcasting receiver

이러한 시스템 구성은 크게 RF 튜너 칩, 복조기 칩 그리고 멀티미디어 칩으로 분류된다. 각 칩의 기능을 살펴보면, RF 튜너 칩은 RF 주파수(200[MHz]~1.4[GHz])를 중간 단계의 중간 주파수(Intermediate Frequency)로 변환하며, 복조기 칩은 중간 주파수의 아날로그 값을 디지털 데이터 형태로 변환한다. 멀티미디어 칩은 디지털 데이터에서 영상과 음성 신호를 분리 및 동기하여 LCD 화면과 스피커로 출력한다.

2.2 설계 및 제작

최적의 크기와 최상의 성능을 갖는 SiP 칩을 제작하기 위해서는 먼저, 단일 칩화하고자 하는 각각의 칩들에 대한 정보 수집, 기능 및 성능을 기준 값으로 확보하여야 한다. 이는 SiP 칩의 설계, 제작이 완료된 후 특성을 비교하여 그 타당성을 정의하기 위한 기준이 되기 때문이다.

그림 2는 최적의 SiP 칩 설계 및 제작을 위한 순서도이다. 먼저, 설계 전 단계로 기준 값 확보를 위하여 RF 튜너 칩과 복조기 칩 각각의 단품 칩을 이용하여 응용 회로를 구성하고, 이에 따라 평가 보드를 제작한다. 제작된 평가 보드는 평가용 소프트웨어를 이용하여 기능 및 성능을 검증하고, 최적화 된 검증 데이터를 기준 데이터로 설정하는 것이 첫 번째 단계 이다. 두 번째 단계로 이전 단계에서 최적화된 평가 보드의 회로를 기준으로 하여 RF 튜너 칩과 복조기 칩 그리고 각각의 응용 소자들을 레이아웃 한다. 레이아웃에서는 와이어본드 공정, SMT 공정 그리고 몰드 공정에서 요구되어지는 기준 규칙에 준하여 목적 크기를 설정하여 진행한다. 세 번째 단계는 SiP 칩을 평가하기 위한 평가 보드 제작으로, 이때 첫 번째 단계에서 제작된 평가보드와 회로적, 전기적으로 동일한 조건을 유지하도록 한다. 마지막 단계로는 SiP 칩의 전·후 물리적, 전기적 특성의 차이를 비교 평가 하도록 한다.

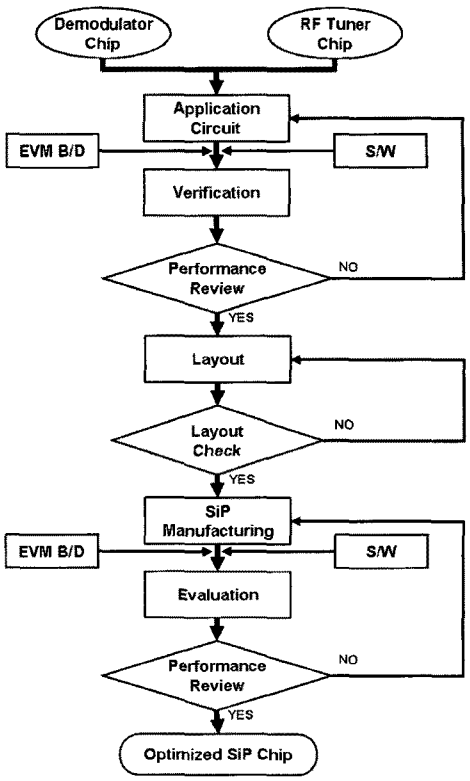


그림 2 SiP 칩 설계 및 제작 순서도

Fig. 2 SiP design and fabrication sequence diagram

2.2.1 초기 기준 값 설정

RF 튜너 칩과 복조기 칩의 물리적 특성과 전기적 특성은 표 1과 같이 이종의 패키지 형태이며, 두 칩의 총 핀 수는 110개이다. 또한 패키지 크기 대비 칩 크기를 관찰하면, SiP로 제작할 경우, 칩의 크기에 있어서 응용 소자까지 포함한다면 1/3도 안 되는 면적에 집적화되는 것을 알 수 있다.

표 1 칩의 특성

Table 1 Chips characteristics

	RF 튜너 칩	복조기 칩
패키지 형태	QFN	WLP (SCSP)
Pin	40	70
패키지 크기	6x6x0.8 mm	4.5x3.5x0.5 mm
Die 크기	3.28x3.45x0.675 mm	4.526x3.448x0.775 mm
소비 전력	124 mW	13 mW
응용 소자	29	44

각 칩들은 정상적인 동작을 위해서는 반드시 응용 회로들이 필요하다. 전원단에 노이즈 대책을 위한 디커플링 캐패시터 회로, 스위치 단자의 온오프 회로, 시그널 단자의 풀업 회로 등등 응용 회로 구성이 있어야만 정상적인 동작에 의해 전기적 특성을 갖게 되기 때문이다.

그림 3과 그림 4에서는 각 부분의 응용 회로를 포함한 평가 보드 제작의 회로도를 표시하였다. 여기서 외곽의 점선 테두리를 기준으로 추후 내부는 SiP로 집적화될 부분이며, 외부는 대부분 단자로 처리되게 된다.

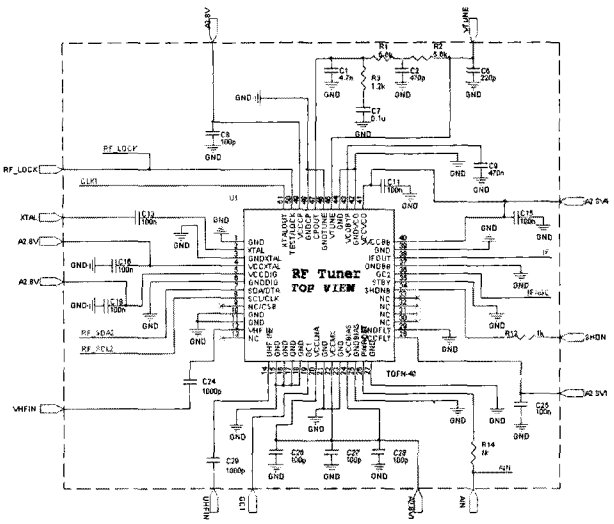


그림 3 RF 튜너 응용 회로도
Fig. 3 RF tuner application circuit

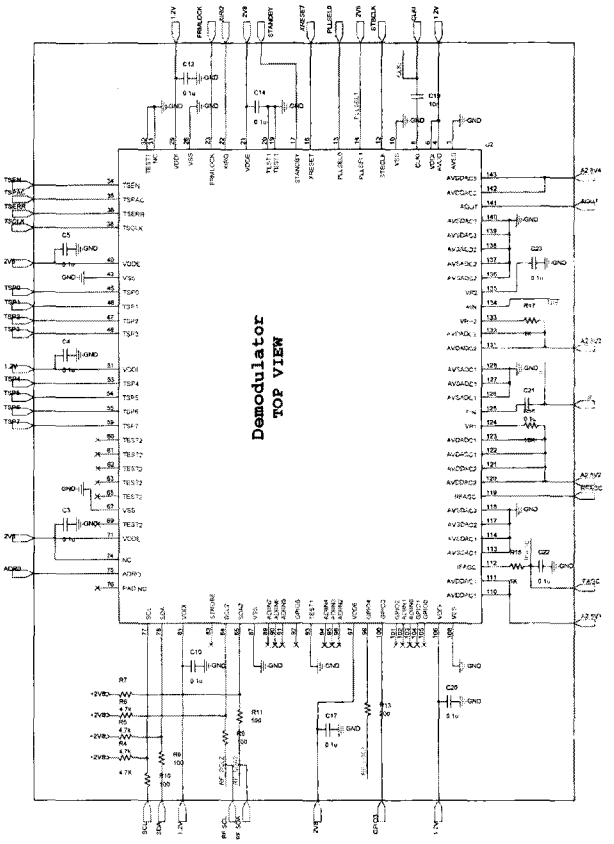
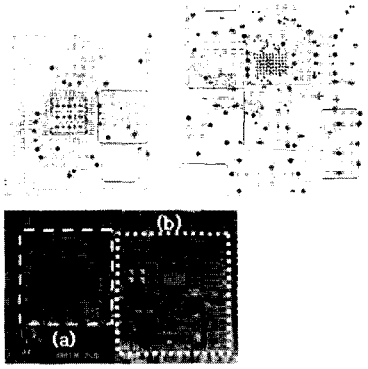


그림 4 복조기 응용 회로도
Fig. 4 Demodulator application circuit

평가 보드의 PCB를 제작한 후 모든 부품들의 SMT를 진행하였으며, 이때 RF 튜너 칩과 복조기 칩 그리고 응용 소자는 아래의 그림 5에서 보는 바와 같이 평가 보드에서 두 영역으로 분류되어 진다. (a)는 RF 튜너 영역으로 그 크기는 약 16x17[mm]이고, (b)는 복조기 영역으로 그 크기는 약 21x24[mm]이다.



(a) RF 튜너 영역 (b) 복조기 영역
(a) RF tuner area (b) Demodulator area

그림 5 평가보드
Fig. 5 Evaluation board

마지막 단계로 제작된 평가 보드에서 RF 튜너와 복조기의 동작을 확인하고, 그 전기적 특성의 측정을 위하여 그림 6과 같이 측정 셋업을 실시한다.

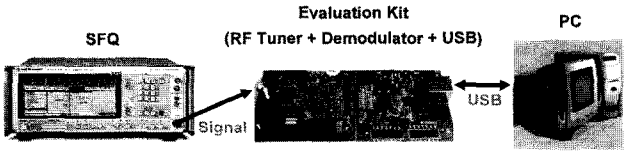


그림 6 초기 검사 셋업
Fig. 6 Initial test setup

표 2 전기적 특성의 측정 조건
Table 2 Electrical characteristics measurement condition

특성	측정 조건	
감도	Mode	3 (8K)
	Guard	1/8
	QPSK	2/3
	IL	4
	Noise	Off
	BW	5.572MHz
C/N 소비 전력	Mode	3 (8K)
	Guard	1/8
	QPSK	2/3
	IL	4
	Frequency	485.143MHz
	BW	5.572MHz
	RF Power	-60dBm

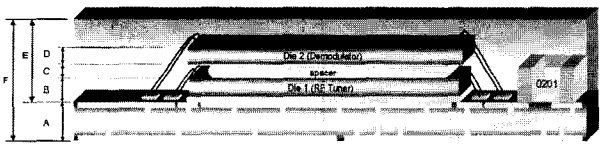
측정 방법으로는 Rohde&Schwarz 사의 SFQ 장비를 사용하여 RF 튜너에 RF 방송 신호를 입력하고 출력된 중간주파수 신호를 복조기에서 ADC를 통하여 디지털 신호로 변환한 후 USB 통신으로 운영 소프트웨어가 실행중인 퍼스널 컴퓨터에서 영상, 음성신호 그리고 에러를 확인한다. 이때 RF 방송 신호의 세기를 각 방송 채널 주파수 별로 약전계(-90[dBm]~-100[dBm])와 강전계(-2[dBm]~4[dBm])에서 각각 실시하며, C/N 측정과 SiP 집적화 대상 영역에 포함된

칩 및 응용 소자에 대한 소비 전력도 함께 측정한다. 전기적 특성 측정 조건은 해당 디지털 방송 규격에 따라 표 2와 같이 적용한다.

2.2.2 SiP 설계 구조 및 설계 규칙

목표 크기는 집적화되는 칩의 크기, 수동소자 개수, PCB 비아 크기, 패턴 크기, 와이어 본드 종류 그리고 패키지 기준 등 여러 가지 영향 요소들에 의해 설정된다. 그중에서도 SiP 내부에 집적화되는 RF 튜너 칩과 복조기 칩의 크기 그리고 수동 소자의 개수에 가장 큰 영향을 받는다. 제조 공정 기술의 발전에 따라 PCB와 패키지 기준 등의 요소들은 탄력적 적용이 가능하지만, 칩과 수동 소자는 이미 제품화된 것으로 변형이 제한적이기 때문이다[5,7-10].

본 설계에서는 8x8x1.22[mm]의 목표 크기를 설정하였으며 대략적인 구조는 그림 7에서 보인 바와 같이 GND 레이어 강화와 전원 분리를 위해 4층 PCB 기판을 적용하고, 위에 RF 튜너 칩과 복조기 칩을 적층 구조로 구성하며, 그 사이에 스페이서를 사용하였다. 일반적으로 크기가 서로 다른 칩을 적층 할 경우, 아래층에 크기가 큰 칩을 접착하고 그 위에 작은 칩을 적층 하는 것이 물리적으로 안정적이지만, SiP의 경우에는 와이어본드 길이가 길어져서 전기적으로 커플링에 의한 노이즈 발생 요인이 있어서 반대의 구조를 이용하여 와이어본드 루프와 길이를 단축했다. 또한, 노이즈 영향을 받는 RF 칩을 아래층에 위치하여 PCB 기판의 GND와 도전성 칩 접착제인 Ablestik 2300을 사용하여 접착함으로써 아날로그 노이즈가 감소하게 하였다. 따라서 목표 크기의 높이는 그림 7의 A, B, C 그리고 D의 합인 0.92[mm]에 몰드와 레이저 마킹을 위한 최소 공간 0.3[mm]를 고려하여 1.22[mm]로 설정하였다.



A. PCB:0.32mm, B. 칩1:0.25mm, C. 스페이서:0.1mm,
D. 칩2:0.25mm, E. 몰드:0.9mm, F. 높이:1.22±0.05mm

그림 7 패키지 및 칩 적층 구조
Fig. 7 Package and die stack structure

칩 적층 외곽에는 와이어본드 패드, 패턴 그리고 비아가 위치하고 최외곽으로 수동 소자를 배열한다. 와이어 본드 종류에 따른 루프 앵글과 거리에 따른 와이어본드 패드와 비아를 위한 공간으로 칩당 각각 최소 0.5[mm]를 할당하고, 수동 소자는 0201(0.6x0.3[mm]) 크기로 PCB 및 SMT 클리어런스를 표 3, 표 4 그리고 표 5와 같은 기준으로 설계하여 목표 크기 8x8[mm]을 설정하였다.

표 3 와이어본드 설계 기준
Table 3 Wire bond design reference

앵글 조건	와이어본드 방식
루프-기판 앵글 ≦ 45°	Forward(normal) 와이어본드
루프-기판 앵글 ≧ 45°	RSSB 와이어본드

표 4 서멀 비아 설계 기준
Table 4 Thermal via design reference

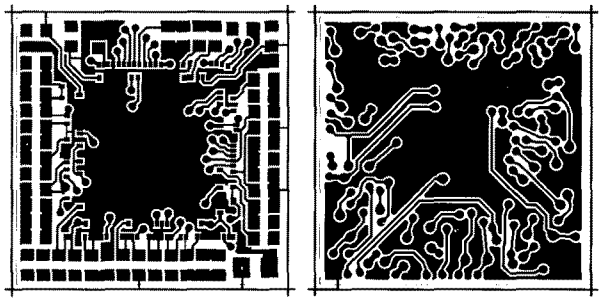
항목		기준[mm] (최소)	
도금 두께(PTH)		0.015 (전형적)	0.038 (전형적)
드릴 크기 (기계적 스루 비아)	일반	0.200	0.250
	정밀 피치	0.100	0.150
비아 랜드 크기	일반	0.350	0.400
	정밀 피치	0.250	0.300
드릴 피치	동일 금속 패드 이내	0.350	0.400
	개별 비아 랜드	0.425	0.475
비아 랜드 - 패키지 외곽 거리	외부 레이어	0.100	
	내부 레이어	0.150	
비아 랜드 - 마이크로스트립 거리		0.075 (전형적)	

표 5 SMD 소자 설계 기준
Table 5 SMD component design reference

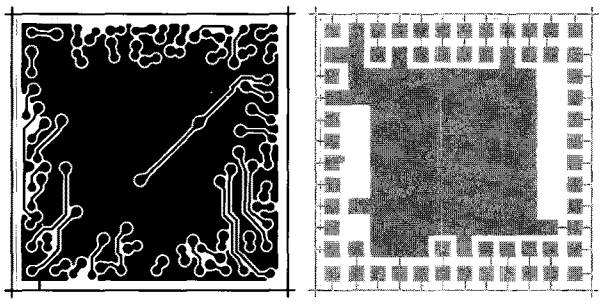
항목	기준[mm] (최소)
패드 - 패드 간격	0.150
패드 - 패키지 외곽 거리(수평)	0.125
패드 - 패키지 외곽 거리(수직)	0.150
소자 - 소자 간격	0.180

2.2.3 SiP PCB 기판 설계 및 제작

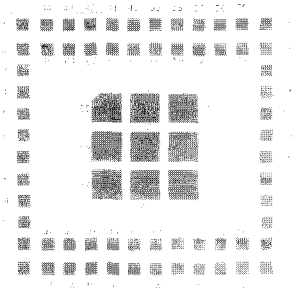
크기 8x8x1.24[mm]에 73핀 LGA(Land Grid Array) 패키지 타입으로 설계한 SiP 칩 내부에는 RF 튜너 칩 1개, 복조기 칩 1개, 수동 소자 46개가 집적화되었다. PCB 기판 아트웍 설계도는 아래의 그림 8과 같이 4개의 에폭시 레이어와 5개의 카파 레이어로 하였다.



(a) Layer 1 (b) Layer 2



(c) Layer 3 (d) Layer 4



(e) Layer 5

그림 8 SiP PCB 기판 아트웍 설계
Fig. 8 SiP substrate PCB artwork designs

2.2.4 SiP 칩 제작 및 검토

제작된 PCB 기판에 수동 소자들을 SMT하고, 그림 9에서 보는 바와 같이 와이어본드를 진행한다. RF 튜너 칩을 아랫면에 먼저 접착하고, Forward(normal) 본드로 와이어본드 한 후 Si 스페이서를 접착하며, 그 위에 복조기 칩을 윗면에 접착한다. 이때 복조기 칩의 본드 패드 윈도우가 기판 본드 패드와 가깝기 때문에 RSSB(Reversed Stand off Stitch Bond) 방법을 이용하여 공정을 진행한다[7].

마지막 0.9[mm] 몰드 캡으로 몰드 공정을 진행하여 SiP 단일 칩이 완성되었다.

제작된 SiP 단일 칩의 내부를 검토하기 위하여 그림 10과 같이 X-Ray 투시 촬영을 진행하였다.

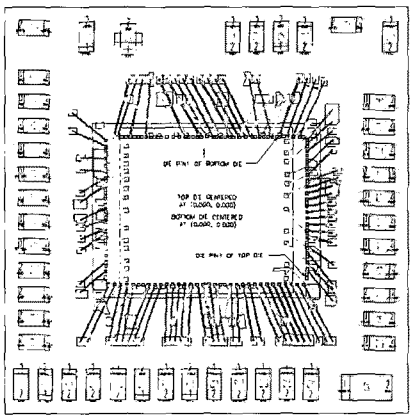
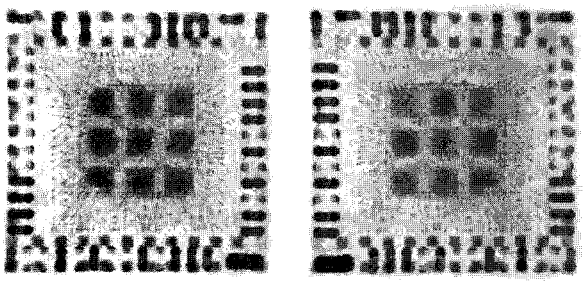


그림 9 SiP 와이어본드 설계도
Fig. 9 SiP wire bonding design



(a) Top View (b) Bottom View

(c) Side View

그림 10 X-Ray 투시 사진
Fig. 10 X-Ray pictures

제작된 SiP 칩은 평가 보드에 SMT를 진행하였으며 그림 11과 같이 집적화된 것을 확인할 수 있다. 또한 집적화하지 못한 수동 소자들을 SiP 주변으로 배열하여 1.2x1.2[mm] 영역에 집적화 하였다.

SiP 칩의 전기적 특성 측정은 기준 값 설정 단계의 측정 셋업과 동일한 방법으로 진행하였다.

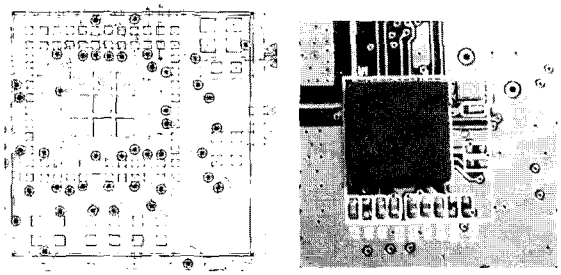


그림 11 평가 보드상의 SiP 칩
Fig. 11 SiP chip on the evaluation board

2.3 결과 및 고찰

각각의 RF 튜너 칩과 복조기 칩이 SMT 된 평가 보드의 전채널에 대한 강전계와 약전계에서의 감도(Sensitivity) 측정 결과와 SiP 단일 칩을 SMT 한 평가 보드의 감도 측정 결과를 아래의 그림 12와 같이 나타내었다.

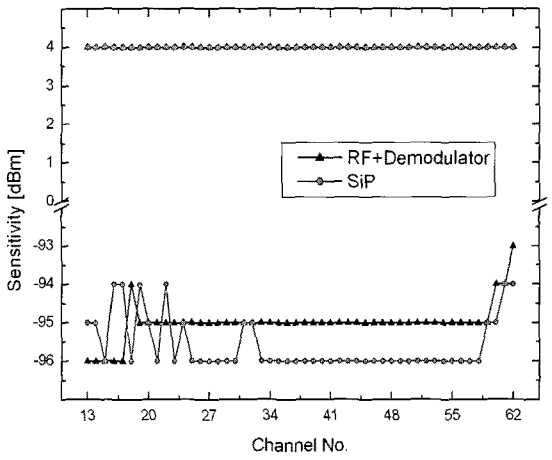


그림 12 감도 특성
Fig. 12 Sensitivity characteristics for channels

위에서 보는 바와 같이 약전계 감도는 채널 25번에서 30번, 33번에서 58번 등 36개 채널에서 -1[dBm] 그리고 채널

18번에서 -2[dBm] 향상 되었고, 채널 1번과 2번 등 4개 채널에서 -1[dBm] 그리고 채널 4번과 5번에서 -2[dBm] 열화 되었으며, 채널 3번과 8번 등 7개 채널에서 동일한 성능을 유지하였다.

SiP 집적화 전과 후 상태에서의 C/N(Carrier to Noise) 측정 결과와 소비 전력 측정 결과를 표 6과 표 7에 정리하였으며, C/N 성능과 소비 전력 모두 동등한 수준으로 확인되었다.

표 6 C/N 특성
Table 6 C/N characteristics

	RF 튜너 + 복조기	SiP
QPSK 1/2	2.7	2.7
QPSK 2/3	4.5	4.5

표 7 소비 전력 특성
Table 7 Power consumption characteristics

	소비전력 [mW]
RF 튜너 + 복조기	AVG 140
SiP	AVG 138

4. 결 론

이상의 결과와 같이 집적화 기술을 이용하여 제작한 SiP 칩은 크기와 전기적 특성에서 최적화 되었으며, 아래와 같이 결론을 정의하였다.

첫째, 제작된 SiP 칩의 물리적 특성은 독립 칩으로 RF 튜너 칩 6x6x0.8[mm], 복조기 칩 4.5x3.5x0.5[mm] 크기에서 SiP 단일 칩 8x8x1.22[mm]로 집적화 하였다. 높이가 0.8[mm]에서 1.22[mm]로 0.42[mm] 상승하였지만, 응용 회로 소자까지 포함한 RF 튜너, 복조기 영역의 크기 16x17[mm], 21x24[mm]에서 12x12[mm] 영역으로 집적화하여 면적율로 약 81[%] 이상의 축소화를 이루었다.

둘째, 전기적 특성은 SiP 전·후를 대비하여, 강전계 감도 성능은 동등 유지, 약전계 감도 성능은 36개 채널에서 -1[dBm] 향상, C/N 성능은 동등 유지 그리고 소비 전력은 평균 2[mW] 성능 향상을 확인하였다.

결론적으로 SiP 단일 칩의 제작은 전기적 특성의 향상과 물리적 면적 비중에서도 큰 효과를 갖기 때문에 휴대용 디지털 방송 수신기의 초소형화와 고성능화의 요구를 동시에 만족시킬 수 있는 최적화된 SiP 단일 칩을 제작하였다.

참 고 문 헌

[1] Christopher M. Scanlan and Nozad Karim, ""System-in-Package technology, application and trends"", SMTA International Proceedings, 2001, pp. 764-773

[2] 이성수, "SiP(System-in Package) 기술", 주간기술동향, Vol. 242, pp. 25-33, 2006. 4.

[3] 윤중광, "SOP(System-on-Packaging) for Mega-Function System Integration", 세라미스트, Vol. 8, No. 6, pp. 46-52, 2005. 12.

[4] Andrew Holland, "Innovations in QFN Packaging Targeting RF and Image Sensor System-in-Package", IMAPS MicroTech 2006.

[5] Wei Koh, "System in Package (SiP) Technology Applications", IEEE Electronic Packaging Technology Conference, pp. 61-66, 2005. 8.

[6] Shan Gao, Jupyo Hong 외 3인, "Effects of Packaging Materials on the Reliability of System in Package", IEEE/ICEPT Electronic Packaging Technology Conference, pp. 1-5, 2007. 8

[7] Tiao Zhou, Mark Gerber, Moody Dreiza, "Stacked Die Package Design Guidelines", IMAPS 2004.

[8] Priest, J., Ahmad, M.외 3인, "Feasibility Study of a SiP for High Performance and Reliability Product Application", IEEE High Density Microsystem Design and Packaging and Component Failure Analysis Conference, pp. 1-5, 2005. 7.

[9] M. Karnezos, F. Carson and R. Pendse, "3D packaging promises performance, reliablility gains with small footprints and lower profiles", Chip Scale Review, 2005.

[10] N. Tanaka and Y. Yoshimira, "Ultra-Thin 3D-Stacked SiP formed Using Room-Temperature Bonding between Stacked Chips", 2005 ECTC Conference, pp. 788-794, 2005.

저 자 소 개

김 지 균 (金 志 均)

1976년 1월 29일생. 1998년 명지대 전기공학과 졸업. 2000년 동 대학원 전기공학과 졸업(공석). 2000년~현재 동 대학원 전기공학과 박사과정

Tel : 031-330-6360
Fax : 031-321-0271
E-mail : ratvirus@empal.com

이 헌 용 (李 憲 用)

1949년 7월 25일생. 1975년 고려대 전기공학과 졸업. 1983년 동 대학원 전기공학과 졸업(공박). 1979년~현재 명지대 전기공학과 교수

Tel : 031-330-6360
Fax : 031-321-0271
E-mail : hylee@mju.ac.kr