

논문 2009-46SD-1-7

심장박동 조절장치를 위한 저전압 저전력 델타 시그마 모듈레이터

(A Low-Voltage Low-Power Delta-Sigma Modulator
for Cardiac Pacemaker Applications)

채 영 철*, 이 정 환*, 이 인 희*, 한 건 희**

(Youngcheol Chae, Jeongwhan Lee, Inhee Lee and Gunhee Han)

요 약

심장박동 조절장치를 위한 저전압 저전력 델타 시그마 모듈레이터를 제안하였다. 제안된 회로는 feedforward 구조를 이용한 델타 시그마 모듈레이터 단을 계단식 형태로 설계하였으며, 이를 통하여 저전압 환경에서도 비교적 높은 해상도를 구현할 수 있었다. 인버터 기반의 스위치드 커패시터 회로를 이용하여 전력소모를 최소화 하고, 낮은 전압에서도 동작 가능하도록 설계되었다. 제안된 회로는 0.35- μm CMOS 공정을 이용하여 구현되었으며, 샘플링 주파수가 7.6 kHz 이고 120Hz 대역폭에서 61-dB SNDR, 63-dB SNR, 그리고 65-dB DR 을 가진다. 이때 전력소모는 1-V 전원전압에서 280 nW 에 불과하다.

Abstract

A low voltage, low power delta-sigma modulator is proposed for cardiac pacemaker applications. A cascade of delta-sigma modulator stages that employ a feedforward topology has been used to implement a high-resolution oversampling ADC under the low supply. An inverter-based switched-capacitor circuit technique is used for low-voltage operation and ultra-low power consumption. An experimental prototype of the proposed circuit has been implemented in a 0.35- μm CMOS process, and it achieves 61-dB SNDR, 63-dB SNR, and 65-dB DR for a 120-Hz signal bandwidth at 7.6-kHz sampling frequency. The power consumption is only 280 nW at 1-V power supply.

Keywords : Cardiac pacemaker, Delta-sigma modulator, Feedforward topology, Switched-capacitor circuit, Inverter-based SC circuit technique.

I. 서 론

집적회로 기술의 발달에 따라서 체내 이식 가능한 의료기기에 관한 연구가 활발히 이루어지고 있는 추세이다. 체내 이식용 의료기기는 몸속에 삽입 되어야 하므로 작은 소자로 구현 되어야 하고, 오랜 시간동안 배터리 교체 없이 사용이 가능해야 하므로 저전력으로 동작하는 것이 필수적이다. 따라서 CMOS 회로를 이용해서

체내 이식형 회로를 구현하는 것이 효과적이다.

체내 이식형 심장 박동 조절장치는 심장기능 이상으로 인한 부정맥이 발생할 경우, 이를 감지하여 심장에 전기적인 자극을 가해 심장기능을 되돌리는 역할을 하는 의료기기이다^[1]. 이 장치는 체내에 이식하기 때문에 배터리 교체 없이 오랫동안 사용이 가능해야 하므로 저전력 회로설계 기법이 요구된다.

그림 1은 일반적인 체내 이식형 심장 박동기의 감지부 (sensing stage) 의 블록도를 보여준다^[1~2]. 심장에 있는 전극 (electrode) 으로부터 신호를 받아들이는 계측증폭기 (instrument amplifier)와 의미있는 생체신호를 걸러내는 대역통과필터 (bandpass filter) 그리고 아

* 학생회원, ** 평생회원, 연세대학교 전기·전자공학과 (Department of Electrical and Electronic Eng., Yonsei University)

접수일자: 2008년11월24일, 수정완료일: 2009년1월8일

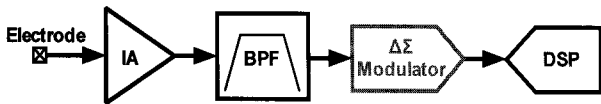


그림 1. 심장박동 조절장치 감지부.
Fig. 1. Sensing stage of cardiac pacemaker.

날로그 신호를 디지털 형태로 변환하는 델타 시그마 ($\Delta\Sigma$) 모듈레이터 (modulator)와 이 신호를 통해 디지털 신호를 생성하고 진단하는 디지털 신호 처리기 (digital signal processor)로 구성되어 있다. 본 논문에서는 이 중에서 $\Delta\Sigma$ 모듈레이터를 저전압 저전력으로 설계하는 방법을 제안하고자 한다.

제안된 회로는 $\Delta\Sigma$ 모듈레이터를 저전압, 저전력으로 설계하기 위하여 feedforward 구조를 사용하였고, 이를 계단식 (cascade) 형태로 구현하여 4차의 $\Delta\Sigma$ 모듈레이터를 구현 하였다. 이를 통해서 안정성 문제없이 고차의 모듈레이터를 손쉽게 구현할 수 있었다. 낮은 전원 전압에서도 동작하게 하기 위해서 인버터 기반의 스위치드 커패시터 회로를 이용하여 전력소모를 최소화 하고, 낮은 전압에서도 동작 가능하도록 설계되었다.

제안된 회로는 0.35- μm CMOS 공정으로 구현되었으며, 전원 전압이 1 V 인 환경에서도 동작이 가능하다. 입력신호의 대역폭은 120 Hz 이며, 이는 체내 이식형 심장 박동기에 사용되기에 충분하다.

II. 본 론

1. 제안된 델타 시그마 모듈레이터의 구조

일반적인 feedback $\Delta\Sigma$ 모듈레이터는 적분기의 입력과 출력이 모두 입력신호 X의 함수로 이루어지기 때문에 입력 신호가 큰 신호가 들어올 경우 이 신호로 인하여 증폭기는 slew 가 발생하게 되고, 적분기 출력의 큰 신호로 인해서 신호의 왜곡을 피할 수가 없게 된다. 따라서 이를 피하기 위해 작은 입력 신호만을 받아들여지게 되면, 신호대 잡음비가 줄어들게 되어 증폭기의 잡음을 줄여야하기 때문에 전력소모가 증가된다. 증가된 적분기의 출력 범위는 신호의 크기에 따른 전압이득의 변화율을 증가시켜 신호의 왜곡 현상을 유발하게 되는데, 이를 피하기 위해서는 높은 전압이득이 필요하게 된다. 저전압 설계에 있어서는 높은 전압이득을 얻기가 용이하지 않으므로, 이러한 구조는 저전압설계에 적합하지 못하다. Feedforward 구조를 이용하여 이러한 문제점을 해결 할 수 있다^[3~5].

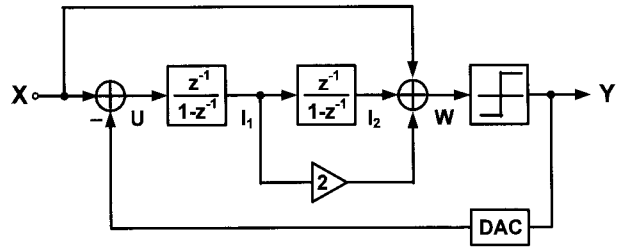


그림 2. 2차 feedforward $\Delta\Sigma$ 모듈레이터.
Fig. 2. Second order feedforward $\Delta\Sigma$ Modulator.

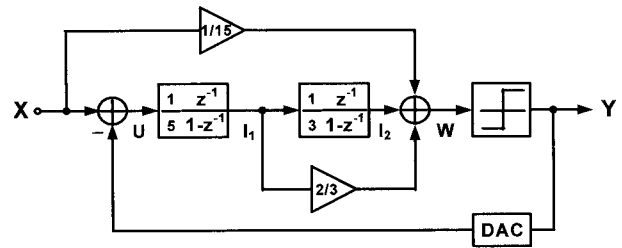


그림 3. Feedforward $\Delta\Sigma$ 모듈레이터의 계수 조절.
Fig. 3. Coefficient scaling of feedforward $\Delta\Sigma$ Modulator.

그림 2는 feedforward 구조를 이용한 2차 $\Delta\Sigma$ 모듈레이터의 블록도이다. 이 2차 구조의 전달함수는 다음과 같이 표현 될 수 있다.

$$Y = X + (1 - z^{-1})^2 E \tag{1}$$

출력 Y는 입력 X가 지연 없이 표현되고, 양자화 잡음 E 는 2차의 고대역 통과필터 (highpass filter)로 표현된다. 이 경우 적분기의 출력 I_1 과 I_2 는 다음과 같은 식으로 유도된다.

$$I_1 = -z^{-1}(1 - z^{-1})E \tag{2}$$

$$I_2 = -z^{-2}E \tag{3}$$

이때 적분기의 출력은 입력 신호의 크기와 무관한 신호이므로 양자화 잡음이 낮은 수준으로 유지되면 입력신호의 크기와 상관없이 안정적인 출력을 생성하게 된다.

단일 비트의 양자화를 사용 할 경우, 루프 필터의 안정성을 만족시키고 전원전압의 범위 내에서 구현이 가능하도록 적분기의 출력 범위를 감소시켜 주어야 할 필요가 있다^[4]. 그림 3은 이러한 조건을 만족시키기 위해 루프 필터의 계수가 조절된 2차 feedforward $\Delta\Sigma$ 의 블록도를 나타낸다. 그림 3과 같이 계수를 조절 하였을 경우 두 적분기의 출력을 히스토그램으로 살펴볼 경우 그림 4와 같이 첫 번째 적분기는 기준전압의 30%, 두

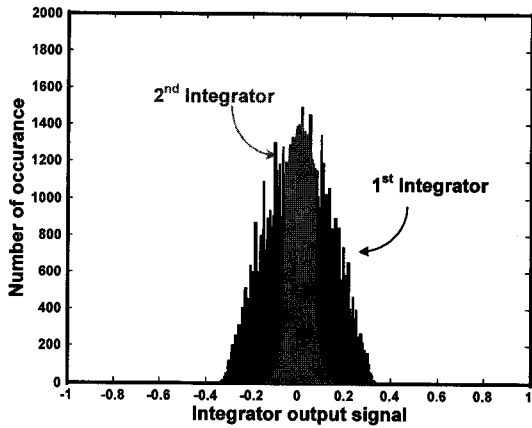


그림 4. ΔΣ 모듈레이터의 적분기 출력.
Fig. 4. Integrator output of ΔΣ Modulator.

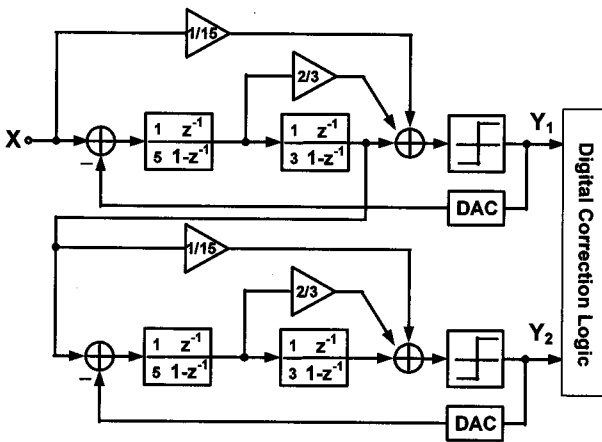


그림 5. MASH 2+2 ΔΣ 모듈레이터.
Fig. 5. MASH 2+2 ΔΣ Modulator.

번째 적분기는 기준전압의 20% 이내로 유지된다. 이러한 특성은 입력 신호가 기준전압 대비 -6dB 정도까지 증가 되더라도 유지 된다.

심장박동 조절장치용 ΔΣ 모듈레이터로서 성능을 만족시키고 (10b ENOB) 전력소모를 극소화시키기 위해서 다소 낮은 oversampling ratio (OSR=32) 가 적절하고, 이에 따라서 2차 이상의 고차의 모듈레이터가 필요로 하게 된다. 이는 기존의 2차의 모듈레이터를 이용해 이를 계단식 형태로 구성한 MASH 2+2 구조로 구현이 가능하다. 그림 5는 MASH 2+2 형태로 구성된 4차의 ΔΣ 모듈레이터 블록도이다. 이와 같이 MASH 형태로 구성하게 되면 고차의 필터를 단일 루프 내에 합성하지 않아도 되기 때문에 손쉽게 안정성을 확보할 수 있다.

2. 회로 설계

가. 적분기

일반적으로 스위치드 커패시터 (Switched-Capacitor: SC) 회로를 이용하여 ΔΣ 모듈레이터의 구현이 가능하며, 이때 스위치드 커패시터 회로는 operational amplifier (Op-Amp)를 이용하여 구현된다. 모듈레이터의 대부분의 전력은 Op-Amp를 통해 소모된다. 전력소모를 줄이고 낮은 전압에서 동작이 가능하도록 하기 위해서, Op-Amp 를 인버터 (inverter)로 대체하는 것이 가능하다. 하지만 인버터의 경우 하나의 입력단자만을 가지고 있기 때문에 Op-Amp 와는 다르게 가상접지 (virtual ground)를 원하는 전압으로 형성하는 것이 불가능 하게 된다. 이러한 단점을 극복하기 위해서 오프셋이 제거된 적분기 (offset cancelled integrator)를 사용하여 이러한 문제점을 해결 할 수 있다^[5]. 인버터를 증폭기로 사용할 경우 일반적인 Op-Amp 기반의 회로에 비해서 훨씬 낮은 전원전압의 범위에서도 동작이 가능하다. 그림 6은 인버터를 이용한 적분기의 회로도이다. 이 적분기의 전달함수는 다음과 같다.

$$H(z) = \frac{z^{-1/2}}{1 - z^{-1}} \quad (4)$$

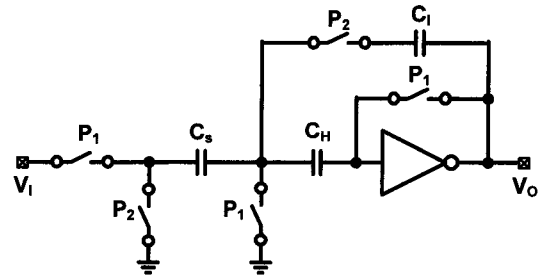


그림 6. 인버터를 이용한 적분기.
Fig. 6. Integrator using an inverter.

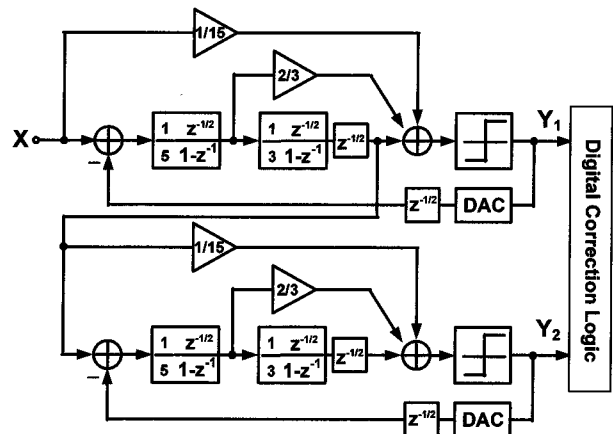


그림 7. 수정된 MASH 2+2 ΔΣ 모듈레이터.
Fig. 7. Modified MASH 2+2 ΔΣ Modulator.

제안된 적분기는 입력신호에 대해서 반주기 지연 (half delay) 됨을 보여준다. 보통의 $\Delta\Sigma$ 모듈레이터에서는 입력 신호에 대해 한주기 지연 (full delay) 적분기를 사용한다. 하지만 반주기 지연 적분기를 사용할 경우 모듈레이터의 feedback 경로와 forward 경로에 반주기 지연 블록을 삽입함으로써 동일한 신호 전달 함수 (signal transfer function: STF)와 잡음 전달 함수 (noise transfer function: NTF)를 가지도록 설계가 가능하다^[4-5]. 그림 7은 제안된 적분기를 이용하여 구현이 가능하도록 수정된 모듈레이터 블록도이다.

나. 모듈레이터

그림 8은 제안된 $\Delta\Sigma$ 모듈레이터의 회로도를 보여주고 있다. 제안된 $\Delta\Sigma$ 모듈레이터는 인버터를 이용하여 의사 차동 (pseudo-differential) 구조로 설계되었다. 증폭기의 공통모드 (common-mode) 전압을 공급하기 위

해서 공통모드 커패시터 (C_M)를 이용해서 이를 공급하였다.

비교기의 앞단에 forward 경로의 값들을 덧셈하는 블록은 수동소자를 이용해서 계산하는 방식을 사용하였다. 즉 증폭기를 사용하지 않고, 커패시터를 병렬로 연결하여 신호에 값들을 계산하는 방법을 사용하였다. 이러한 방식은 신호의 크기가 지나치게 작을 경우 비교기의 오류를 유발하는 단점이 있으나, 제안된 구조에서는 적분기의 출력 값들이 충분히 큰 값이므로 문제가 되지 않는다.

첫 단의 샘플링 커패시터는 열잡음 (thermal noise)을 고려하여 0.2 pF으로 설정하였다. 모든 스위치드 커패시터 회로에 사용되는 스위치 (switch)는 feedback 스위치를 제외하고, 낮은 전원전압에서 사용하기 위해서 NMOS 만으로 구성하였다. 단일 비트 비교기는 전력소모를 최소화하기 위해서 pre-amp 없이 동적 비교

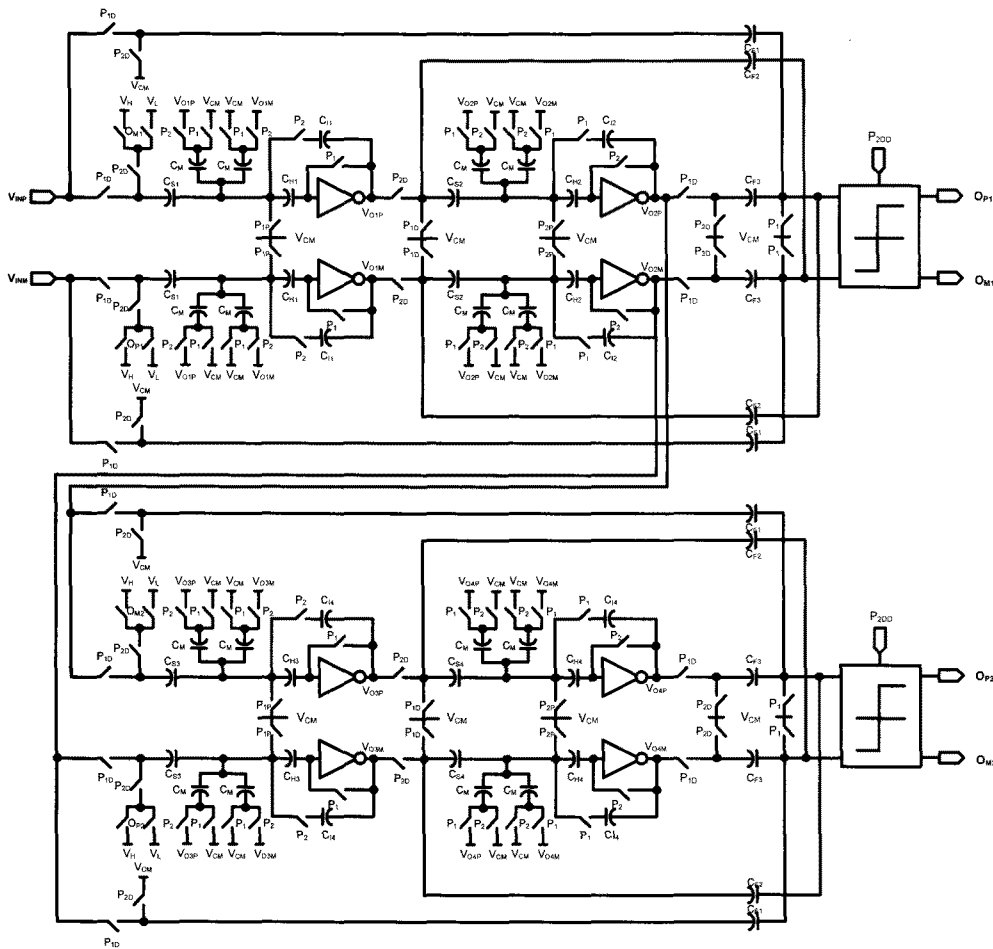


그림 8. $\Delta\Sigma$ 모듈레이터 회로도.
Fig. 8. $\Delta\Sigma$ Modulator schematic.

기 (dynamic comparator)와 latch 만을 이용해서 구현 하였다^[6]. 이 비교기는 동적 회로이므로 높은 전력 효율 을 가진다.

다. 클럭(clock) 발생기

제안된 $\Delta\Sigma$ 모듈레이터에 사용되는 클럭 신호는 칩의 내부에서 클럭 발생기를 통해서 생성하였다. Charge injection 과 clock feedthrough의 효과를 줄이기 위해서 지연된 클럭 (P_{1D} , P_{2D}) 또한 생성 하였다. 낮은 전압에 서 스위치를 켜고 끄는 것이 가능하도록 클럭 신호들은 전원전압에 두 배로 승압시켰다. 그림 9는 제안된 회로 를 위한 클럭 승압기 (clock booster) 회로도이다.

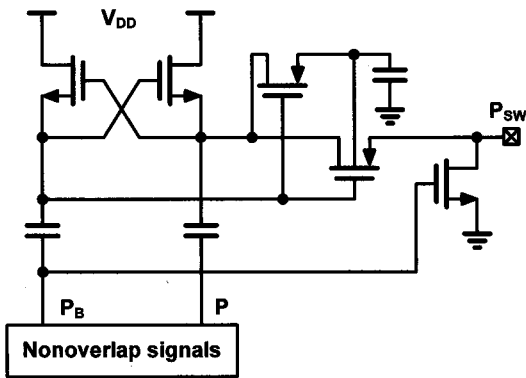


그림 9. 클럭 승압기.
Fig. 9. Clock booster.

III. 측정 결과

제안된 $\Delta\Sigma$ 모듈레이터는 0.35- μm CMOS 공정을 이 용하여 제작되었다. 그림 10은 제작된 칩의 사진이고, 이때의 패드를 제외한 코어의 면적은 0.8mm \times 0.9mm 이다. 그림 11은 샘플링 주파수가 7.6 kHz 일 때 측정 된 출력 스펙트럼이다. 입력 신호는 -12 dB_{FS}, 24.7 Hz 의 정현파를 사용하였으며, 이때 전원 전압은 1 V 를 사용하였다. 그림 12는 입력 신호의 크기에 따른 SNDR 과 SNR을 측정한 그래프이다. 신호의 대역폭이 120Hz 일 때, 최대 SNDR과 SNR은 61dB와 63dB를 가진다.

측정된 동적영역 (dynamic range: DR) 은 65dB로 시뮬레이션을 통해 예측된 수치와 일치한다. 이때 모듈 레이터의 전력소모는 280 nW에 불과하다. 제안된 $\Delta\Sigma$ 모듈레이터의 측정결과를 표 1에 요약하였다.

일반적으로 아날로그 디지털 변환기의 성능은 다음 과 같은 전력소모와 대역폭 그리고 해상도로 이루어진

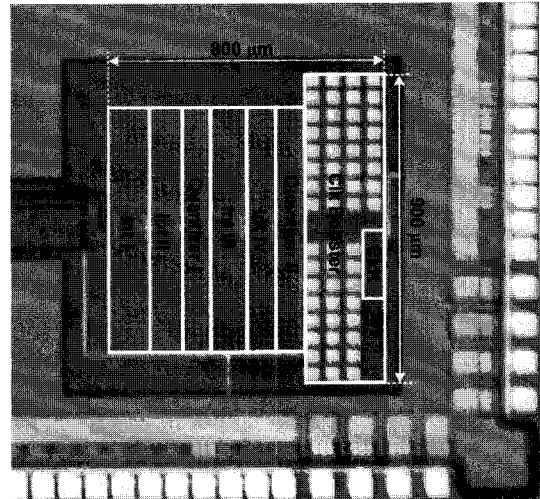


그림 10. 칩 사진
Fig. 10. Chip Microphotograph.

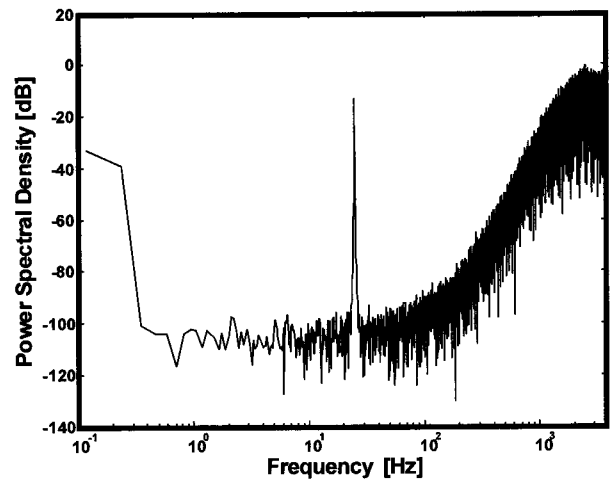


그림 11. 측정된 파워 스펙트럼.
Fig. 11. Measured Power Spectral Density.

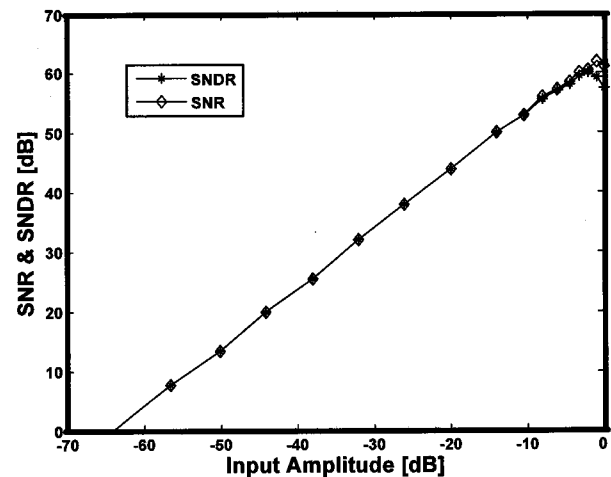


그림 12. 측정된 SNR 과 SNDR.
Fig. 12. Measured SNR and SNDR.

표 1. 이전 논문과의 성능 비교

Table 1. Performance comparison with prior arts.

	[7]	[8]	This work
Process	0.35 μm CMOS		
Supply	0.9 V	1.8 V	1 V
Order	Third	Third	Fourth
Fs	8 kHz	8 kHz	7.6 kHz
Bandwidth	90 Hz	250 Hz	120 Hz
OSR	46	16	32
SNDR	39 dB	42 dB	61 dB
SNR	44 dB	NA	63 dB
DR	45 dB	52 dB	65 dB
Power	300 nW	970 nW	280 nW
FOM ₁	22.9 pJ/step	18.8 pJ/step	1.27 pJ/step
FOM ₂	129	136	151

성능지표 (Figure-of-merit: FOM) 로 비교할 수 있다.

$$FOM_1 = \frac{Power}{2^{ENOB} \times 2 \times Bandwidth} \quad (5)$$

FOM₁가 작을수록 우수한 성능을 나타낸다. 제안된 $\Delta\Sigma$ 모듈레이터는 1.27 pJ/step의 FOM₁ 을 가진다. 일반적으로 $\Delta\Sigma$ 모듈레이터의 경우 FOM₁ 이외에 응용 분야에 따라 다음과 같이 동적범위 로 이루어진 성능지표를 이용하기도 한다.

$$FOM_2 = DR_{dB} + 10 \log \left(\frac{Bandwidth}{Power} \right) \quad (6)$$

FOM₂ 의 경우 값이 클수록 우수한 성능을 나타낸다. 제안된 회로는 두 번째 제시된 FOM₂ 을 이용할 경우 151 의 값을 가진다. 표 1은 설계된 $\Delta\Sigma$ 모듈레이터와 기존의 논문에서 보고된 $\Delta\Sigma$ 모듈레이터와 비교한 결과이다^[7-8]. 제안된 회로는 기존의 회로들에 비해서 훨씬 높은 전력효율을 가짐을 보여준다.

IV. 결 론

본 논문에서는 심장 박동기에 사용하기 위한 저전압 저전력 $\Delta\Sigma$ 모듈레이터를 제안하였다. 낮은 전원전압에서도 상대적으로 높은 해상도와 동적범위를 구현하기 위해서, feedforward 구조를 이용한 계단식의 4차 모듈레이터를 구현하였다. 전력소모를 극소화 하기위해서 인버터 기반의 스위치드 커패시터 회로기법을 이용하였다. 이를 통해 기존의 보고된 $\Delta\Sigma$ 모듈레이터에 비해서 현저히 낮은 전력소모와 높은 해상도를 구현 할 수 있었다. 제안된 기법은 심장 박동기뿐만 아니라 다양한 휴대용 기기에 이용될 수 있을 것으로 기대한다.

참 고 문 헌

- [1] J. G. Webster, Design of cardiac pacemakers. Piscataway, NJ: IEEE Press, 1995.
- [2] L.S.Y. Wong, S. Hossain, A. Ta, J. Edvinsson, D.H. Rivas, H. Naas, "A very low-power CMOS mixed-signal IC for implantable pacemaker applications," *IEEE J. Solid-State-Circuits*, vol. 39, pp. 2446-2456, Dec. 2004.
- [3] K. Nam, S-M. Lee, D. K. Su and B. A. Wooley "A low-voltage low-power sigma-delta modulator for broadband analog-to-digital conversion," *IEEE J. Solid-State Circuits*, vol. 40, pp. 1855-1864, Sep. 2005.
- [4] G. Ahn, D. Chang, M. Brown, N. Ozaki, H. Youra, K. Yamamura, K. Hamashita, K. Takasuka, G. C. Temes and U. Moon "A 0.6-V 82-dB delta-sigma audio ADC using switched-RC integrators," *IEEE J. Solid-State Circuits*, vol. 40, pp. 2398-2407, Dec. 2005.
- [5] Y. Chae, I. Lee, G. Han, "A 0.7 V 36 μW 85 dB DR Audio $\Delta\Sigma$ Modulator Using Class-C Inverter," in Proc. *IEEE Int. Solid-State Circuits Conf.*, vol. 1, San Francisco, CA, Feb, 2008, pp. 490-491.
- [6] T. B. Cho and P. R. Gray, "A 10b, 20Msample/s, 35mW pipeline A/D converter," *IEEE J. Solid-State Circuits*, vol. 30, pp. 166-172, Mar. 1995.
- [7] V.S.L. Cheung, H.C. Luong, "A 0.9 V 0.5 μW CMOS single switched opamp signal conditioning system for pacemaker applications," in Proc. *IEEE Int. Solid-State Circuits Conf.*, vol. 1, San Francisco, CA, Feb, 2003, pp. 408-409.

- [8] A. Gerosa, A. Maniero, and A. Neviani, "A fully integrated two-channel A/D interface for the acquisition of cardiac signals in implantable pacemakers," *IEEE J. Solid-State Circuits*, vol. 39, no. 7, pp. 1083-1093, Jul. 2004.

 저 자 소 개

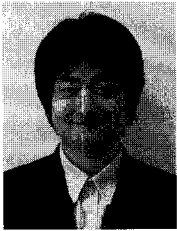


채 영 철(학생회원)
 2003년 연세대학교 전자공학과
 학사졸업.
 2005년 연세대학교 전자공학과
 석사졸업.
 2009년 현재 연세대학교
 전자공학과 박사과정.

<주관심분야 : 저전력 $\Delta\Sigma$ ADC, CMOS image sensor>



이 정 환(학생회원)
 2006년 연세대학교 전자공학과
 학사졸업.
 2009년 현재 연세대학교
 전자공학과 박사과정.
 <주관심분야 : 저전력 고속 ADC,
 CMOS image sensor>



이 인 회(학생회원)
 2006년 연세대학교 전자공학과
 학사졸업.
 2008년 연세대학교 전자공학과
 석사졸업.
 <주관심분야 : 저전력 $\Delta\Sigma$ ADC>



한 건 회(평생회원)
 1990년 연세대학교 전자공학과
 학사 졸업.
 1997년 Texas A&M University
 전자공학과 박사졸업.
 2009년 현재 연세대학교 전기
 전자공학과 부교수.

<주관심분야 : CMOS Image Sensor, 고속 아날
 로그 회로, 저전력 $\Delta\Sigma$ ADC>