

논문 2009-46SD-1-13

# 16M-Color LTPS TFT-LCD 디스플레이 응용을 위한 1:12 MUX 기반의 1280-RGB x 800-Dot 드라이버

( A 1280-RGB x 800-Dot Driver based on 1:12 MUX for 16M-Color  
LTPS TFT-LCD Displays )

김 차 동\*, 한 재 열\*\*, 김 용 우\*\*, 송 남 진\*\*, 하 민 우\*\*, 이 승 훈\*\*\*

( Cha-Dong Kim, Jae-Yeol Han, Yong-Woo Kim, Nam-Jin Song, Min-Woo Ha, and Seung-Hoon Lee )

## 요 약

본 논문에서는 ultra mobile PC (UMPC) 및 휴대용 기기 시스템 같이 고속으로 동작하며 고해상도, 저전력 및 소면적을 동시에 요구하는 16M-color low temperature poly silicon (LTPS) thin film transistor liquid crystal display (TFT-LCD) 응용을 위한 1:12 MUX 기반의 1,280-RGB x 800-dot 70.78mW 0.13um CMOS LCD driver IC (LDI) 를 제안한다. 제안하는 LDI는 저항 열 구조를 사용하여 고해상도에서 전력 소모 및 면적을 최적화하였으며 column driver는 LDI 전체 면적을 최소화하기 위해 하나의 column driver가 12개의 채널을 구동하는 1:12 MUX 구조로 설계하였다. 또한, 신호전압이 rail-to-rail로 동작하는 조건에서 높은 전압 이득과 낮은 소비전력을 얻기 위해 class-AB 증폭기 구조를 사용하였으며, 고화질을 구현하기 위해 오프셋과 출력편차의 영향을 최소화하였다. 한편, 최소한의 MOS 트랜지스터 소자로 구현된 온도 및 전원전압에 독립적인 기준 전류 발생기를 제안하였으며, 저전력 설계를 위하여 차세대 시제품 칩의 source driver에 적용 가능한 새로운 구조의 slew enhancement 기법을 추가적으로 제안하였다. 제안하는 시제품 LDI는 0.13um CMOS 공정으로 제작되었으며, 측정된 source driver 출력 정착 시간은 high에서 low 및 low에서 high 각각 1.016us, 1.072us의 수준을 보이며, source driver 출력 전압 편차는 최대 11mV를 보인다. 시제품 LDI의 칩 면적은 12,203um x 1,500um이며 전력 소모는 1.5V/5.5V 전원 전압에서 70.78mW이다.

## Abstract

This work proposes a 1,280-RGB x 800-dot 70.78mW 0.13um CMOS LCD driver IC (LDI) for high-performance 16M-color low temperature poly silicon (LTPS) thin film transistor liquid crystal display (TFT-LCD) systems such as ultra mobile PC (UMPC) and mobile applications simultaneously requiring high resolution, low power, and small size at high speed. The proposed LDI optimizes power consumption and chip area at high resolution based on a resistor-string based architecture. The single column driver employing a 1:12 MUX architecture drives 12 channels simultaneously to minimize chip area. The implemented class-AB amplifier achieves a rail-to-rail operation with high gain and low power while minimizing the effect of offset and output deviations for high definition. The supply- and temperature-insensitive current reference is implemented on chip with a small number of MOS transistors. A slew enhancement technique applicable to next-generation source drivers, not implemented on this prototype chip, is proposed to reduce power consumption further. The prototype LDI implemented in a 0.13um CMOS technology demonstrates a measured settling time of source driver amplifiers within 1.016us and 1.072us during high-to-low and low-to-high transitions, respectively. The output voltage of source drivers shows a maximum deviation of 11mV. The LDI with an active die area of 12,203um x 1,500um consumes 70.78mW at 1.5V/5.5V.

**Keywords :** LDI, LTPS, 1:12 MUX, class-AB, source driver

\* 정회원, \*\*\* 평생회원, 서강대학교 전자공학과  
(Dept. of Electronic Engineering, Sogang University)

\*\* 정회원, 삼성전자(주) System. LSI 사업부  
(System LSI division, Samsung Electronics Co., Ltd)

※ 본 연구는 삼성전자, 지식경제부 시스템2010과제 및 IDEC에 의해 지원되었음.

접수일자: 2008년9월25일, 수정완료일: 2009년1월8일

## I. 서 론

최근 휴대용 정보기기의 활발한 보급으로 인해 초박형, 고휘도, 고신뢰성, 저소비전력 등의 성능을 가지는 LCD 제품에 대한 수요가 급증하고 있으며, 특히 TFT-LCD를 중심으로 한 평판 디스플레이의 시장 규모가 급격히 팽창하고 있다. 현재 대부분의 TFT-LCD 산업분야에서는 비정질 실리콘 TFT를 이용하고 있으나 앞으로는 고정밀도와 일체형을 필요로 하는 휴대용 모바일 디스플레이의 폭발적인 수요를 바탕으로 다결정 실리콘 TFT-LCD 기술의 비약적인 발전이 이루어 질 것으로 보인다. 다결정 실리콘의 장점은 전계효과 이동도가 빠르기 때문에 CPU, memory 등을 패널 위에 일체형으로 제작하는 system on panel (SOP)을 구현할 수 있다는 점이다. 다결정 실리콘의 경우 이동도가  $100\text{cm}^2/\text{V}\cdot\text{s}$  이상까지도 가능하기 때문에 digital to analog converter (DAC)를 포함하는 data driver 회로 뿐만 아니라, TFT-LCD를 구동하는데 필요한 여러 회로인 DC/AC 회로, timing generator 회로 등 다양한 회로를 내장할 수 있다<sup>1)~2)</sup>. 특히, 다결정 실리콘 기술을 기반으로 한 LTPS TFT-LCD 기술은 차세대 system on glass (SOG) 제품에 필요한 기술이며, 차세대 평판 디스플레이 제품은 모든 회로가 유리 기판 또는 유연한 플라스틱 기판에 집적이 가능한 electronic on panel (EOP)이 될 것이다. 이에 따라 LTPS TFT-LCD 기술을 기반으로 한 저전력, 소면적, 고해상도 LDI 회로 설계 기술 개발이 필수적이며 UMPC(4.5 인치~8.9 인치)와 같은 고화질 휴대용 기기의 응용 분야에는 시스템 사양에 따라 정도의 차이는 있지만 wide extended graphics array (WXGA)급 이상의 고해상도를 가지면서 작은 면적을 차지하는 LDI를 필요로 한다<sup>3)~4)</sup>.

기존의 다양한 LDI의 column driver DAC 구조 중에서 8비트 이상의 고해상도에서 대부분의 면적을 차지하는 저항 열과 디코더의 면적을 최적화하기 위해서 최근에는 저항 열을 이용한 DAC 구조 대신에 저항 열과 커패시터를 이용한 DAC 구조나 저항 열과 변형된 증폭기 입력 단을 이용한 구조 등의 개발이 진행되고 있다<sup>5)~7)</sup>. 그러나 커패시터를 사용하게 될 경우 스위치의 개수는 감소하나 저항 열 DAC에 비해 성능이 떨어지고, 별도의 DAC 교정이 필요하며 저항 열과 변형된 증폭기 입력 단을 사용할 경우 선형성이 입력 단 소자간의 부정합 또는 증폭기간의 부정합 특성에 의해 결정된다.

본 논문에서 제안하는 LDI는 저항 열 DAC를 이용하여 DAC의 선형성 문제를 최소화 하였으며 전체 면적을 줄이기 위해 요구사양 이내에서 column driver를 가능한 많이 공유함으로써 필요한 column driver의 개수를 줄였다.

본 논문에서는 WXGA급 해상도를 갖는 16M-color LTPS용 LDI를 구현하기 위해 다음과 같은 몇 가지 회로설계 기법을 적용하였다. LDI 전체 면적을 최적화하기 위해 하나의 source driver가 12개의 채널을 구동하는 1:12 MUX 구조를 적용하였으며, 신호전압이 rail-to-rail로 동작하는 환경에서 높은 전압 이득과 낮은 소비전력을 얻기 위해 class-AB 증폭기 구조를 사용하였고, 고화질을 구현하기 위해 오프셋과 출력편차의 영향을 최소화하는 회로기법을 이용하여 설계하였다. 또한, 고해상도 동작을 위해 적은 숫자의 트랜지스터를 사용하는 기준 전류 발생기를 온-칩으로 집적하여 중요한 아날로그 블록에 기준 전류를 안정적으로 공급하도록 하였다. 또한 시제품 칩에는 구현되지 않았으나 차세대 저전력 LDI의 source driver에 적용 가능한 새로운 slew enhancement 기법을 추가로 제안하였다. 본 논문의 II 장에서는 제안하는 LDI의 전체 구조를 설명하며, III 장에서 제안하는 여러 가지 회로 설계 기법을 간략히 요약한다. IV 장에서는 제안하는 LDI 시제품의 측정 결과를 정리한 후, V 장에서 결론을 맺는다.

## II. 제안하는 LDI 전체 구조

본 논문에서 제안하는 12채널 LDI는 하나의 column driver가 하나 혹은 소수의 채널을 구동하던 일반적인 방식과는 달리 하나의 column driver가 12개의 채널을 구동한다. 그림 1은 제안하는 LDI의 전체 블록도를 나타낸 것으로 전체 구조는 timing controller (T/CON), shift register, data latch, MUX, source driver, grayscale voltage generator, power regulator 등으로 구성된다. 전체 LDI 시스템은 타이밍 컨트롤 블록에서 나오는 신호를 통해 동작한다. 그림 2는 전체 타이밍도를 나타낸 것이다. 24비트 RGB 인터페이스 블록에서는 동기신호인 VSYNC, HSYNC, 시스템 클럭인 DOTCLK, 라인 입력데이터를 제어하는 신호인 ENABLE, 8비트 RGB 입력데이터  $D\langle 23:0 \rangle$ 을 타이밍 컨트롤 블록으로 전달하며 타이밍 컨트롤 블록은 프레임의 시작을 알리는 STV(Start Vertical), row driver 동작을 위한 클럭

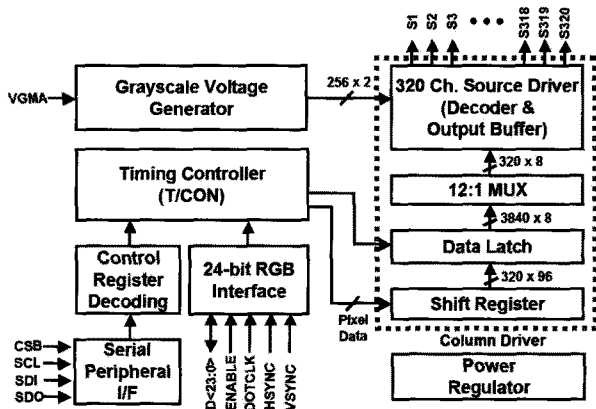


그림 1. 제안하는 LCD Driver IC의 블록도  
 Fig. 1. Block diagram of the proposed LCD Driver IC.

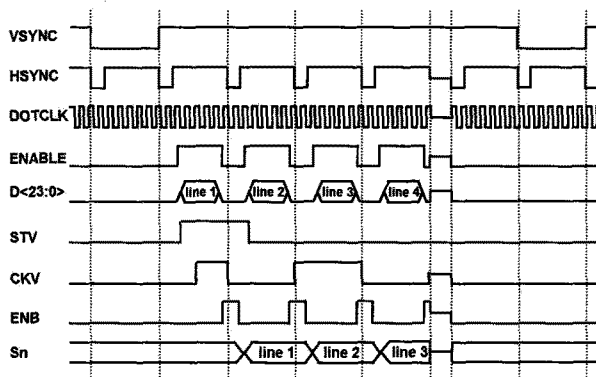


그림 2. 제안하는 LCD Driver IC의 타이밍도  
 Fig. 2. Timing diagram of the proposed LCD Driver IC.

인 CKV(Clock Vertical), 그리고 라인간의 신호 간섭을 없애기 위해 유효 라인 시간을 조절하는 ENB (Enable) 신호등을 생성하며, source driver 출력인 Sn을 통해 패널의 column 라인을 구동한다.

일반적으로 패널의 도선 저항은 신호 지연을 발생시키는데, 이는 라인간의 신호 간섭을 일으킬 수 있다. 이를 방지하기 위해 유효 라인 시간이 줄게 되는 단점은 있지만 라인 간에 공백시간을 제공할 필요가 있다. 본 논문에서 적용하고자 하는 WXGA급 화면의 경우 라인 유효 시간은 20.8us로 ENB 신호를 고려한다면 실제 유효 라인 시간은 17.0us 정도가 되며, 이 유효 라인 시간 안에 12개의 채널을 구동해야 하므로 약 1.2us 안에 source driver가 주어진 사양 이내에 동작해야 한다.

### III. 제안하는 LDI 주요 회로설계

#### 1. 1:12 MUX 구조를 적용한 Column Driver

제안하는 LDI의 전체 면적은 DAC 구조에 따라 거의

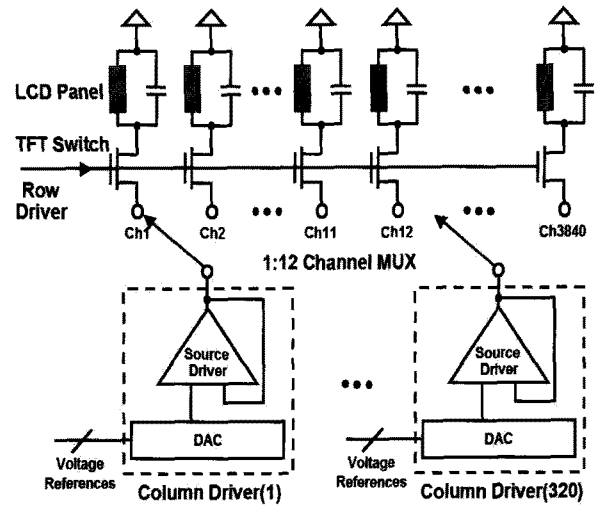


그림 3. 1:12 MUX 구조 기반의 제안하는 column driver  
 Fig. 3. Proposed column driver with 1:12 MUX.

결정이 되며, DAC의 디코더 스위치와 라우팅 면적이 칩 면적의 대부분을 차지한다. 따라서 최근에는 DAC의 구조를 변경하여 전체 칩 면적을 최소화하려는 시도가 많이 이루어지고 있는 추세이다. 그러나 전체 구조를 변경함으로써 칩 면적이 줄어드는 장점도 있지만, 컨트롤 회로와 타이밍 회로 등이 추가되어 전체적으로 회로가 복잡해지고 성능이 저하되는 단점도 있다<sup>[8]</sup>. 제안하는 LDI의 DAC는 가장 구조가 간단하며, 성능이 좋은 저항 열 구조를 사용하였으며, 전체 면적을 최소화하기 위해 그림 3과 같이 하나의 column driver가 12개의 채널을 구동하도록 하여 3,840개 채널을 구동하는데 320개의 column driver만이 사용될 수 있도록 설계하였다.

제안하는 LDI의 1:12 MUX 구조의 동작을 위해 column driver의 data latch는 한 번의 라인 타임 당 12개의 8비트 데이터를 저장해야 하며, source driver는 하나의 column driver가 하나의 채널을 구동할 때보다 12배 이상 빠르게 동작하여야 한다. 따라서 WXGA급 해상도에서 60Hz/frame의 속도를 고려하여 source driver의 정착시간을 최소한 1.2us 이내에 들어오도록 설계하였다.

#### 2. Class-AB 증폭기를 사용하는 Source Driver

LDI의 source driver에 사용되는 증폭기는 전체 시스템의 성능을 결정하는 회로로 고화질 구현을 위해 증폭기의 오프셋과 채널간의 출력 편차를 줄이는 것이 중요하다. 증폭기의 오프셋과 출력편차에 의한 영향으로 출

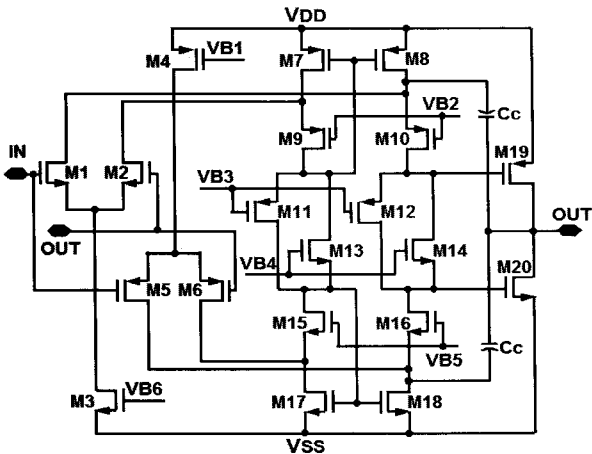


그림 4. Monte Carlo 모의실험을 적용한 class-AB 증폭기  
 Fig. 4. Class-AB amplifier based on Monte Carlo simulation.

력 분포가  $\pm 1/2$  LSB를 넘을 경우 화면에 세로 줄무늬가 생기는 문제가 발생한다. 따라서 본 논문에서는 class-AB 증폭기에 Monte Carlo 모의실험 기법을 이용하여 증폭기 설계를 진행함으로써 오프셋과 출력편차를 최소화 하였다. 사용된 증폭기는 floating current source를 이용한 class-AB 구조로 입출력 신호전압이 rail-to-rail로 동작하는 조건에서 높은 전압이득과 낮은 전력소비를 얻을 수 있으며 그림 4와 같이 구성된다<sup>[9]</sup>.

Source driver의 특성상 증폭기 간의 출력 편차를 최소화되도록 설계해야 하므로 Monte Carlo 모의실험 기법을 이용하여 3-시그마( $\sigma$ ) 값이  $\pm 1/2$  LSB (10mV)를 넘지 않도록 설계하였으며 모의실험을 위한 입력 값의 분포 범위( $\sigma$ )를 구하기 위해 식(1)을 사용하였다<sup>[10]-[11]</sup>.

$$\sigma = \frac{AW(AV_{th})}{\sqrt{L \times W}} \quad (1)$$

여기서 L은 채널 길이, W는 채널 폭을 나타내며, 공정에서 제공해준 변수인 AW와 AV<sub>th</sub>는 소자 크기에 대한 채널 폭의 변화율과 문턱전압의 변화율을 각각 나타낸다. 이 두 변수와 소자 크기를 식(1)에 넣어주면 각각의 소자 크기에 대한 채널 폭과 문턱전압의 변화 범위를 알 수 있다.

설계된 source driver를 위와 같은 방법으로 모의 실험한 결과 3-시그마 값이 9.2mV로 설계 요구 사항인 10mV보다 작게 설계되었다. 이상과 같이 설계된 source driver는 5.5V 전원 전압, 25°C의 환경 하에서 모의실험 하였고 source driver의 AC 및 transient 분석

결과로서,  $f_{-3dB}$ 는 약 4.9MHz, 위상 여유는 62.0°이고, 실시간의 transient 신호를 인가하여 출력 신호를 확인한 결과 약 1.21us 이내의 정착시간을 보여주었다.

### 3. 온도 및 전원전압에 독립적인 저전력, 소면적 CMOS 기준 전류 발생기

아날로그 및 디지털 등 혼성신호가 집적된 시스템에서는 많은 경우 회로 동작의 안정성을 높이기 위해 전원전압 변화 및 온도 변화에 독립적인 기준 전류 발생기를 필요로 한다. 특히, 안정적인 특성을 갖는 저전력, 소면적 기준 전류 발생기는 DAC 구조의 LDI 전체 시스템 동작 특성에 직접적으로 영향을 미치는 중요한 구성회로 중의 하나이다. 최근까지 제안된 기준 전류 발생기로는 CMOS 공정에 구현 가능한 기생 바이폴라 트랜지스터 (lateral bipolar transistor)로 밴드갭 (bandgap) 전압을 생성하는 밴드갭 회로와 공핍형 (depletion) MOS 트랜지스터를 이용하여 구현하는 방법을 사용한 회로들이 있다<sup>[12]</sup>. 밴드갭 회로의 경우 우수한 온도 특성을 보이나 면적이 크고 기생 바이폴라 트랜지스터 소자의 특성에 따라 성능이 결정되며 공핍형(depletion) MOS 트랜지스터를 이용한 회로의 경우는 마스크가 추가되거나 공정이 복잡해지는 단점이 있다. 본 논문에서는 간단한 소수의 소자만을 사용하는 회로만으로 고속 동작에서도 안정적으로 동작하는 저전력 소면적 온-칩 기준 전류 회로를 제안하였다. 제안하는 기준 전류 발생기는 그림 5와 같이 온도의 변화에 대해 음의 계수를 갖는 전류를 생성하는 부분만을 이용하여  $I_{1,NEG}$ ,  $I_{2,NEG}$ 를 생성하고, T6 노드에서 두 전류의 차를 통해 전원 전압 변화와 온도의 변화에 독립적인 전류 ( $I_{SUB}$ )를 생성하게 된다<sup>[13]</sup>.

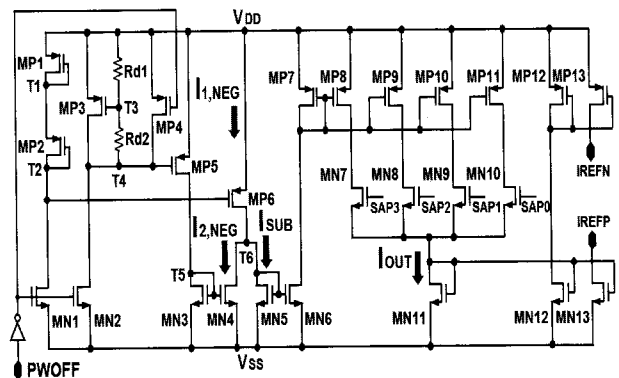


그림 5. 제안하는 기준전류 발생기 회로  
 Fig. 5. Proposed current reference circuit.

그림 5의 기준 전류 발생기 회로에서 MP1, MP2, 및 MP3에 흐르는 전류가 적은 양이 되도록 하면  $V_{DD}$ 와 T2,  $V_{DD}$ 와 T4 노드 사이의 전압은 각각  $2 \cdot V_{thp}$ 와  $(1 + RD2/RD1) \cdot V_{thp}$ 로 근사화 할 수 있다. 따라서  $I_{1,NEG}$ 와  $I_{2,NEG}$ 는 온도에 대해서 수  $mV/^\circ C$ 의 음의 온도 계수를 가진 PMOS의 문턱 전압과  $T^{-1.5}$ 에 비례하는 전자 이동도의 함수가 되어 온도가 증가에 따라 감소하는 특성을 보이며, 두 전류의 차를 통해 식(2)와 같이 전원전압과 온도변화에 독립적인 출력전류  $I_{SUB}$ 를 얻을 수 있다.

$$I_{SUB} = \frac{u_p C_{ox} V_{thp}^2}{2L_{MP6}} \left\{ W_{MP6} - \left( \frac{R_{d2}}{R_{d1}} \right)^2 W_{MP4} \right\} \quad (2)$$

이렇게 생성된  $I_{SUB}$ 는 MP7의 전류 반복기(current mirror)를 통해 MN11에 흐르게 된다. 그림 5에서 볼 수 있는 디지털 전류 보정 회로는 4비트의 디지털 제어 신호 (SAPO-3)를 이용하여 MP8 - MP11의 PMOS 트랜지스터로 구성된 전류원들과 MN7-MN10의 NMOS 트랜지스터 스위치들로 구성되며 공정상의 오차로 인한 소자 특성의 변화가 야기하는 기준 전류 오차를 보정한다. 보정 전류의 범위는 기준 전류의 375% 이내이며 보정회로는 입력 디지털 코드의 값이 하나씩 증가할 때마다 출력 전류량이 0.25uA씩 증가하고, 이를 통한 최대 보정 범위는 0.25uA~3.75uA이다. 최대 보정 범위는 실제 공정변수의 변화량을 고려하여 설계하였으며 최종 출력 전류는 4비트 제어신호에 의해 결정되며, 이 전류는 MN12, MP12의 전류 반복기를 통해 반복됨으로써 생성된다. 온도와 공급 전원 변화에 따른 출력 전류  $I_{OUT}$ 을 모의 실험한 결과 온도가  $-45^\circ C$ 에서  $80^\circ C$ 까지 변할 경우 출력 전류의 온도에 따른 변화율은  $382ppm/^\circ C$  이고, 공급 전원이 4.5V에서 5.5V까지 변할 경우 출력 전류의 공급 전원에 대한 변화율은  $3.4\%/V$ 이다.

#### 4. 제안하는 Source Driver용 Slew Enhancement 증폭기

본 논문에서 추가로 제안하는 증폭기 회로는 정착시간을 최소화하기 위해 새로운 형태의 slew enhancement 기법을 적용하였으며 그림 4의 기존 회로에서 증폭기 자체의 구조를 변경하지 않고 증폭기 바이어스 회로와 출력 단만을 수정 및 보완하였다<sup>[14]</sup>. 그림 6은 추가로 제안하는 source driver 회로로 기존 회로에서 수정된 증폭기 출력 단 부분과 바이어스 회로 부분을 점선으로

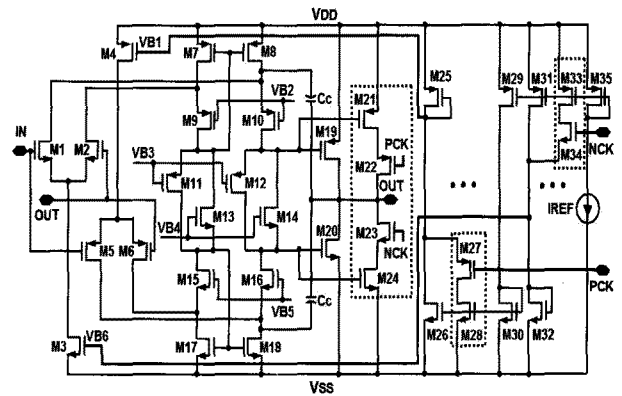


그림 6. 제안하는 source driver 증폭기 회로도  
Fig. 6. Proposed source driver amplifier.

표시하였다. 바이어스 회로의 수정된 부분은 증폭기의 초기 동작시간 (slewing) 동안에만 입력 단 트랜스컨덕턴스  $g_{m1}$ 을 증가시키기 위한 것이며, 출력단의 수정된 부분은 slewing 하는 동안 추가적인 큰 전력소모 없이 부하 구동능력을 키우기 위한 회로이다.

먼저 증폭기의  $g_{m1}$ 을 증가시키는 방법을 살펴보면, 트랜스컨덕턴스는 드레인 전류의 제곱근에 비례하므로 그림 6의 입력 단 tail current source인 M3, M4에 흐르는 전류를 slewing 하는 짧은 시간 동안 증가시키기 위해 바이어스 VB1, VB6의 전압을 변화 시킨다. 이 두 개의 바이어스 전압 VB1, VB6의 적절한 제어를 위해 그림 6의 M26 및 M31 드레인-소스 노드 사이에 병렬로 M27-M28, M33-M34를 추가로 연결하였다. VB1 바이어스 전압의 증가분은 M26과 병렬로 연결된 M27, M28에 의해서 증가한 M25의 드레인 전류에 따른 M25의 소스-드레인 전압강하 증가로 얻을 수 있으며, VB6 바이어스 전압의 증가분은 M31에 병렬로 연결된 M33, M34에 의해서 증가한 M32의 드레인 전류에 따른 M32의 드레인-소스 전압강하 증가로 얻을 수 있다. 스위치로 사용된 M27은  $V_{DD}$ 에 가까운 전압을 잘 전달할 수 있으므로 온-저항 감소 및 스위치 M27을 통과할 때 발생하는 소스-드레인 전압 강하를 줄이기 위해 PMOS 트랜지스터를 사용하였고, VB6의 제어를 위해 사용된 스위치 M34는  $V_{SS}$ 에 가까운 전압을 통과시키기 위해 NMOS 트랜지스터를 사용하였다. 한편 증폭기 출력단의 부하 구동능력을 증가시키기 위해 그림 6에서 보는 바와 같이 원래 회로에 있던 푸시-풀 출력단 M19, M20에 M21-M24로 구성된 추가적인 푸시-풀 구조의 출력단을 연결하였다. 출력 단에 연결된 스위치 M22, M23과 상응하는 바이어스 회로의 스위치 M27, M34는 제어

신호 PCK, NCK에 의해 각각 동작하며, 그림 7에 제어 신호의 타이밍도를 나타내었다. 첫 번째 래치의 데이터 출력을 순차적으로 결정하는 TG 신호와 두 번째 래치의 출력을 제어하는 신호 S\_LATCH 신호가 있으며, slew enhancement 동작을 위해 추가된 제어신호 PCK, NCK는 S\_LATCH 신호와 동기 되어 동작하며 0.4T의 시간동안 동작한다.

제안된 회로 설계 시 최소 정착시간을 얻기 위해 고려해야 할 사항은 첫째, 바이어스 전압 VB1, VB6을 적절히 제어하기 위한 트랜지스터들에 추가적으로 연결되는 바이어스 회로 내의 트랜지스터 M28, M33의 크기와 출력 단에 추가된 트랜지스터 M21, M24의 크기이며, 둘째로 이들 트랜지스터들을 턴-온 시키는 시간이다. 제안된 증폭기의 설계에서 정착시간을 최소화하기 위한  $g_{m1}$ 의 증가율은 약 20% 수준이며 현재 개발에 사용된

공정에서는 턴-온 시간이 전체 정착시간의 40%일 때 최적의 값을 얻을 수 있으며, 이 시간은 전체 시스템 동작에 민감하지 않다.

제안하는 slew enhancement 기법의 모의실험 결과를 표 1에 정리하였다. 증폭기는 15kΩ과 20pF의 부하를 구동하기 위해 13.2uA의 전류를 소비하며 정착시간은 1.0us이며 설계를 변경하지 않고 제안된 회로를 추가하였을 때 동일한 13.2uA의 소비 전류에서는 정착시간이 0.6us로 40% 감소하였다. 또한 같은 정착시간 1.0us를 얻기 위해 설계를 변경하였을 경우 소비전류는 10.0uA로 24% 감소하는 것을 확인할 수 있다. 반면 증폭기의 출력단 트랜지스터 M21-M24를 추가해주었을 때 증가하는 면적은 5% 이하이다.

#### IV. 시제품 LDI 제작 및 성능 측정

제안하는 12채널 LDI는 0.13um CMOS 공정에 의한 design rule로 레이아웃 (Layout) 하였으며, LDI 전체 시스템 레이아웃 및 시제품 칩 사진은 그림 8과 같으며, 전체 칩 면적은 12,203um x 1,500um 이다.

제안하는 LDI 시제품의 source driver 출력 파형은 그림 9와 같다. 정 조건은 1.5V/5.5V의 전원전압에서 5Vp-p 입력을 사용하였으며, 매 라인타임마다 극성이 바뀌는 alternate dot inversion mode를 사용하였다.

측정된 source driver 출력 정착 시간은 high에서 low 및 low에서 high로 신호가 변할 때 각각 1.016us, 1.072us 수준의 정착시간을 보이며 1:12 MUX 동작을 위한 정착시간 1.2us 사양을 만족시킴을 알 수 있다.

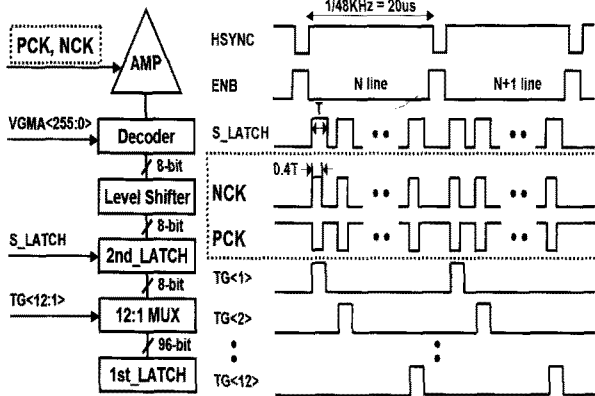


그림 7. 제안하는 source driver 증폭기를 위한 타이밍도  
Fig. 7. Timing diagram for the proposed source driver amplifier of Fig. 6.

표 1. Source driver 증폭기의 모의 실험된 slew enhancement 기법

Table 1. Simulated slew enhancement technique of the source driver amplifier.

	Conventional Class-AB	Class-AB with Slew Enhancement Technique	
Settling Time	1.0us	1.0us	0.6us
Power Consumption	13.2uA	10.0uA	13.2uA
Area (# of Devices)	MOS : 32 CAP : 2	MOS : 36 CAP : 2	
Load	15kohm, 20pF (same)		

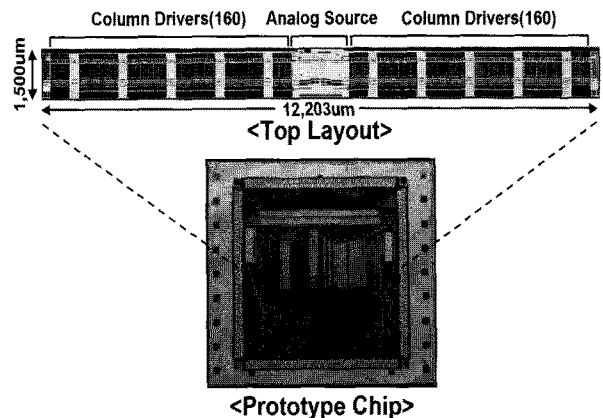
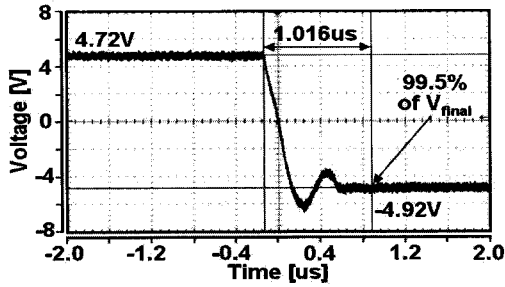
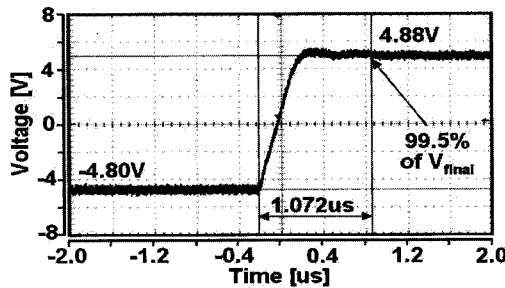


그림 8. 시제품 LDI 레이아웃 및 칩 사진 (12,203um x 1,500um)

Fig. 8. Layout and die photograph of the prototype LDI (12,203um x 1,500um).



(a)



(b)

그림 9. Source driver 출력의 측정된 파형 : (a) high to low 및 (b) low to high.

Fig. 9. Measured waveform of the source driver output : (a) high to low and (b) low to high.

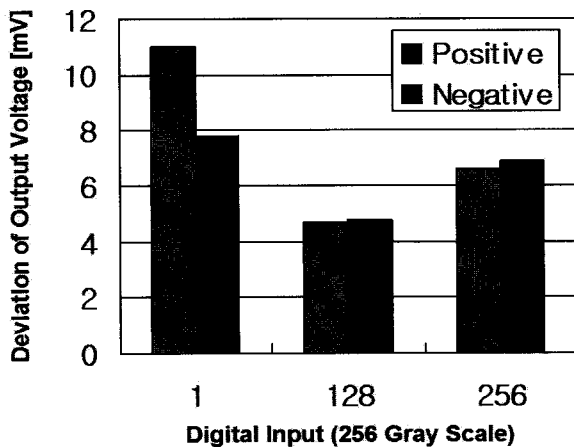


그림 10. 제안하는 source driver의 출력 전압 편차  
Fig. 10. Output voltage deviations of the proposed source driver.

그림 10은 source driver 출력 전압의 편차를 도시한 것으로 입력 디지털 코드에 따른 출력 전압의 편차를 나타내었다. 출력 전압 편차는 최대 11mV이며 5Vp-p 입력에서 8비트 해상도의 1/2LSB인 10mV와 비슷한 수준을 보인다.

제작된 1:12 MUX 구조의 LDI 시제품의 측정된 성능 결과를 표 2에 요약 및 정리하였다. 시제품 LDI의 면적

표 2. 시제품 LDI 성능 요약

Table 2. Performance summary of the prototype LDI.

Power Supply		1.5V, 5.5V
Process		0.13um CMOS
Settling Time	Low->High	1.072us
	High->Low	1.016us
Slew Rate	Low->High	0.19us/5V
	High->Low	0.13us/5V
dVo	High/Low	11.0mV(Max)
	Middle	4.8mV(Max)
Area		12,203 x 1,500um <sup>2</sup>
Power Consumption	Analog	56.65mW
	Total	70.78mW

은 12,203 x 1,500um<sup>2</sup>으로 유사한 사양을 갖는 WXGA 급 1:6 MUX 기반 LDI의 면적인 20,100 x 1,600um<sup>2</sup>에 비하여 43%까지 줄어든다<sup>[15]</sup>.

### V. 결 론

본 논문에서는 LCD 모니터, 휴대폰, PDA, 캠코더와 같은 고성능 디스플레이 시스템 관련 분야에 즉각적인 응용을 위하여 요구되는 사양을 만족시키는 범위 내에서 면적 및 전력을 줄일 수 있는 구조의 WXGA급 LDI를 구현하기 위해 다음의 설계 기법들을 제안하였다. 제안하는 LDI는 요구되는 1280-RGB x 800-dot 해상도 및 16M-color에서 면적과 전력 소모를 최소화하기 위해 하나의 source driver가 다수의 채널을 구동할 수 있도록 1:12 MUX 구조로 설계하였다. 출력 단 버퍼인 source driver는 5.5V 전원 전압에서 필요로 하는 면적과 전력 소모를 최소화 하면서도 요구되는 1.2us 이하의 settling time을 만족시키기 위해서 작은 면적에 전력 효율이 높은 class-AB 증폭기를 사용하였으며, 적은 숫자의 소자들을 사용하면서도 온도의 변화에 대해 음의 계수를 갖는 전류를 생성하는 회로를 이용하여 전원 전압 변화와 온도의 변화에 독립적인 기준 전류를 생성하도록 하였다. 또한 추후 더 효율적인 시제품 개발을 위해 면적과 전력소모를 동시에 최소화하기위한 새로운 형태의 slew enhancement 증폭기 구조를 제안하였다.

제안하는 설계 기법을 적용하여 구현한 시제품 LDI

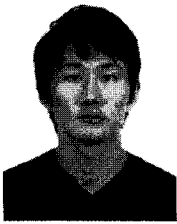
의 칩 면적은  $12,203\mu\text{m} \times 1,500\mu\text{m}$ 를 차지하며, 측정된 source driver 출력 정착 시간은 신호가 high에서 low 및 low에서 high로 변할 때 각각  $1.016\mu\text{s}$ ,  $1.072\mu\text{s}$ 의 수준을 보이며 source driver 출력 전압 편차는 최대  $11\text{mV}$ 이고 소모 전력은  $1.5/5.5\text{V}$  전원 전압에서  $70.78\text{mW}$ 이다.

### 참 고 문 헌

- [1] Yoneda K., Yokoyama R., and Yamada T, "Development Trends of LTPS TFT LCDs for Mobile Applications," in *Symp. VLSI Circuits Dig. Tech Papers*, pp. 85-90, June 2001.
- [2] J. C. Lee and J. Y. Jeong, "High Speed, Small Area, Reliable, LTPS TFT-based Level Shifter for System-On-Panel Technology," in *Integrated Circuit Design and Technology*, May 2006, pp. 1-4.
- [3] Kyung-suc Nah, et al, "A 16.7M VGA Display Driver IC with Partial Graphic RAM and 500Mb/s/ch Serial Interface for Mobile a-Si TFT-LCDs," in *ISSCC Dig. Tech Papers*, pp. 140-141, Feb. 2007.
- [4] Imre Knausz and Robert J. Bowman, "A 250uW 0.042mm<sup>2</sup> 2MS/s 9b DAC for Liquid Crystal Display Drivers," in *ISSCC Dig. Tech Papers*, pp. 172-173, Feb. 2006.
- [5] Jin-Ho Kim, Byong-Deok Choi, and Oh-Kyong Kwon, "1-billion-color TFT LCD TV with full HD format," *IEEE Transactions on Consumer Electronics*, Nov. 2005, pp. 1042-1050.
- [6] Jin-Seong Kang, et al., "A 10b Driver IC for a Spatial Optical Modulator for Full HDTV Applications," in *ISSCC Dig. Tech Papers*, pp. 138-139, Feb. 2007.
- [7] Chih-Wen Lu and Lung-Chen Huang, "A 10-Bit LCD Column Driver With Piecewise Linear Digital-to-Analog Converters," *IEEE J. Solid-State Circuits*, vol. 43, no. 2, pp. 371-378, Feb. 2008.
- [8] Bell. M, "An LCD Column Driver Using a Switch Capacitor DAC," *IEEE J. Solid-State Circuits*, vol. 40 no. 12, pp. 2756-2765, Dec. 2005.
- [9] R. Hogervorst, et al., "A Compact Power-Efficient 3V CMOS Rail-to-Rail Input/Output Operational Amplifier for VLSI Cell Libraries," *IEEE J. Solid-State Circuits*, vol. 29, no. 12, pp. 1505-1513, Dec. 1994.
- [10] Pelgrom, M. J. M., Tuinhout, H. P., and Vertregt, M., "Transistor matching in analog CMOS application," in *International Electron Devices Meeting*, pp. 915-918, Dec. 1998.
- [11] Kinget, P. R., "Device mismatch and tradeoffs in the design of analog circuits," *IEEE J. Solid-State Circuits*, vol. 40, no. 6, pp. 1212-1224, June 2005.
- [12] A. E. Buck, C. L. McDonald, S. H. Lewis, and T. R. Viswanathan, "A CMOS bandgap reference without resistors," *IEEE J. Solid-State Circuits*, vol. 37, no. 1, pp. 81-83, Jan. 2002.
- [13] Young-Jae Cho and Seung-Hoon Lee, "An 11b 70MHz 1.2mm<sup>2</sup> 49mW 0.18um CMOS ADC with On-Chip Current/Voltage References," *IEEE Trans. Circuits Syst. I*, vol. 52, no. 10, pp. 1989-1995, Oct. 2005.
- [14] Y. D. Jeon, B. L. Jeon, S. C. Lee, S. M. Yoo, and S. H. Lee, "A 12b 50 MHz 3.3 V CMOS acquisition time minimized A/D converter," *ASP-DAC*, pp. 613-616, Jan. 2000.
- [15] K. M. Kim, et al, "One-Chip Driver IC for 16 Million Color WXGA LTPS TFT LCD Panel," *SID International Symp. Dig. Tech Papers*, pp. 1391-1393, May 2008.



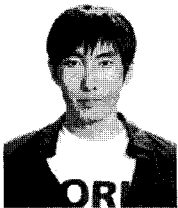
저 자 소 개



김 차 동(정회원)  
 2008년 서강대학교 전자공학과  
 학사.  
 2008년~현재 서강대학교  
 전자공학과 석사과정.  
 <주관심분야 : 고속 데이터 변환  
 기(A/D, D/A) 설계, LCD Driver  
 IC 설계 등.>



한 재 열(정회원)  
 2007년 서강대학교 전자공학과  
 학사.  
 2009년 서강대학교 전자공학과  
 석사.  
 2009년~현재 삼성전자 SYS.  
 LSI.  
 <주관심분야 : 고속 데이터 변환기(A/D, D/A) 설  
 계, LCD Driver IC 설계 등.>

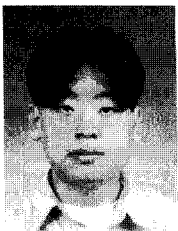


김 용 우(정회원)  
 2006년 서강대학교 전자공학과  
 학사.  
 2008년 서강대학교 전자공학과  
 석사.  
 2008년~현재 삼성전자 SYS.  
 LSI.

<주관심분야 : 고속 데이터 변환기(A/D, D/A) 설  
 계, LCD Driver IC 설계 등.>



송 남 진(정회원)  
 1998년 서강대학교 전자공학과  
 학사.  
 2000년 서강대학교 전자공학과  
 석사.  
 2005년 서강대학교 전자공학과  
 박사.  
 2005년~현재 삼성전자 SYS. LSI 책임연구원.  
 <주관심분야 : RFIC설계, LCD Driver IC 설계,  
 혼성모드 회로 설계>



하 민 우(정회원)  
 2001년 KAIST 전기 및  
 전자공학과 학사.  
 2007년 서울대학교 전기공학부  
 박사.  
 2007년~현재 삼성전자 SYS. LSI  
 책임연구원.

<주관심분야 : 집적회로 설계, 반도체 소자>



이 승 훈(평생회원)  
 1984년 서울대학교 전자공학과  
 학사.  
 1986년 서울대학교 전자공학과  
 석사.  
 1991년 미 Illinois 대 (Urbana-  
 Champaign) 공학박사.  
 1986년 KIST 위촉 연구원.  
 1987년~1990년 미 Coordinated Science Lab  
 (Urbana) 연구원.  
 1990년~1993년 미 Analog Devices 사 senior  
 design engineer.  
 1993년~현재 서강대학교 전자공학과 교수.  
 <주관심분야 : 집적회로 설계, 데이터 변환기  
 (A/D, D/A) 설계 등.>