

논문 2009-46SD-1-14

# QCA 설계에서 디지털 논리 자동 추출

(Digital Logic Extraction from QCA Designs)

오 연 보\*, 김 교 선\*\*

(Younbo Oh and Kyosun Kim)

## 요 약

QCA는 현재 초고집적 저전력 디지털 시스템 구현 기술의 왕좌를 차지하고 있는 CMOS의 자리를 상속받을 가장 잠재성 있는 차세대 나노 전자 소자 중 하나이다. QCA 셀의 하드웨어 기본 동작은 이미 1990년대 후반에 실험을 통하여 증명되었다. 또한 회로를 설계할 수 있는 전용설계 도구와 시뮬레이터도 개발되었다. 그러나 기존의 QCA 설계 기술은 초대규모 설계에 대한 준비가 부족하다. 본 논문은 기존의 대규모 CMOS 설계에서 사용되었던 검증 방법들과 도구를 QCA 설계에서 그대로 활용할 수 있는 새로운 접근 방법을 제시한다. 첫째로 셀 배치를 미리 정의된 구조에서 벗어나지 않도록 엄격하게 제한함으로써 항상 일관성 있는 디지털 동작을 보장하는 설계 규칙을 제안한다. 다음, QCA 설계의 게이트 및 상호연결 구조를 인식한 후 다수결 게이트의 입력 경로 균형과 잡음 증폭 방지 등을 포함하는 신호 충실도 보장 조건을 검사한다. 마지막으로 디지털 논리를 추출하여 OpenAccess 공통 데이터베이스로 저장하면 이미 CMOS 설계에서 사용되고 있는 풍부한 검증 툴과 연결되어 그들을 사용할 수 있게 된다. 제안된 방식을 검증하기 위해 2-비트 가산기 및 비트-직렬 가산기, 그리고 ALU 비트 슬라이스를 설계하였다. 디지털 논리를 추출하여 Verilog 넷 리스트를 생성시킨 후 상업용 소프트웨어로 시뮬레이션 하였다.

## Abstract

Quantum-dot Cellular Automata (QCA) is one of the most promising next generation nanoelectronic devices which will inherit the throne of CMOS which is the domineering implementation technology for large scale low power digital systems. In late 1990s, the basic operations of the QCA cell were already demonstrated on a hardware implementation. Also, design tools and simulators were developed. Nevertheless, its design technology is not quite ready for ultra large scale designs. This paper proposes a new approach which enables the QCA designs to inherit the verification methodologies and tools of CMOS designs, as well. First, a set of disciplinary rules strictly restrict the cell arrangement not to deviate from the predefined structures but to guarantee the deterministic digital behaviors is proposed. After the gate and interconnect structures of the QCA design are identified, the signal integrity requirements including the input path balancing of majority gates, and the prevention of the noise amplification are checked. And then the digital logic is extracted and stored in the OpenAccess common engineering database which provides a connection to a large pool of CMOS design verification tools. Towards validating the proposed approach, we designed a 2-bit adder, a bit-serial adder, and an ALU bit-slice. For each design, the digital logic is extracted, translated into the Verilog net list, and then simulated using a commercial software.

**Keywords :** Quantum-dot Cellular Automata, 취약성, 입력경로불균형, 잡음증폭, 설계규칙, 논리 추출, CMOS 툴

## I. 서 론

QCA는 가장 잠재성이 높은 차세대 나노소자들 중 하나이다. QCA의 기본적인 동작은 1990년 후반 실험을

통하여 밝혀졌다.<sup>[1]</sup> 최근엔 QCA 설계 입력과 검증을 위한 툴이 개발<sup>[2]</sup>되었다. 그럼에도 불구하고 QCA 회로 설계기술 및 툴은 아직 대규모 회로에 대한 준비가 부족하다. QCA로 디지털 시스템을 설계할 때는 셀을 체계적으로 배열함으로써 게이트를 형성시키고 이들을 상호 연결한다<sup>[1]</sup>. QCA 설계를 해석하고 검증하는 기존의 시뮬레이터<sup>[2]</sup>는 계산량이 많고 복잡한 셀 간 반응모델<sup>[3]</sup>을 사용할 수밖에 없었는데 이것은 설계 규범이 없이

\* 학생회원, \*\* 정회원, 인천대학교  
(University of Incheon)

※ 본 연구는 2007년 인천대학교 자체 연구비 지원에 의한 것임.

접수일자: 2008년3월22일, 수정완료일: 2009년1월8일

임의로 변형된 구조가 사용될 경우에도 설계가 확정적이고 재현성 있는 동작을 하는지 검증해 보아야하기 때문이다<sup>[4]</sup>. 디지털 시뮬레이션은 속도와 처리 용량 면에서 셀 간 반응모델에 비해 적어도 수백 또는 수천 배 우월하다. 이것은 마치 CMOS 설계에서 회로 시뮬레이션과 논리 시뮬레이션의 성능을 비교하는 것에 비유할 수 있다.

Henderson 등은 표준 CMOS 설계 프로세스를 수정한 하향설계 방식의 계층적 설계방법 및 하드웨어기술언어를 사용하여 QCA 설계 각 단계에서 시스템, 블록, 원시 게이트 및 연결 구조의 모델링 가능성을 입증하였다<sup>[5]</sup>. Momenzadren 등은 and-or-inverter를 기초한 QCA 회로 합성법을 제안하였다<sup>[6]</sup>. Ravinchandran 등은 대규모 자동 QCA 레이아웃에서 QCA 설계를 클록 영역별로 분할하고 각 영역을 배치하는 동안 배선교차를 최소화하는 레이아웃 알고리즘을 제안하였다<sup>[7]</sup>.

불행히도 이전의 연구에서는 QCA의 셀 배치와 그것을 구현하는 이진논리 사이의 추상적인 차이를 무시하였다. 특히, QCA 설계에서 신호 감쇠 시간( $\tau$ )에 따른 신호충실도 문제를 무시하고 있다. 하지만 QCA 셀이 환경에 강하게 결합되어있더라도 환경으로의 에너지 방출 속도를 의미하며 QCA 시스템이 얼마나 빨리 안정상태로 도달하는가를 결정하는 신호 감쇠 시간( $\tau$ )을 무시할 수 없다. 전통적으로  $\tau$ 는 아래와 같이 계산된다<sup>[8]</sup>.

$$\tau = \alpha \frac{\hbar}{E_k} = \alpha \frac{\hbar}{100meV} = \alpha \frac{1.055e-34}{1.602e-20} = \alpha \cdot 6.5e-15$$

여기서  $E_k$ 는 킨크에너지이고  $\alpha$ 변수는 1부터 1000까지 값을 가지며 결합 환경에 따라 좌우된다. 기존 연구<sup>[4]</sup>에서는 실제 감쇠시간을 고려하여 게이트 입력 경로의 불균형과 잡음증폭을 억제하기 위해 설계 지침을 준수하도록 함으로써 QCA 설계의 강건성을 상당히 개선하였다.

이 강건 설계 지침을 주의 깊게 살펴보면 QCA 셀 패턴 중 유용한 것은 유한하며 유용한 패턴들로만 구성했을 경우에 항상 회로 동작을 예측할 수 있고 같은 결과가 재현될 수 있다는 것을 확인할 수 있다.

## II. 본 론

### 1. QCA 셀 패턴

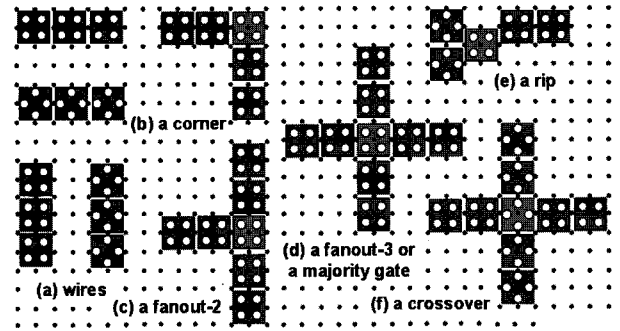


그림 1. 격자점 상에 셀을 배치하여 구현한 전형적인 게이트 구조 및 연결 구조

Fig. 1. Robust gate and interconnect structures implemented by cells on grid positions.

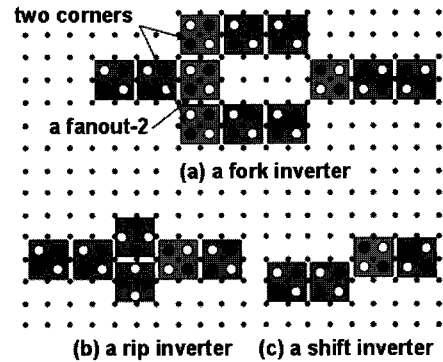


그림 2. 격자점 상에서 인버터 역할을 하는 셀 구조

Fig. 2. Inverters implemented by cells on grid positions.

만약 셀들의 배치 위치를 동일 간격의 격자점 상으로 엄격히 제한하면 유한개의 셀 배치 패턴을 만들 수 있다. 예를 들어, 그림 1은 셀 피치의 반을 간격으로 한 격자점 상에 셀을 배치함으로써 구현한 전형적인 강건한 QCA 게이트 구조 및 연결 구조를 보이고 있다. 셀 피치는 셀 폭과 셀 간 간격의 합으로 결정된다. 마찬가지로 그림 2에서는 흔히 사용되고 있는 세 가지 형태의 인버터를 제시한다. 이러한 모든 강건 QCA 구조들의 이웃 셀들은 중심점 간 간격을 기준으로 x 및 y 방향으로 두 격자만큼 떨어져 있다는 것에 주목해야한다. 예외적으로 그림 1(e)에 나타난 분기(rip) 셀은 이웃 셀과 y 방향으로 한 격자 간격만큼 떨어져있다.

위에서 설명한 강건 설계 조건에 따르면 하나의 셀 주위로 16개의 격자점 상에 셀이 이웃할 수 있지만 셀들은 접칠 수 없기 때문에 동시에 이웃할 수 있는 셀의 수는 최대 8개이다. 이러한 이웃 셀들은 그림 3에서와 같이 중심 셀과의 상대 위치에 따라 직각, 경사, 대각 이웃 (R-, S-, D-neighbors)의 세 가지 형태로 분류된다.

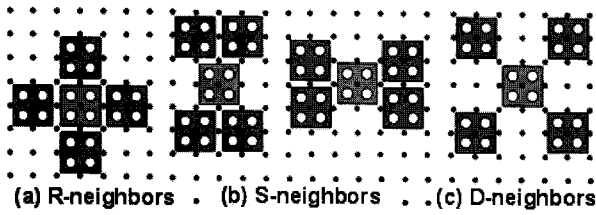


그림 3. 이웃 셀의 형태  
Fig. 3. Types of neighbors.

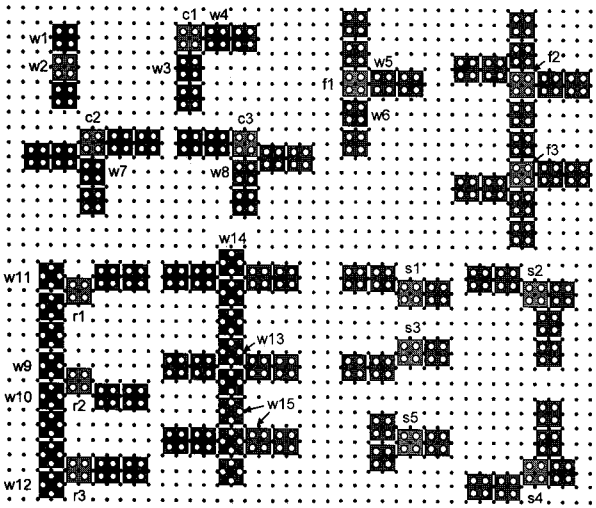


그림 4. 정규 패턴을 확장 정의하기 위한 복합 패턴  
Fig. 4. Extended QCA structures.

QCA 설계에는 여섯 가지 기본 연결 구조 (배선, 코너, 2-산개, 3-산개, 분기, 교차점)와 네 가지 기본 논리 게이트 구조(다수결 게이트와 포크, 분기, 쉬프트 인버터)가 유효한 기본 설계 블록으로 정의될 수 있다.

실제 QCA 설계에서는 기본 구조들이 그림 4와 같이 좀 더 복잡하지만 강건성을 유지하는 혼성구조로 나타날 수 있다. 전체적으로 설계 지침은 미리 정의된 구조로 QCA 셀이 배치되도록 제한한다. 그러므로 QCA 회로가 완벽하게 지침을 따르고 있다면, 회로상의 QCA 셀은 각각 기본 연결구조나 기본 논리 게이트로 분류할 수 있다.

## 2. QCA 설계에서 논리회로추출 및 검증

본 논문에서는 먼저 앞서 기술한 계층적 블록 조립 접근방법을 사용하여 QCA 설계가 강건 설계 지침을 준수하는지를 검사할 것이다. 준수 여부가 확인되면 QCA 레이아웃으로부터 구현된 디지털 논리 함수를 추출한 후 공통 엔지니어링 데이터베이스(OpenAccess<sup>[9]</sup>)에 저장한다. 이어 Verilog 넷 리스트로 변환시킨 후 상용 CMOS 설계 검증 도구인 ModelSim를 이용하여

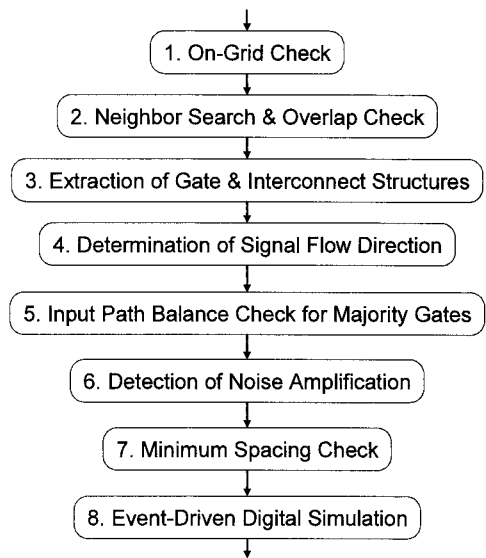


그림 5. QCA 설계를 위한 디지털 시뮬레이션 절차  
Fig. 5. Extraction and Validation flow for QCA Designs.

검증한다.

그림 5는 강건 설계 규칙 검사, 디지털 논리 추출, 기능성 검증 시뮬레이션을 포함하는 QCA 해석 절차를 나타내고 있다. 첫 단계는 모든 셀들이 확실히 격자점에 위치하도록 하는 것이다. 두 격자 간격 내의 모든 이웃 셀들을 검색하여 각 셀 타입을 구분하는 것이 두 번째 단계이고 세 번째 단계에서는 앞에서 기술했던 구조들이 모두 추출된다. 이때 규범에 따라 미리 정의되지 않은 회로 패턴들은 규칙 위반으로 보고한다. 네 번째 단계에서는 이렇게 추출된 구조를 연결한 후 신호의 전파 방향을 결정하기 위해 모든 신호 경로들이 탐색된다. 다섯 번째 단계에서는 배선 길이가 최대 및 최소 제한 길이를 벗어나지 않는지 검사하고 게이트의 입력 경로 균형 검사를 위해 각 배선의 지연시간을 계산한다. 여섯 번째 단계에서 배선교차부와 다수결 게이트들에 대해 잡음 증폭 조건 검사(잡음이 신호보다 먼저 도착하는가? 혹은 잡음이 인가된 배선의 길이가 충분히 길어 이를 증폭하지 않는가?)<sup>[7]</sup>를 진행한다. 마지막으로 서로 연결되지 않는 구조들 간 간격을 검사하게 된다.

### 가. 이웃탐색을 통한 셀 분류

그림 6(a)는 QCA 셀 하나의 이웃이 위치할 수 있는 16개의 격자점을 보여준다. 각 격자점에는 90도 혹은 45도 셀들이 존재하거나 빈 공간으로 남겨 둘 수 있다. 이러한 점유 상태는 그림 6(b)에서처럼 같이 16개의 2-비트로 구성된 이웃 상태 표시 단어로 정리할 수 있

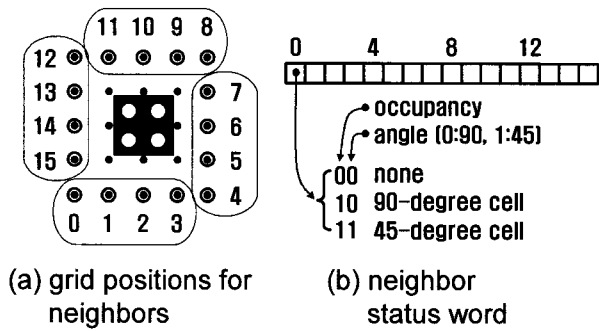


그림 6. 이웃 상태 표시 단어 조성 규칙  
Fig. 6. The neighborhood of a QCA cell.

표 1. 이웃 상태 표시 단어 사전  
Table 1. The neighbor of a QCA cell.

type		90-degree cell	45-degree cell
wire	w1	0010 0000 0000 0000	0030 0000 0000 0000
	w2	0010 0000 0010 0000	0030 0000 0030 0000
	w3	0010 0000 1010 0000	0030 0000 3030 0000
	w4	1000 0010 0000 0010	3000 0030 0000 0030
	w5	0010 0000 1010 0000	0030 0000 3030 0000
	w6	1000 0010 0000 1010	3000 0030 0000 3030
	w7	0010 0000 1010 0100	0030 0000 3030 0300
	w8	0010 0001 0010 1000	0030 0003 0030 3000
	w9	~	0030 0100 0030 0000
	w10	~	0030 0100 0000 0000
	w11	~	0030 0001 0030 0000
	w12	~	0000 0001 0030 0000
	w13	~	0030 0100 0030 0001
	w14	~	0030 0100 0000 0001
	w15	3000 0010 0000 3030	1030 1000 0030 0000
corner	c1	0010 0010 0000 0000	0030 0030 0000 0000
	c2	0010 0010 0000 0001	0030 0030 0000 0003
	c3	0010 0100 0000 0010	0030 0300 0000 0030
fanout-2	f1	001 0010 0010 0000	0030 0030 0030 0000
	f2	0010 0010 0010 0100	0030 0030 0030 0300
	f3	0010 0010 0010 0001	0030 0030 0030 0003
fanout-3,majority gate	m	0010 0010 0010 0010	0030 0030 0030 0030
rip	r1	0000 0001 0000 0303	~
	r2	0000 0100 0000 0303	~
	r3	0000 0010 0000 0303	~
crossover	x	-	0030 0010 0030 0010
fork inverter	i	1000 0010 0000 1000	3000 0030 0000 3000
shift inverter	s1	0000 0010 0000 0100	0000 0030 0000 0300
	s2	0001 0010 0000 0100	0003 0030 0000 0300
	s3	0000 0010 0000 0001	0000 0030 0000 0003
	s4	0000 0010 1000 0001	0000 0030 3000 0003
	s5	0000 0010 0000 0101	0000 0030 0000 0303

다. 코드 00은 빈 공간이, 10은 90도 셀이, 그리고 11은 45도 셀이 위치하였음을 의미한다.

앞서 설명한 유효한 QCA 구조는 각각 이웃 상태 표시 단어 형태로 그에 대응되는 셀 타입과 함께 표1에 정리한 바와 같이 사전에 저장될 수 있다. QCA 구조들

의 유효성 여부와 그 기능은 단순히 해당 이웃 상태 표시 단어를 사전에서 찾아보는 것으로 확인할 수 있다. 각 유효 패턴들은 0도 및 90도, 180도, 270도 회전된 형태로 나타날 수 있다. 만약 이웃 상태 표시 단어를 네 자리 수만큼 오른쪽으로 회전 이동 (rotate) 시킨다면 해당 패턴을 반시계방향으로 90도 회전시킨 패턴에 대응된다. 패턴 w2와 x의 경우에는 180도 회전하면 회전하기 전과 같은 패턴이 되며 270도 회전하면 90도 회전한 결과와 같게 된다. 패턴 m은 90도, 180도, 270도 등 어느 각도만큼 회전시켜도 항상 동일 패턴을 보인다는 점에 주목하라. 이 사전의 효율적인 탐색을 위해서 사전에 저장된 모든 상태 표시 단어들은 미리 크기 순서로 정렬시켜 놓은 후 이진 탐색 알고리즘을 사용하여 검색한다. 3-산계 구조와 다수결 게이트는 구분이 되지 않는다. QCA 구조 중에서 사전에 없는 것들은 QCA 설계 지침을 따르지 않는 것이다.

나. 셀 그래프 생성

설계지침을 준수하는 (즉, 이웃 상태 단어 사전에서 각각의 QCA 셀을 찾을 수 있는) QCA 설계는 셀 그래프로 모델링된다. 셀 그래프에서 각 노드는 표 1에 요약된 다양한 QCA 구조들 중 하나에 대응되며 그 타입이 표시된다. 셀 그래프에서 간선은 각 이웃 셀과의 인접성을 표시한다. 간선에는 반전과 클럭 위상 경계면의 두 가지 특성을 표시할 수 있다. 초기에는 신호의 전달 방향이 결정되지 않기 때문에 비방향성 그래프를 먼저

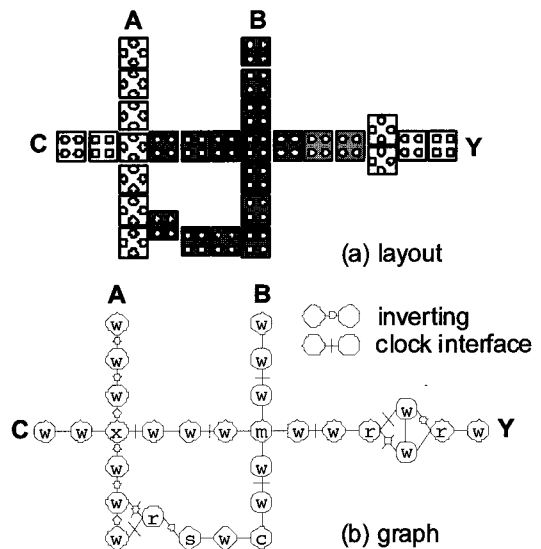


그림 7. 셀 그래프 추출  
Fig. 7. Cell graph extraction.

만든다.

그림 7(b)는 그림 7(a)에 나타낸 전형적인 QCA 레이아웃 설계로부터 추출한 비방향성 그래프를 보이고 있다. 각 노드는 셀 타입을 의미하는 문자가 표시되어 있다. QCA 설계에서는 셀의 출력 신호 값이 이웃 셀에 전달되면서 반전될 수도 있다. 이와 같은 반전 특성을 가지고 있는 각 간선에는 버블 (작은 원)을 표시하였다. 90도 셀들 사이에서는 직각이웃 쪽으로는 반전되지 않고, 반면에 경사이웃과 대각이웃 쪽으로는 반전된다. 그러나 만약 직각이웃이 대각이웃 옆에 있다면, 직각이웃 쪽으로만 간선이 생성되게 된다. 이는 대각이웃으로 흐르는 반전 신호 흐름보다 직각이웃으로의 신호의 흐름이 더 우세하기 때문이다. 그러므로 다수결 게이트 주위의 셀들과 코너 주변의 셀들 사이에서는 간선이 생성되지 않는다. 또한 배선 교차점 셀의 위쪽 셀과 오른쪽 셀 사이, 그리고 오른쪽과 아래쪽 셀 사이에는 킥에 너지가 절대 값은 같지만 반대 방향의 편극을 가지고 있어 상쇄되기 때문에 간선이 생성되지 않는다<sup>[7]</sup>. 같은 이유로 배선 교차점의 주위의 다른 셀들 사이에서도 간선이 만들어지지 않는다. 45도 셀 배선의 셀 간에도 각 셀이 이웃 셀과 서로 다른 편극을 가지고 있기 때문에 또한 버블을 갖는다. 동기 QCA 회로에서 신호 흐름은 파이프라인 클록과 동기화되는데 이때 클록의 경계면은 간선에 수직 바가 표시된다.

다. 신호의 흐름방향 결정

신호들은 입력 셀로부터 다양한 소자와 연결 구조들을 거쳐 출력 셀까지 흘러간다. 다수결 게이트 셀은 서로 다른 세 개의 이웃 셀들로부터 세 개의 입력을 받아 나머지 이웃 셀로 출력신호가 전파되는 반면 포크형 인버터 셀은 두 개의 이웃 셀들로부터 하나의 입력을 받아 하나의 출력을 발생시킨다. 또한 배선 교차점 셀은 두 개의 입력 (하나는 90도 셀에서 다른 하나는 45도 셀에서)을 받아 같은 각도의 반대편 이웃 셀들에게 신호를 전파시킨다. 이러한 다중 입력 셀들 이외의 구조들은 하나의 이웃 셀로부터 하나의 입력을 받아 나머지 이웃 셀들에게 전파시킨다. 각 셀의 신호 흐름 방향은 미로 찾기 알고리즘을 사용하여 결정할 수 있는데 입력 셀에 신호가 인가되면 그 이웃 셀에 전파시키고, 그리고 다시 그 이웃 셀의 이웃 셀에 계속 전파시켜 나가면서 결정하게 된다. 하지만 다중 입력 셀은 들어와야 할 신호가 원하는 수만큼 모두 도착한 후에야 이웃 셀들과

의 신호 방향을 결정할 수 있다. 즉 신호가 들어오지 않는 셀로 신호가 나가도록 방향을 결정하기 때문에 들어와야 할 신호들이 모두 그 셀에 도착하기 전에는 전파되지 않는다. 이 조건은 미로 찾기 알고리즘 수행 시 루프를 포함하는 회로에서 다중 입력 셀들 간에 데드락을 발생시키는 원인이 된다. 동기 QCA 회로에서 신호 흐름은 네 개의 파이프라인 클록  $\Phi_0, \Phi_1, \Phi_2, \Phi_3$ 에 의해 동기화되며 서로 다른 클록이 지정된 셀들 간의 경계면에서 신호는 클록  $\Phi_{i-1}$ 이 지정된 셀에서 클록  $\Phi_i$ 가 지정된 셀로만 전파된다. 따라서 이 경계면에서 신호 전달 방향이 결정되기 때문에 미로 찾기 알고리즘에서는 입력 셀들뿐만 아니라 이러한 경계면에서도 전파를 시작할 수 있다. 따라서 각 루프에  $\Phi_{i-1}$ -to- $\Phi_i$  클록 경계면이 적어도 한 개 이상이 존재한다면 데드락 현상이 발생하지 않을 것이다.

라. 디지털 논리 추출

일단 신호 흐름의 방향이 결정되면 이제 다수결 게이트를 3-산개 (3-fanout) 구조와 구분할 수 있다. 또한,  $\Phi_{i-1}$ -to- $\Phi_i$  클록 경계면에서 래치도 생성시킬 수 있다. 그러나 다수결 게이트와는 달리 인버터들은 분류된 셀 종류에 의해 생성할 수 있는 것이 아니라 그림 7과 그림 8(a)에서와 같이 각 셀과 그 셀의 대각 또는 경사 이웃 셀과의 관계에 의해 생성된다. 이런 각도 상에 놓인 이웃 셀로 신호가 전파될 때는 편극을 반전시키기 때문이다.

미로 찾기 알고리즘이 수행되는 동안 반전 간선이 나타나면 인버터를 생성시킬 수 있다. 그러나 이것은 45도 셀 배선과 포크 인버터, 그리고 분기 인버터 구조에서 직렬로 연결된 다수의 인버터를 발생시킬 수 있다.

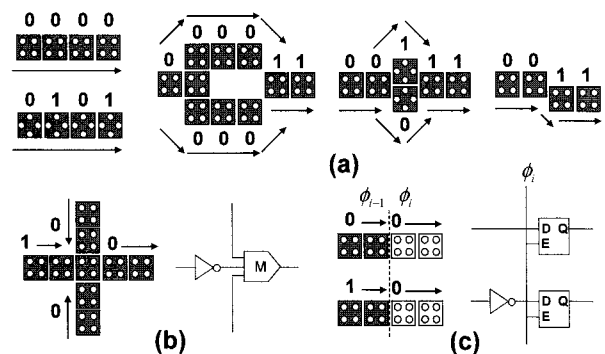


그림 8. 인버터 생성 최소화를 위한 편극 전파  
Fig. 8. Polarity propagation and inference of inverters and latches.

대안으로서는 신호가 다수결 게이트나 래치를 만날 때까지 인버터 생성을 연기하는 방법이 있다. 그림 8(b)와 8(c)에 보인 바와 같이 생성해야 할 직렬연결 인버터의 수가 홀수이면 인버터를 하나 생성하고 짝수이면 생성하지 않도록 함으로써 인버터 수를 최소화할 수 있다. 또한 다수결 게이트는 입력 신호 중 하나가 +1 또는 -1의 고정편극과 연결되면 각각 AND 또는 OR 게이트로 변환시킬 수 있다. 클록 경계면에서 생성된 래치에 신호를 동기 시키는 4상 클록을 인가할 수 있도록 마지막으로 입력 단자 네 개를 추가하면 디지털 논리 추출을 완료할 수 있다.

신호의 경로는 입력 단자, 게이트의 출력 또는 클록 경계면에서 시작하여 출력 단자, 다른 게이트의 입력이나 클록 경계면에 도달한다. 경로 지연은 미로 알고리즘이 실행되는 동안 경로 상의 셀을 세어봄으로써 계산된다. 그림 7에서 m으로 표시된 다수결 게이트로의 입력은 모두 클록 경계면으로부터 셀 하나만큼 떨어져 있어 입력 경로가 정확히 균형을 맞추고 있다. 또한 다수결 게이트의 출력에 연결된 와이어는 클락 경계면으로부터 셀 하나의 길이만큼만 떨어져 있기 때문에 잡음이 증폭되지 않을 정도로 짧아 안전하다.

바. 논리 시뮬레이션

추출된 회로는 논리 시뮬레이션을 위해 Verilog 넷리스트로 변환된다. 다수결 게이트, AND 게이트, OR 게이트, 인버터, 래치 등 기본 소자 다섯 가지의 동작 모델만 있으면 시뮬레이션이 가능하다. 물론, 입력 파형에는 겹치지 않는 4상 클록을 포함시켜야 한다. 본 논문에서는 0-지연 모델을 가정하고 있지만 게이트 지연 및 연결 지연도 QCA 셀 패턴에서 추출할 수 있기 때문에 넷 리스트와 더불어 표준 지연 형식 (SDF)으로 시뮬레이터에 입력하면 정확한 타이밍 시뮬레이션도 가능하다. 하지만 이것은 꼭 필요한 것은 아니다. 동기 QCA 설계에서는 클록 한 주기에 신호가 지나갈 수 있는 셀 수는 매우 제한적이다. 경로의 전달지연이 클락 주기보다 길어지는지는 레이아웃 도면에서 경로 상의 셀 수를 세어봄으로써 쉽게 알 수 있다. 셀 수뿐만 아니라 셀 타입까지 고려하면 보다 정확하게 지연계산을 할 수도 있다. 사실 동기 QCA 회로에서는 지연 시간이 최적화되어야 할 대상이기 보다는 준수해야할 설계 규칙이라 할 수 있다.

III. 실험

설계 방법론 및 틀 관점에서 QCA 설계와 CMOS 설계 간 충분한 상호 운용성을 제공하기 위해 제안된 알고리즘들을 CMOS 설계 용 표준 공통 엔지니어링 데이터베이스인 OpenAccess<sup>[9]</sup> 상에 구현하였다. 또한, 제안된 QCA 설계 접근 방법을 기존 방법과 비교하기 위해, QCADesigner 2.0.3을 사용하여 2-비트 QCA 가산기를 설계하였다. 이들에 대해 먼저 결합 벡터 모델 시뮬레이션을 실시하였다. 이는 QCADesigner에 포함되어 있는 시뮬레이션 모델이며 셀과 셀 간의 킹크 에너지를 근간으로 셀의 상태를 시간에 따라 계산하는 셀 간 반응 모델이다. 마치 CMOS 설계 시 사용하는 SPICE 회로 시뮬레이터처럼 정확하지만 시뮬레이션 수행 시간이 매우 길어진다.

그림 9는 2-비트 QCA 가산기 설계를 보이고 있다. 입력 A[1:0], B[1:0], CI가 가산기에 인가되어 출력 S[1:0] 및 CO가 산출된다.

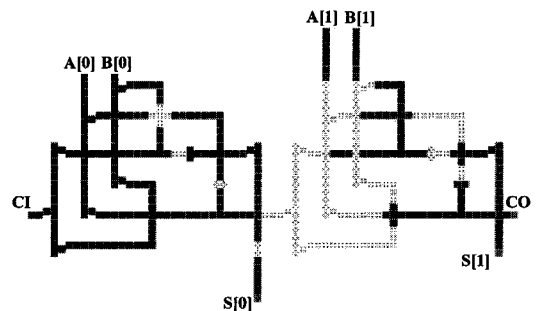


그림 9. 2-비트 QCA 가산기  
Fig. 9. 2-bit QCA adder.

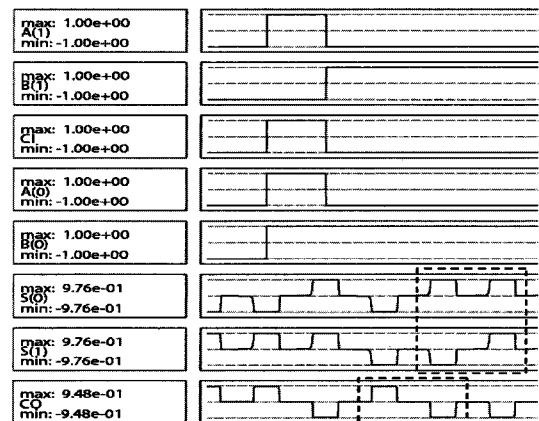


그림 10. 2-비트 QCA 가산기의 결합 벡터 모델 시뮬레이션 결과  
Fig. 10. Results of simulation in the coherent vector model.

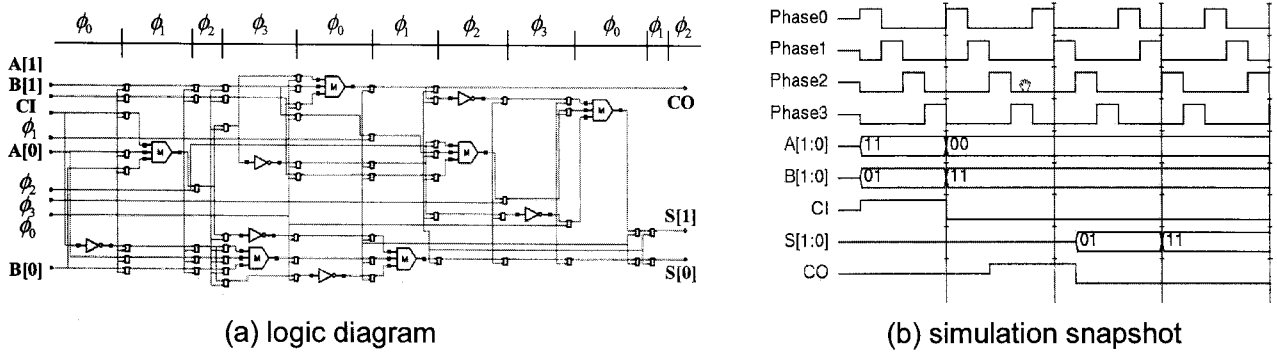


그림 11. 2비트 QCA 가산기 논리 회로와 시뮬레이션 결과  
 Fig. 11. The logic diagram and simulation snapshot of the 2-bit QCA adder.

결합 벡터 모델을 사용하여 두 가산,  $11_2 + 01_2 + 1 = 101_2$  및  $00_2 + 11_2 + 0 = 011_2$  을 시뮬레이션 한 결과가

그림 10에 나타나 있다. 10단 파이프라인 구조이므로 합은 2.5 클록 주기 (10 클록 위상) 후 출력되거나 캐리 출력은 이보다 1 클록 사이클 (4 클록 위상)만큼 먼저 나오고 있는데 이는 비트 수를 확장할 경우 이 캐리가 상위 비트 슬라이스에 더 빨리 전달되어 계산을 일찍 시작할 수 있도록 설계상 배려한 것이다.

또한, 제안된 QCA 설계 접근 방법에 따라 먼저, QCA 설계의 게이트 및 연결 구조를 인식한 후 다수결 게이트의 입력 경로 균형, 잡음 증폭 방지 등을 포함한 신호 충실도 요건을 검사하였다. 디지털 논리를 추출한 후 풍부한 CMOS 설계 검증 툴과 쉽게 연결될 수 있는 OpenAccess 데이터베이스에 저장하였다. 또한, 역시 OpenAccess 데이터베이스 상에서 자체 개발된 도면 자동 생성기를 사용하여 논리 다이어그램을 확인하였다. 마지막으로 OpenAccess 툴킷에서 제공하는 oa2verilog 를 이용하여 Verilog 넷 리스트를 발생시킨 후 상용 HDL 시뮬레이터인 ModelSim을 사용하여 시뮬레이션을 실시하였다.

그림 11(a)와 11(b)는 2-비트 가산기에 대해 자동 발생된 논리 다이어그램과 ModelSim 시뮬레이션 결과를 각각 보이고 있으며 그림 10과 동일한 결과를 확인할 수 있다.

2-비트 가산기뿐만 아니라 비트-직렬 가산기, 그리고 ALU 비트 슬라이스를 포함하는 세 가지 회로를 대상으로 제안된 QCA 검증 방법을 기존 방법과 비교하여 표 2에 결과를 정리하였다. 첫 번째 열은 설계된 회로

를 표시하고 다음 4개 열은 각각 사용된 QCA 셀 개수, 게이트 수, 인버터 수, 그리고 시뮬레이션으로 검증한 동작 시간 (피코-초 단위)을 나타낸다. 마지막 2개 열에서 결합 벡터 모델 시뮬레이션과 Verilog 논리 시뮬레이션 수행 시간(회로 추출 시간 + 시뮬레이션 시간)을 비교하였다. CMOS 검증 방법을 QCA 설계에서 활용할 수 있도록 제안하는 설계 검증 방법이 기존 방법에 비해 오류 검출 능력이나 정확도를 희생하지 않으면서 수천 배 이상 빠름을 나타내고 있다. 사실 이것은 CMOS 설계에서 논리 시뮬레이션이 회로 시뮬레이션에 비해 수천 배 이상 빠른 이유와 동일하며 설계 규모를 통해 QCA 회로가 확정적이고 재현성 있는 동작을 하도록 보장하고 QCA 레이아웃에서 디지털 논리를 자동 추출함으로써 가능하게 된 것이다.

동기 QCA 설계는 클록 경계면이 래치처럼 동작하기 때문에 조합 회로뿐만 아니라 순차회로도 구현할 수 있다. 그림 12에 간단한 순차회로의 일례로 설계된 QCA 비트-직렬 가산기를 보이고 있다. 하위 비트부터 상위

표 2. 검증 기법의 비교 실험 결과  
 Table 2. Experimental results on the comparison of verification approaches.

설계	규모				시뮬레이션	
	셀	게이트	인버터	동작 시간	결합 벡터	Extract + Verilog
2-비트 가산기	280	6	4	256 p초	682초	0.6초 =0.1+0.5
1-비트 직렬 가산기	381	6	6	480 p초	1361초	0.6초 =0.1+0.5
ALU 비트 슬라이스	1030	15	9	1024 p초	5509초	0.6초 =0.1+0.5

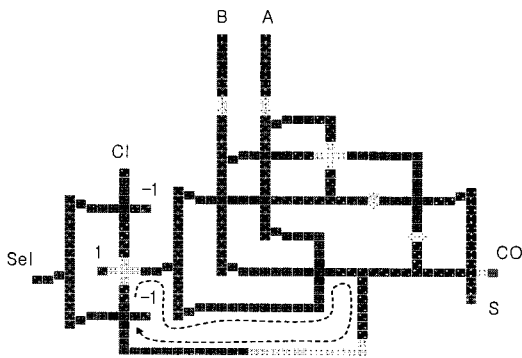


그림 12. QCA 비트-직렬 가산기  
Fig. 12. QCA bit-serial adder.

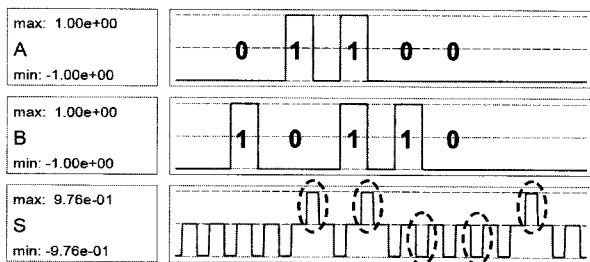


그림 13. QCA 비트-직렬 가산기의 결함 벡터 모델 시뮬레이션 결과  
Fig. 13. Results of simulation in the coherent vector model.

비트로 올라가면서 차례로 가산하여 합을 한 비트씩 순서대로 출력하며 각 비트 가산에서 발생된 캐리는 저장되었다가 다음 상위 비트를 계산할 때 합산된다. 저장 방법은 그림 12의 점선 화살표로 나타낸 것과 같이 멀티플렉서의 출력이 연산 경로를 거친 후 되돌아 와 입력 중 하나에 연결되도록 하여 루프를 만든 후 파이프라인 클록을 이용하여 다른 입력과 동기화시키면 된다. 그림 13은 이진 가산  $00110_2 + 01101_2 = 10011_2$ 을 시뮬

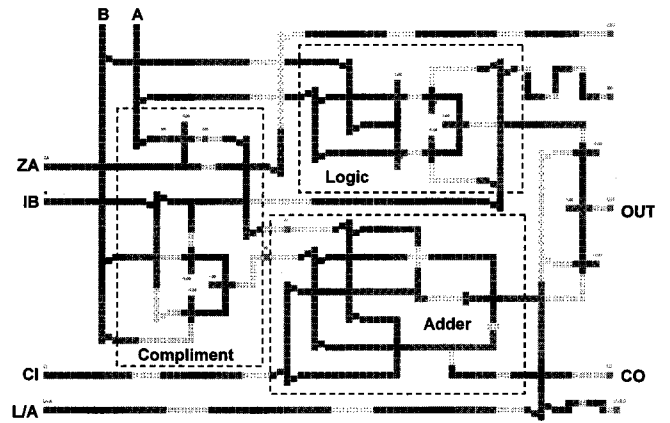


그림 15. QCA ALU bit-slice  
Fig. 15. A bit-slice of a QCA ALU.

레이션 한 결과를 보이고 있다. 10단 파이프라인 구조를 가지고 있기 때문에 2.5 클록 주기 후에 합이 출력되기 시작한다. 또한, 비트 가산의 수행이 한 클록 주기(4 클록 위상)를 초과하기 때문에 두 클록 주기마다 각 비트 가산이 실행되어 출력되도록 하였다.

Sel 입력은 최하위 비트 계산 시 CI 입력이 연결되고 상위 비트들 계산 시에는 저장된 캐리가 입력되도록 하는 역할을 한다.

그림 14(a)와 (b)는 비트-직렬 가산기의 논리 다이어그램과 ModelSim 시뮬레이션 결과를 각각 나타내며 그림 13과 동일한 결과를 확인할 수 있다.

ALU는 그림 15에서 보인 것같이 가산기 유닛, OR/AND 논리 유닛, 보수 유닛으로 구성된다. ALU는 A, B, Carry In (CI)의 세 가지 입력과 Zero A (ZA), 반전 B (IB, OR/AND 선택에도 사용), 논리/가산 선택 (L/A)의 세 가지 제어입력이 있으며 출력 데이터는

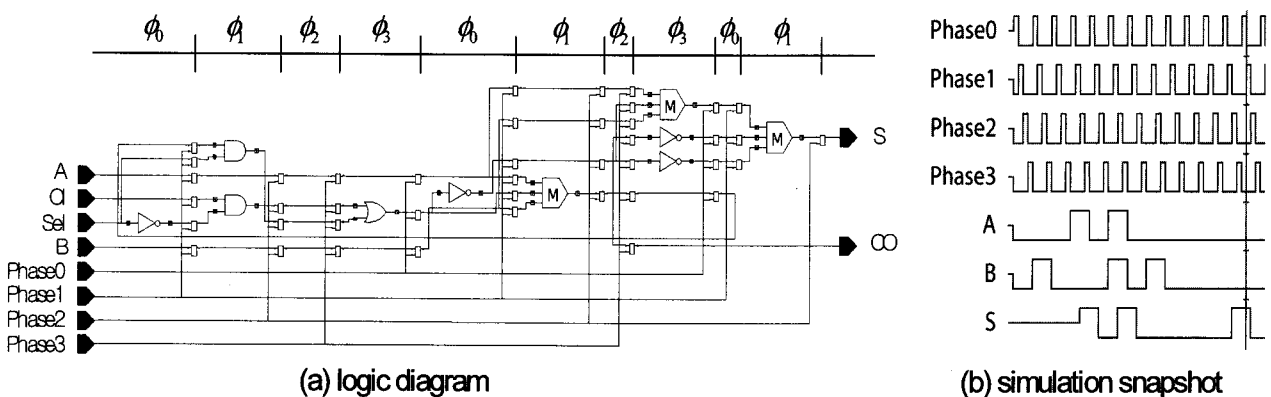


그림 14. QCA 비트-직렬 가산기 논리 회로와 시뮬레이션 결과  
Fig. 14. The logic diagram and simulation snapshot of the QCA bit-serial adder.



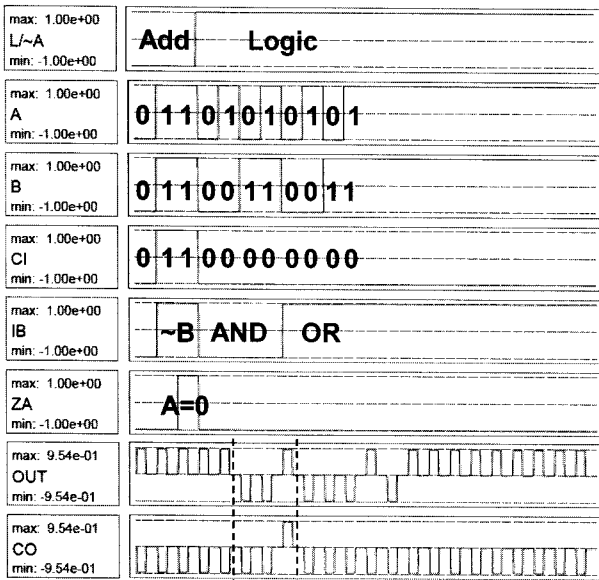


그림 16. QCA ALU 비트-슬라이스의 결합 벡터 모델 시뮬레이션 결과  
Fig. 16. Results of simulation in the coherent vector model.

Carry Out (CO)과 OUT이 있다.

결합 벡터 모델을 사용하여 시뮬레이션 한 결과를 그림 16에 나타내었다. 처음 클럭 3주기에는 가산을 하고 다음 8주기에는 논리 연산 (AND 4주기, OR 4주기)을 하였다. 19단 파이프라인 구조이므로 결과는 4.75클럭 주기 이후부터 산출된다. 가산 동작에서 입력 A와 B는 둘 모두 0-1-1 이 순서대로 인가되지만 ZA 및 IB 신호에 의해 각각 0-1-0 및 0-0-0으로 바뀌며 CI가 0-1-1 이 출력된다. AND와 OR 동작에서는 각각 0-0-0-1 및 0-1-1-1이 출력됨을 확인할 수 있다.

논리회로와 논리 시뮬레이션 결과는 그림 17과 18에

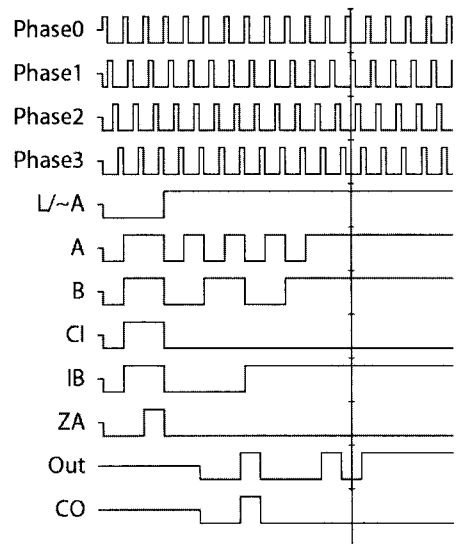


그림 18. QCA ALU 비트-슬라이스 논리 시뮬레이션 결과  
Fig. 18. A simulation snapshot of the QCA ALU bit-slice.

나타나있다. 8개의 AND 게이트와 3개의 OR 게이트뿐만 아니라 3개의 다수결게이트를 볼 수 있다. 시뮬레이션 결과도 그림 16과 일치함을 알 수 있다.

#### IV. 결 론

CMOS 디지털 설계 검증 방법을 QCA 설계에 결합하는 설계 방식을 제안하였다. QCA 설계에서 불확정적 동작성과 신호의 취약성을 검출하였고, 부울 논리를 추출하는 알고리즘들을 제시하였다. 또한 OpenAccess가 제공하는 상호 운용성을 이용하였으며 HDL 시뮬레이션을 통해 시현하였다.

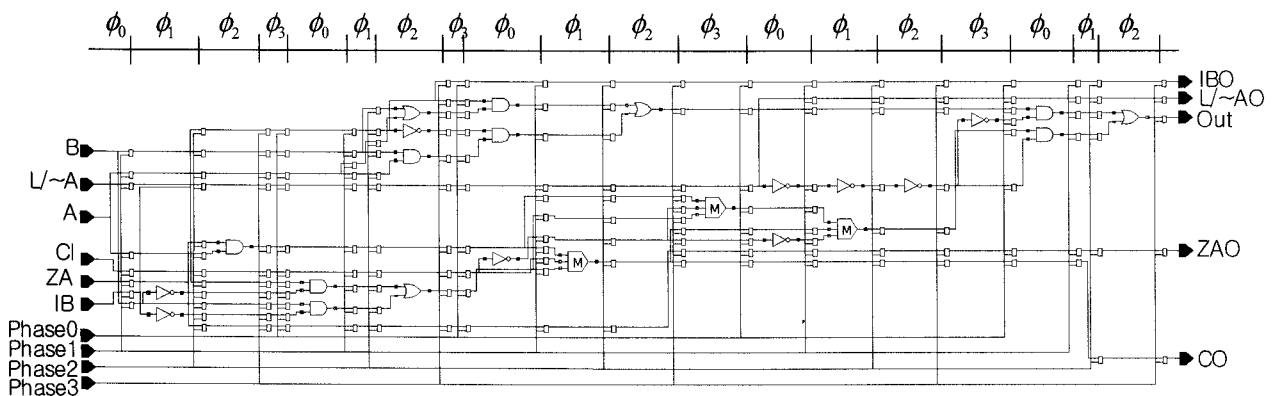
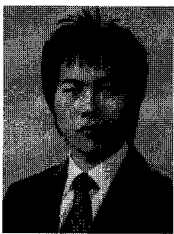


그림 17. QCA ALU 비트 슬라이스 논리 회로  
Fig. 17. The logic diagram of the QCA ALU bit-slice.

## 참고 문헌

- [1] G.L. Snider, A.O. Orlov, R.K. Kummamuru, R.Ramasubramaniam, I. Amlani, G.H. Bernstein, C.S. Lent, J.L. Merz, and W. Porod, "Quantum-dot Cellular Automata: Introduction and Experimental Overview," *Proceedings of 1st IEEE Conference on Nanotechnology*, pp. 465-470, October, 2001.
- [2] K. Walus, T.J. Dysart, G.A. Jullien, and R.A. Budiman, "QCADesigner: A Rapid Design and Simulation Tool for Quantum-Dot Cellular Automata," *IEEE Transactions on Nanotechnology*, Vol. 3, No. 1, pp. 26-31, March, 2004.
- [3] P.D. Tougaw and C.S. Lent, "Dynamic Behavior of Quantum Cellular Automata," *Journal of Applied Physics*, Vol. 80, No. 8, pp. 4722-4736, October 1996.
- [3] J. Timler and C.S. Lent, "Power Gain and Dissipation in Quantum-dot Cellular Automata," *Journal of Applied Physics*, Vol. 91, No. 2, pp. 823-831, January, 2002.
- [4] K. Kim, K. Wu, and R. Karri, "Towards Designing Robust QCA Architectures in the Presence of Sneak Noise Paths," *Proceedings of Design Automation and Test in Europe*, pp. 1214-1219, March, 2005.
- [5] S.C. Henderson, E.W. Johnson, J.R. Janulis, and P.D. Rougaw, "Incorporating Standard CMOS Design Process Methodologies into the QCA Logic Design Process," *IEEE Transactions on Nanotechnology*, Vol. 3, No. 1, pp. 2-9, March, 2004.
- [6] M. Momenzadeh, J. Huang, M.B. Tahoori, and F. Lombardi, "Characterization, Test, and Logic Synthesis of And-Or-Inverter (AOI) Gate Design for QCA Implementation," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 24, No. 12, pp. 1881-1893, December, 2005.
- [7] R. Ravichandran, M. Niemier, and S.K. Lim, "Partitioning and Placement for Buildable QCA Circuits," *Proceedings of the Asia and South Pacific Design Automation Conference*, Vol. 1, pp. 424-427, January, 2005.
- [9] M. Guiney, E. Leavitt, "An Introduction to OpenAccess: an Open Source Data Model and API for IC Design," *Proceedings of Asia and South Pacific Conference on Design Automation*, pp. 434-436, January, 2006.

## 저자 소개



오연보(학생회원)  
2007년 인천대학교 전자공학과  
학사 졸업.  
2008년 현재 인천대학교  
전자공학과 석사 과정  
<주관심분야 : CAD, 저전력 설계,  
나노소자>



김교선(정회원)  
1986년 연세대학교 전자공학과  
학사 졸업  
1988년 연세대학교 전자공학과  
석사 졸업  
1998년 Ph.D. Department of  
Electrical & Computer  
Engineering, University  
of Massachusetts,  
Amherst, U.S.A.

1988년~2003년 삼성전자 CAE Center 주임,  
선임, 책임, 수석연구원.

현재 인천대학교 공과대학 전자공학과 부교수  
<주관심분야 : 상위수준합성, Reconfigurable  
Computation, Fault-Tolerance, Embedded  
Systems, Low-Power Design, Nanoelectronic  
Architectures>