

논문 2009-46SC-1-11

# 새로운 방법의 채널 시간 공유 Subranging ADC 8bit 80MS/s 0.18um CMOS

( A Novel Method for Time-Interleaved Subranging ADC 8bit 80MS/s  
in 0.18um CMOS )

박 기 철\*, 김 강 직\*, 조 성 익\*\*

( Ki-Chul Park, Kang-Jik Kim, and Seong-Ik Cho )

## 요 약

본 논문에서는 새로운 방법의 채널 시간 공유 Subranging ADC를 제안한다. 기존 Subranging ADC의 경우, 상위 비교기 블록과 하위 비교기 블록이 각각 존재 하여 면적과 파워소비가 단점을 지니고 있다. 제안하는 Subranging ADC는 기존 Subranging ADC와 비슷하나 가장 큰 특징은 하위 ADC의 비교기가 존재하지 않는다. 하위 ADC의 비교기가 존재하지 않는 대신에 Control Switch(CS)를 사용하여 상위 ADC의 비교기를 시간차이를 두고 공유하는 형식을 보여주고 있다. 제안하는 ADC는 하위단의 비교기 블록을 제거하고 상위단의 비교기 블록과 공유하므로 기존 Subranging ADC보다 컴페레이터 숫자를 반으로 줄이며 따라서 칩 전체 면적을 40% 가량 줄인다. 동작 특성을 확인하기 위하여 0.18 $\mu$ m 1P6M Technology 이용하여 제안된 방법으로 8bit ADC를 설계하였다. 시뮬레이션 결과, 전원전압 1.8V에서 8bit 80MS/s 특성 그리고 10mW의 낮은 전력 소모의 특성을 나타내었다.

## Abstract

A novel design method of time-interleaved subranging ADC is presented. We use the bisection method to let only half of comparators in typical subranging ADC working in every clock cycle. Thus, we are able to reduce the number of comparators by half. It is possible to reduce the die size. An example of 8-bit time-interleaved subranging ADC operates at 40MHz sampling rate and 1.8V supply voltage is demonstrated. The power consumption of the proposed circuit is only 10mW with SPECTRE simulation. Compared with the typical subranging ADC, our bisection method is able to reduce up to 40% in die size.

**Keywords :** Sample and Hold Amplifier(SHA), Resister-String(RS), Control Switch(CS),  
Coarse flashADC(CADC), Fine flashADC(FADC).

## I. 서 론

최근 고성능 ADC(Analog-to-Digital Converter)는 이동 통신 베이스밴드 시스템, 의료용 영상 시스템 등 많은 각종 시스템에서 수요가 증가하고 있는 추세이며

데이터 통신 시스템이 점차적으로 고속화, 대용량화 되어감에 따라 시스템간의 고속 데이터 전송이 요구되고 있다. 이러한 고성능의 ADC가 다른 대규모 CMOS 디지털 회로와 동시에 단일 칩으로 집적되기 위해서는 저전압, 저 전력이 요구되어진다.

일반적으로 고속 데이터 변환을 위해서는 플래쉬 (flash)ADC 방식이 보편화 되었으나, 해상도에 따라 지수적으로 면적과 전력 소모가 증가하기 때문에 고성능으로 갈수록 서브레인징 (subranging), 파이프라인 (pipeline), 폴딩 인터폴레이트 (folding-interpolate), 그

\* 학생회원, \*\* 정회원-교신저자, 전북대학교  
전자정보공학부

(Division of Electronics and Information  
Engineering, Chonbuk University)

접수일자: 2008년11월21일, 수정완료일: 2009년1월14일

리고 시간공유(time-interleaved)구조의 ADC가 선호되어왔다.<sup>[2~4]</sup>

서브레인지 구조는 기본적으로 플래쉬 구조에 비하여 동작 속도 및 의 전력소모 측면에서 장점이 가지나, 하위 ADC에서 사용되는 기준 전압(reference voltage)의 정착 시간(settling time)이 전체 시스템의 속도를 결정하는 주요 원인이 되어 왔다.<sup>[3~4]</sup>

시간 공유(time-interleaved)ADC는 여러 개의 채널이 병렬 구조로 연관되어 있어 채널 개수에 비례하여 면적과 전력소모가 증가 하고, 채널간의 부정합으로 인한 비선형성 등으로 인하여 설계하기 어려운 단점이 존재하나 비교적 낮은 속도에서 동작하는 시스템을 이용하여 고속의 시스템을 구현할 수 있는 장점이 있다.<sup>[4~5]</sup>

표 1. 각각 ADC의 종류와 비교표  
Table 1. Types of ADC.

구분	Resolution	Relative Size	Speed	Relative Power
Flash	< 8bits	Large	~ GHz	1
Subranging	< 10bits	Mid	~ 100MHz	0.4
Pipeline	< 12bits	Mid	~ 100MHz	0.4
Successive Approximation	< 12bits	Small	~ 10MHz	0.2

표 1은 위에서 언급된 여러 가지 ADC 종류와 각각의 ADC 대한 여러 가지 성능을 요약한 표이다. 속도가 가장 빠른 Flash ADC의 전력소모를 1로 기준하여 각각 ADC 전력소모를 표현하였으며, 칩 사이즈와 전력소모는 ADC 스피드와 반비례함을 보여주고 있다.

본 논문에서는 서브레인지 시스템 기반에 시간공유 방법을 접합시킴으로써 기존의 ADC에서 comparators의 수를 절반으로 줄여 적은 전력소모와 칩 면적을 줄일 수 있다. 그러나 한 사이클 안에 두 번의 Data 변환이 일어나므로 기존 방식보다 변환속도가 반으로 줄어드는 단점이 있다. 이를 확인하기 위해 8비트 80MHz 수준으로 요구되는 설계 사양을 설정하고 0.18um 1P6M Technology를 이용하여 시간 공유 서브레인지 ADC를 설계하고자 한다.

본 논문의 II장에서는 기존과 제안된 ADC의 구조 및 동작 순서를 비교 설명한다. III장에서는 제안된 시간 채널 시간 공유 방법에 대해 구체적으로 논의한다. IV장에서는 ADC 주요 회로 블록 설계에 대해 설명하

였다. V장에서는 전체 회로의 모의실험을 통해 제안하는 ADC의 성능을 검증한다.

## II. 제안하는 서브레인지 ADC 구조

### 1. 기존의 서브레인지 ADC 구조

기존의 전형적인 서브레인지 ADC의 전체 구조는 그림 1과 같다. 그림 1의 각 블록의 기능을 살펴보면, 먼저 아날로그 입력 신호는 SHA에 의해 샘플링되며 상위 bit conversion(Coarse ADC)의 비교기들은 SHA의 출력을 입력받는다. 상위 bit conversion은 기준전압 발생기(Resister string)의 16비트 온도계 코드와 연산한 후 상위 4비트를 결정하며, 이와 동시에 상위 bit conversion에 의해 선택된 상위비트는 하위 bit conversion의 기준전압 발생회로 입력되어 하위 bit conversion(Fine ADC)을 연산하여 하위 4비트를 출력시키고 상위 인코더에서 붙잡고 있던 상위 4비트와 함께 최종 8비트를 출력하게 된다.

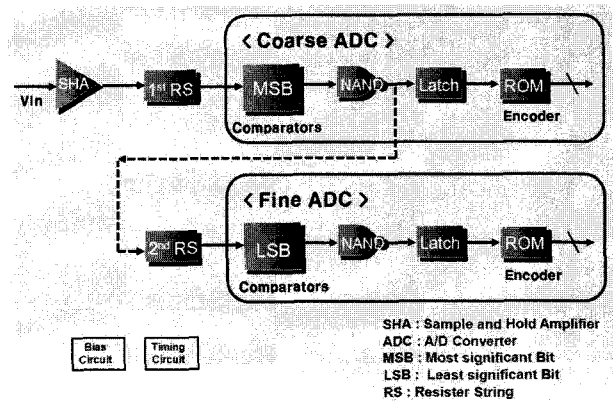


그림 1. 기존의 서브레인지 ADC 전체 구조  
Fig. 1. A typical subranging ADC architecture.

### 2. 제안하는 서브레인지 ADC 구조

제안하는 서브레인지 ADC의 전체구조는 그림 2와 같다. 그림 2의 각 블록의 기능은 그림 1의 기존 서브레인지 ADC와 비슷하나 가장 큰 특징은 하위 ADC의 비교기가 존재하지 않는다. 하위 ADC의 비교기가 존재하지 않는 대신에 Control Switch(CS)를 사용하여 상위 ADC의 비교기를 시간차이를 두고 공유하는 형식을 보여주고 있다. 동작순서는 입력 신호가 SHA에 의해 샘플링 되고 홀딩된 후 상위 bit conversion의 비교기단에서 상위 기준전압과 비교된 후 상위 bit conversion의

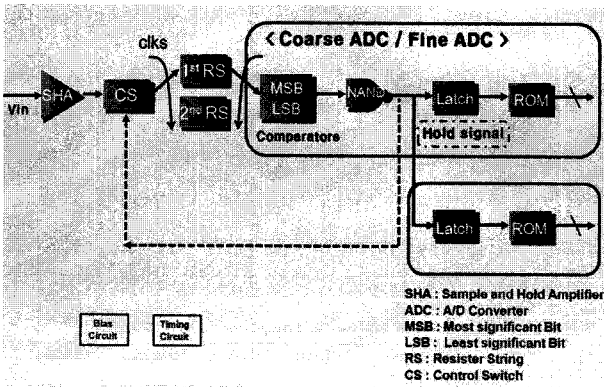


그림 2. 제안하는 서브레인지 ADC 전체 구조  
Fig. 2. A proposed subranging ADC architecture.

상위 비트(MSB) 4비트를 출력하고 그 출력 값 들은 첫 번째 래치에서 홀드 하고 있음과 동시에 Control Switch로 보내져 하위 기준전압을 출력하고 상위 bit conversion의 비교기단을 다시 한 번 더 통과하여 하위 bit conversion의 하위 비트(LSB) 4비트를 출력한다. 이 출력 값들은 뒤에 따라 오는 래치에 저장된 후 하나의 타이밍 클럭신호에 의해서 상위 래치에 저장된 값과 하위 래치에 저장된 값을 동시에 인코더로 보내 8비트를 출력해 낸다.

그림 1에 도시된 기존 서브레인지 ADC의 경우, 상위 비교기 블록과 하위 비교기 블록이 각각 존재 하여 면적과 파워소비가 단점을 지니고 있다. 제안하는 ADC는 하위단의 비교기 블록을 제거하고 상위단의 비교기 블록과 공유하므로 전체 면적을 40% 가량 줄인다.

### III. 제안하는 서브레인지 ADC의

#### 채널 시간 공유 방법

N비트의 경우, 기존의 서브레인지는  $2^{1+(n/2)}-1$  개의 비교기 개수를 필요로 하기 때문에 넓은 칩 면적과 높은 전력소비가 있다. 하지만 제안하는 서브레인지에서는  $2^{n/2}-1$ 개의 비교기 개수를 필요로 한다. 따라서 기존의 서브레인지 구조보다 적은 전력소비와 작은 면적을 사용하는 장점이 있다. 하나의 비교기 블록을 두 번 이용해야 하기 때문에 컨트롤 스위치를 생성해야하고 새로운 신호를 생성해서 비교기 블록을 컨트롤해야 한다.

그림 3 (a), (b)는 상위 bit conversion에서 출력된 값이 스위치를 컨트롤 하여 하위 기준전압을 다시 한 번 상위 비교기 블록으로 입력한다.

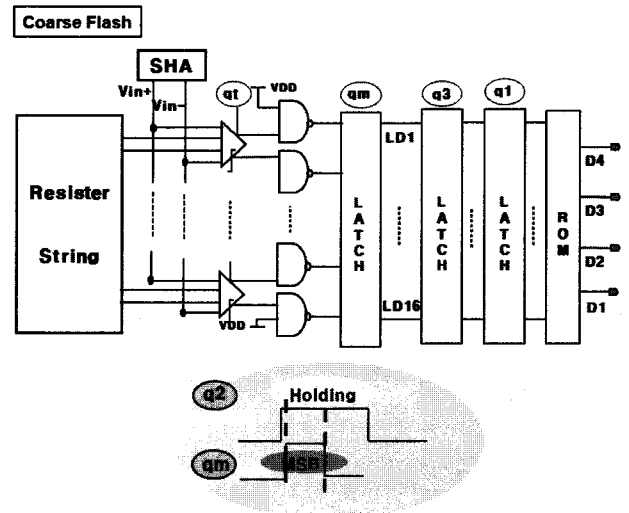


그림 3. (a) 상위 ADC 블록 구조  
Fig. 3. (a) Coarse ADC architecture.

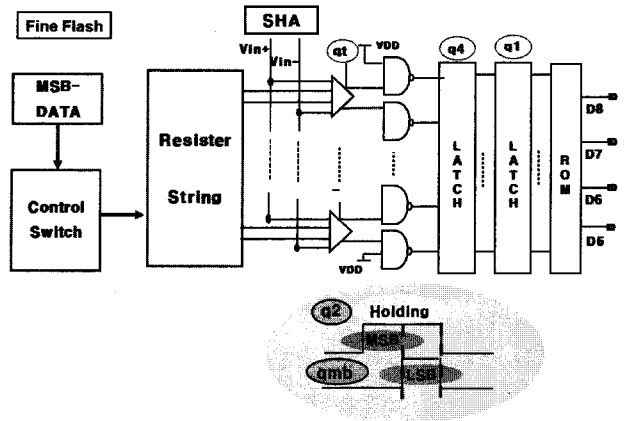


그림 3. (b) 하위 ADC 블록 구조  
Fig. 3. (b) Fine ADC architecture.

### IV. 제안된 서브레인지 ADC 주요 세부 블록 설계

#### 1. 컨트롤 스위치

상위 ADC의 출력을 이용하여 하위 ADC의 기준전압을 선택하는 컨트롤 스위치 회로는 가장 중요한 블록중의 하나이다. 상위 ADC에서 상위 4비트를 출력한 후 그 출력 값들을 첫 번째 래치에서 홀드하고 있음과 동시에 그 신호를 컨트롤 스위치에 입력하여 하위 기준전압을 결정한다. 이 신호들은 상위 ADC에서 사용했던 비교기에 다시 입력되어 연산 후 하위 4비트를 출력하게 된다.

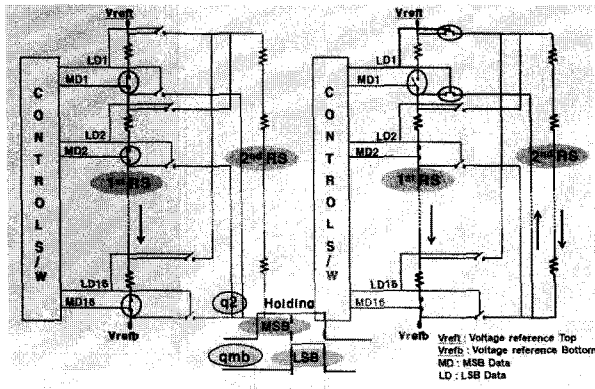


그림 4. 컨트롤 스위치 와 레지스트링  
Fig. 4. A Control Switch and Restrting.

그림 4는 회로에서 사용된 컨트롤 스위치와 입력 기준전압의 회로이다. 처음 상위 bit conversion의 경우 타이밍 q2에 의해 홀딩된 신호를 입력으로 받아서 상위 기준 전압들과 같이 비교기에 입력된다. 컨트롤 스위치는 qm의 타이밍에 첫 번째 입력 기준전압단과 상위 bit의 비교기를 동작시키게 된다. 첫 번째 기준 전압 단에서 MD1 - MD16의 신호들이 입력 기준전압 회로의 첫 번째 단의 스위치들을 컨트롤 하여 상위 4비트를 출력해 내고 이 때 두 번째 단의 기준 전압 회로는 스위치에 의해 열린 상태이므로 작동을 하지 않는다. 타이밍이 qmb일 때 상위 4비트에서 출력된 값들이 컨트롤 스위치에 입력되어 기준 전압(하위 bit conversion의 기준 전압)의 두 번째 단을 컨트롤 하게 되며 이때 qmb 타이밍 신호에 의해 하위 비교기를 동작시킨다. 하위 기준 전압 단이 동작될 때에는 그 입력된 값을 비교하기 위해 하위 기준 전압 단으로 입력되는 스위치는 닫히고 그 입력 값에 해당하는 상위 기준전압의 스위치는 열린다. 예를 들어 qm 타이밍 때 MD1이라는 값이 출력되어 상위 4비트가 출력되고 이 출력 값이 qmb라는 타이밍 때 컨트롤 스위치에 입력되어 LD1이라는 값을 결정한다면 하위 기준전압 단의 입력 기준전압의 스위치를 닫아 하위 기준전압 단의 저항열 들을 동작시키며 이때 상위 기준전압 단에서 MD1의 스위치는 열린다.

## 2. 타이밍

본 회로에서 제안된 ADC의 각 블록에 사용된 타이밍은 그림 5와 같다. 그림 5에서 qt인 마스터 타이밍 클록을 외부에서 인가한 후 2분주기를 통해 타이밍 클록 qm과 qmb를 생성하고 타이밍 클록 q2와 qm을 이용하여 타이밍 클록 q3를 생성하고 타이밍 클록 q2와 qmb

를 이용해서 타이밍 클록 q4를 생성하였다. 또한 마스터 타이밍 클록인 qt의 4분주기를 이용하여 타이밍 클록 q2와 q1을 생성하였다. qt는 비교기 동작을 On 시키며, qm과 qmb는 컨트롤 스위치와 기준 입력 전압단을 동작시키며 q3와 q4는 래치그룹을 동작시킨다. 마지막으로 q1,q2는 샘플 앤 홀드 단을 동작시킨다.

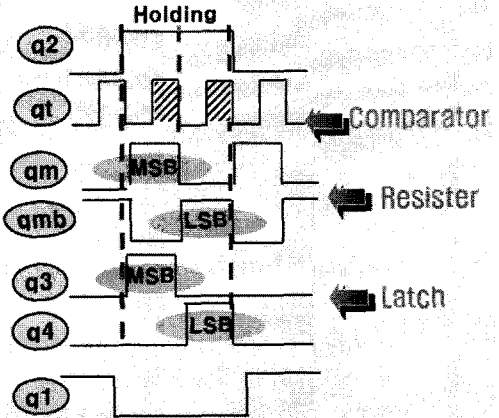


그림 5. 타이밍  
Fig. 5. Timing.

## 3. 래치그룹

제안하는 서브라인징 ADC에서 또 하나의 중요한 블록은 래치 그룹이다. 상위 bit conversion에서 출력해낸 상위 4비트의 신호를 홀드하고 있다가 하위 bit conversion이 끝났을 때 같이 신호를 출력해야만 하므로 래치 그룹의 타이밍 결정이 중요하다고 볼 수 있다. 이 논문에서는 상위 bit conversion의 출력 값을 래치 첫 번째 단에 저장하고 이 값을 동시에 하위 bit conversion의 컨트롤 스위치로 보낸다. 상위 bit conversion에서는 타이밍 q3에 홀드하고 있다가 다음 래치 그룹으로 보낸 후에 두 번째 래치 단에서는 하위 bit conversion이 동작할 동안 타이밍 q2에 값을 홀딩하고 있다가 세 번째 래치 그룹으로 보낸다. 이제 상위 bit conversion에서 출력 값을 홀딩하고 있을 동안 하위 bit conversion이 동작하였으므로 세 번째 래치 그룹, 그리고 하위 bit conversion에서는 래치 그룹에서 타이밍 q1에 모든 출력 값들을 엔코더로 보낸다.

## V. 시뮬레이션 결과 및 레이아웃

공급전원, 공정 그리고 온도 등의 조건에서 ADC를

구성하는 각 블록들이 안정적으로 동작할 수 있도록 TSMC 0.18- $\mu\text{m}$  공정 파라미터를 이용하여 설계하였다. 설계된 각 블록에 그림 2의 제안된 구조를 적용하고, 그림 5의 타이밍을 이용하여 1.8V 전원전압, 80MHz의 샘플링주파수의 조건하에 시뮬레이션 하였다.

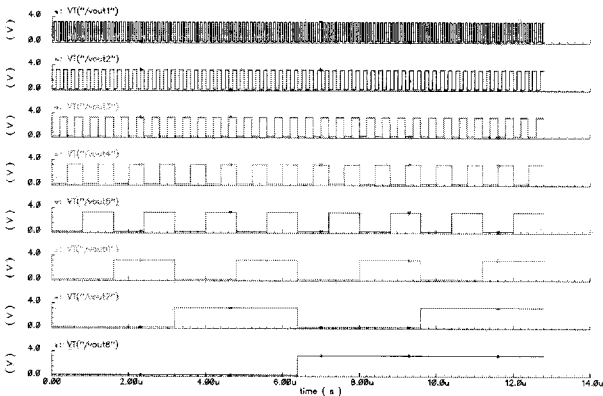


그림 6. 시뮬레이션 결과 값  
Fig. 6. A Result of Simulation.

그림 6은 제안된 서브레인지 ADC의 전체 회로를 시뮬레이션 한 결과 파형이다. 상위부터 하위까지 8비트의 출력 파형이 예상과 정확히 일치함으로써 설계된 ADC가 정상 동작함을 확인하였다. 그리고 기존 서브레인지와 제안된 서브레인지 ADC의 특징을 표 2에 비교하였다.

표 2. 기존 서브레인지와 제안하는 서브레인지의 비교

Table 2. A comparison between typical subranging ADC and Proposed subranging ADC.

	A typical Subranging	A proposed Subranging
Total comparators	31 $2^{N-1}$	15 $2^{N/2-1}$
Clock Cycles / Conversion	1	2
Relative Die Size	1	0.6

그림 7은 TSMC 0.18- $\mu\text{m}$  공정으로 레이아웃한 전체 Subranging ADC 회로를 보여주고 있다. 칩 면적은  $1.8\text{mm} \times 1.3\text{mm}^2$ 이다.

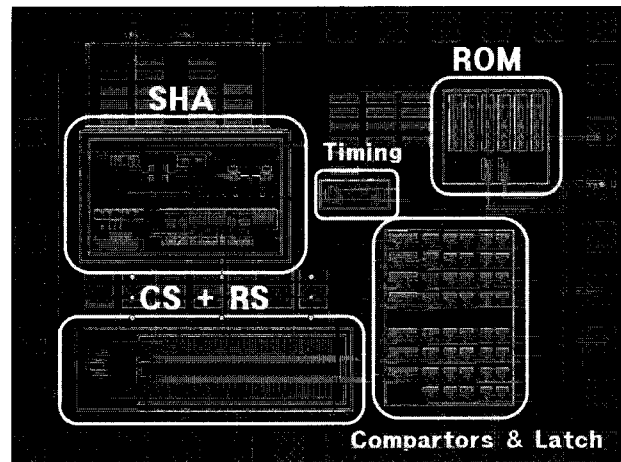


그림 7. 전체 서브레인지 ADC 회로 레이아웃  
Fig. 7. Layout.

## VI. 결론

본 논문에서는 서브레인지 ADC 기반에 시간공유 방식을 결합한 새로운 구조의 채널 시간 공유 서브레인지 ADC를 제안하였다. 이 방법은 상위 bit conversion과 하위 bit conversion의 비교기를 시간차에 의해 공유함으로써 comparator 수를 서브레인지 ADC 보다 면적을 약 40%정도 줄일 수 있다. 동작 특성을 확인하기 위하여 TSMC 0.18 $\mu\text{m}$  1P6M Technology를 이용하여 제안된 방법으로 8비트 ADC를 설계하였다. 시뮬레이션 결과, 전원전압 1.8V에서 80MHz 특성 그리고 10mW의 낮은 전력 소모의 특성을 나타내었다.

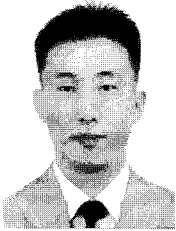
본 논문은 기존의 서브레인지 ADC 보다 칩 면적 감소와 적은 전력 소모를 가지는 ADC 회로 설계 기법을 제안한 것이며, 앞으로 실제 칩 제작을 통하여 위와 같은 사실들을 확인하여야 할 것이다.

## 참고 문헌

- [1] Byeong-Jin Kwon, Kang-Min Chung, " Design of 8-bit CMOS Subranging ADC using Gate array", S.korea: 1992.
- [2] B.P Brant and J.Lutsky, "A 74mW 10-b, 20MSPS CMOS subranging ADC with 9.5 effective bits at nyquist,"IEEE J.Solid-State Circuits,vol34, pp.1788-1795, Dec. 1999.
- [3] K.Y. Kim, N.Kusayanagi, and A. A. Abidi "A 10-b, 100MS/s CMOS A/D converter," IEEE J. Solid-State Circuits, vol.32, pp.302-311, Mar.1997.

- [4] Jung-Woong Moon, Hee-Suk Yang, and Seung-Hoon Lee, "An 8b 200MHz Time-Interleaved Subranging ADC With a New Reference Voltage Switching Scheme", S.Korea: Sogang University, 2002.
- [5] K.El-Sankary, A.Assi, and M.Sawan, "A new time-interleaved architecture for high-speed A/D converters." IEEE. Nov. 2002.

— 저 자 소 개 —



**박 기 철**(정회원)  
 2007년 전북대학교 전자정보공학부 학사 졸업.  
 2009년 2월 전북대학교 전자공학과 석사졸업 예정.  
 <주관심분야 : Analog 회로설계, ADC, DAC >



**김 강 직**(정회원)  
 2005년 전북대학교 전자정보공학부 학사 졸업.  
 2007년 전북대학교 전자공학과 석사 졸업.  
 2007년~현재 전북대학교 전자정보공학부 박사 과정  
 <주관심분야 : Analog 회로설계, ADC 및 CMOS 고속 인터페이스 회로 연구>



**조 성 익**(정회원)  
 1987년 전북대학교 전자정보공학부 학사 졸업.  
 1989년 전북대학교 전기공학과 석사 졸업.  
 1994년 전북대학교 전기공학과 박사 졸업.  
 1996년~2004년 Hynix 반도체 메모리 연구소 책임연구원  
 2004년~현재 전북대학교 전자정보공학부 조교수  
 <주관심분야 : 저전압/고속 Graphic DRAM, Low-voltage Low-power analog circuit, High speed data Interface circuit, ADC/DAC, Filter, PLL/DLL >