

논문 2009-46SD-2-1

System-on-Panel 응용을 위한 고속 Pipelined ADC 설계

(Design of High Speed Pipelined ADC for System-on-Panel Applications)

홍 문 표*, 정 주 영**

(Moon Pyo Hong and Ju Young Jeong)

요 약

본 논문에서는 일반적인 Folding 구조를 이용한 R-String Folding Block과 Second Folding Block을 제안하여 최대 500Msample/s로 동작하는 ADC를 설계하였다. 제안된 Folding ADC의 R-String Folding Block에서는 상위 4bit를 병렬로 처리하여 디지털 출력을 얻어내며, Second Folding Block에서는 하위 4bit를 새로운 pipeline 방식을 통해 디지털 출력을 얻어낸다. HSPICE 시뮬레이션 과정을 통해 ADC 동작을 확인하였으며 최대 샘플링 주파수인 500Msample/s로 동작할 경우의 평균 전력소모는 1.34mW로 매우 작음을 확인하였다. 램프입력을 인가하면서 디지털 출력이 변할 때의 입력전압을 측정하여 DNL과 INL을 구한 결과 DNL은 $-0.56\text{LSB} \sim 0.49\text{LSB}$, INL은 $-0.94\text{LSB} \sim 0.72\text{LSB}$ 의 특성을 나타내었다. 사용된 MOSFET 파라미터는 MOSIS에서 제공하는 $0.35\mu\text{m}$ 공정 파라미터이다.

Abstract

We designed an ADC that operated upto 500 Msamples/sec based on proposed R-string folding block as well as second folding block. The upper four bits are processed in parallel by the R-string folding block while the lower four bits are processed in pipeline structured second folding block to supply digital output. To verify the circuit performance, we conducted HSPICE simulation and the average power consumption was only 1.34 mW even when the circuit was running at its maximum sampling frequency. We further measured noise immunity by applying linear ramp signal to the input. The DNL was between -0.56LSB and 0.49LSB and the INL was between -0.93LSB and 0.72LSB . We used 0.35 microns MOSIS device parameters for this work.

Keywords: ADC, folding, pipeline, system-on-panel, display, circuit, converter

I. 서 론

최근 디스플레이의 성능과 기능이 향상되면서 출력 장치로서 뿐 아니라 스캐너 또는 카메라를 내장한 입력 장치로서의 역할이 커지고 있다. 이에 따라 디지털 신호 처리는 영상 시스템에서 가장 중요한 기능 중 하나가 되었다. 이러한 디지털신호처리를 위해서는 아날로그 디지털 변환기(Analog to Digital Converter)와 디지털 아날로그 변환기(Digital to Analog Converter)가 필

수적이다. 디지털 카메라와 상업용 디지털 캠코더들과 같은 영상 시스템들은 높은 Image Quality를 얻기 위해 8bit 이상의 해상도와 높은 Sample Frequency를 갖는 ADC와 DAC를 요구한다. 전형적인 Flash ADC를 사용하면 높은 Sample Frequency를 얻을 수 있지만 큰 칩 면적과 전력소모의 문제점에 당면한다.^[1] 그리고 Folding and Interpolating ADC의 경우, 동작속도는 고속이지만 내부 Folding Rate에 의해 입력신호의 대역폭이 제한받는 단점이 있다.^[2~3] 현재 ADC의 설계에서 이러한 요구들을 만족시킬 수 있는 방식은 pipeline ADC이며 이에 대해 많은 연구들이 수행되어 왔다.^[4~6] 그러나 연산증폭기의 유한한 이득, 커패시터의 정합에 의해 ADC의 정확도가 떨어질 수 있으며, 이를 해결하

* 학생회원, ** 정회원, 수원대학교 전자공학과
(Department of Electronics Eng., Suwon University)

접수일자: 2008년8월4일, 수정완료일: 2009년2월2일

기 위해 별도의 에러보정회로가 필요하다.^[5-7]

본 논문에서 제안한 Folding 회로를 이용한 pipeline ADC는 연산증폭기를 통해 다음 단(Stage)으로 아날로그 전압을 전달하지 않으며, 커패시터를 사용하지 않는다. 또한 기존의 Folding and Interpolating ADC와는 달리 R-String Folding 회로를 통해 Interpolation 하지 않으면서 상위 4bit를 병렬로 얻어내고, Second Folding 회로를 이용하여 pipeline 구조로 1bit씩 얻어내는 방식을 통해 1.34mW의 작은 전력을 소모하면서도 8bit 500MSample/s의 고속 동작이 가능하다.

II. 본 론

1. 전형적인 8bit ADC 구조

Nyquist rate 변환기법 중에서 Flash 구조는 ADC구조 중에서 가장 빠르지만 n-bit의 분해능을 갖기 위해 $2n-1$ 의 비교기와 $2n$ 개의 저항을 필요로 한다. 따라서 bit수 증가에 따라 저항열과 비교기가 매우 많이 필요하게되어 차지하는 면적과 파워소모가 다른 구조들에 비해 매우 크다. 따라서 그림 1과 같이 2단 Flash 구조를 사용하여 속도를 희생하여 면적과 파워소모를 줄이는 구조를 사용하게 된다.

변환 과정을 보면 샘플&홀드 된 Analog 신호가 먼저 4bit ADC를 통하여 4bit MSB 디지털 신호로 바뀌게 된다. 그리고 이 MSB 디지털 신호는 4bit DAC를 통해 아날로그 신호로 변환하여 입력신호와 차이를 Detect한 후, 다음 ADC의 입력으로 사용하여 4bit LSB 디지털 신호를 얻어낸다. 그러나 샘플&홀드 된 아날로그 신호와 4bit DAC 출력의 차이를 구하는 과정에서 발생하는 에러는 16배로 증폭되어 다음 4bit ADC에 전달되기 때문에 에러가 더욱 커질 수 있다.

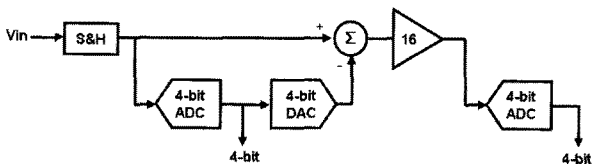


그림 1. 전형적인 8bit ADC 구조
Fig. 1. The architecture of Typical 8bit ADC.

2. 제안된 8bit ADC

1) 디지털 Data 출력 형태

아날로그 신호를 고속처리 하기위해 디지털 데이터

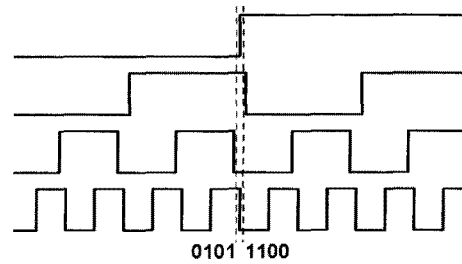


그림 2. BCD 코드 출력
Fig. 2. Output of BCD Code.

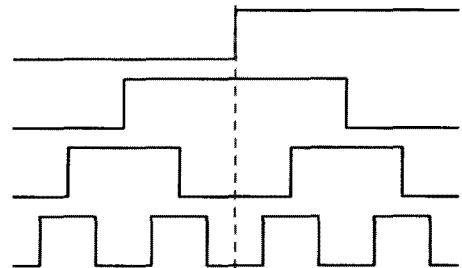


그림 3. Gray 코드 출력
Fig. 3. Output of Gray Code.

를 병렬로 처리할 경우에는 MSB출력에서 LSB출력까지 처리속도의 차이가 발생할 수 있다. BCD 코드로 출력을 얻을 경우 이러한 처리속도의 차이에 따라 그림 2와 같이 디지털 출력의 오류를 초래할 수 있다. 그러나 그림 3과 같이 그레이코드는 BCD 코드와는 다르게 앞뒤의 코드가 한 bit만 변화하는 특징을 지니고 있으므로 처리속도의 차이로 인해 양자화 간격의 변화는 발생할 수 있으나 디지털 출력의 오류는 발생시키지 않는다. 따라서 제안된 8bit ADC에서는 출력을 그레이코드를 가지도록 설계하였다.

2) R-String Folding 회로 구조

Flash 구조는 다른 구조들에 비해 면적과 파워소모가 매우 크기 때문에 제안된 ADC에서는 Folding 구조를 사용하였다. Folding 구조 ADC는 Flash 구조와 비슷한 속도를 가지면서 비교기와 Encoder 숫자를 줄일 수 있는 장점을 가지고 있다.

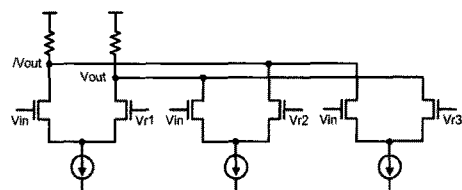


그림 4. R-String Folding Circuit
Fig. 4. R-String Folding Circuit.

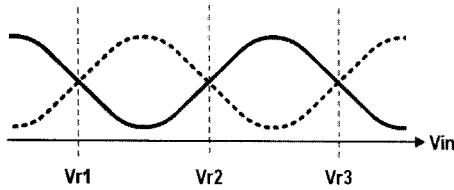


그림 5. R-String Folding Circuit의 출력
Fig. 5. Output of R-String Folding Circuit.

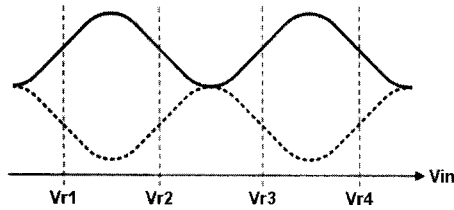


그림 6. Source-coupled 구조가 짝수만큼 사용된 경우의 출력
Fig. 6. Output of which case is used source-coupled architecture an even number.

R-String Folding 회로의 구조는 그림 4와 같이 기본적으로 source-coupled 구조를 병렬로 연결하여 구성한다. Source-coupled 구조의 한쪽에는 아날로그 입력이 인가되며 다른 한쪽에는 저항열에서 생성된 기준전압이 인가된다. 그리고 출력은 기준전압의 순서에 따라 엇갈려 연결되어 있다. 이렇게 구성된 Folding 구조에 아날로그 입력이 인가되면 그림 5와 같이 기준전압에서 교차하는 신호를 얻어낼 수 있으며 이를 비교기를 통해 증폭하면 곧바로 디지털 출력을 얻어낼 수 있다.

그레이코드 출력하기 위해서는 MSB를 제외하고 각각의 출력이 짝수만큼 교차하는 신호를 얻어내야 한

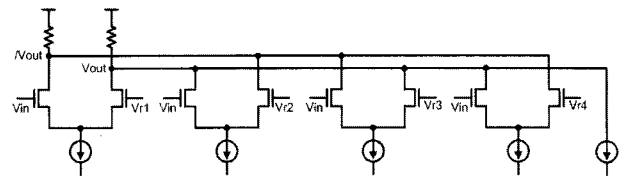


그림 7. Dummy Current Source 사용
Fig. 7. Using Dummy Current Source.

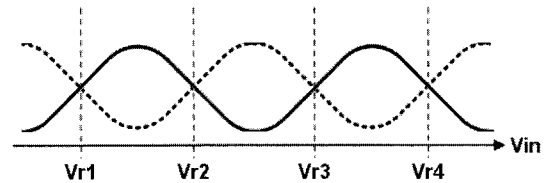


그림 8. Dummy Current Source 사용한 경우의 출력
Fig. 8. Output of which case is Dummy Current Source.

다. 그러나 그림 6과 같이 source-coupled 구조가 짝수만큼 연결된 경우에는 교차하는 신호가 나타나지 않기 때문에 디지털 출력을 얻어낼 수 없다. 이 문제의 해결을 위해서는 그림 7과 같이 Dummy Current Source를 추가하는 방법을 사용하였으며 그 결과는 그림 8과 같다.

Folding 구조를 사용할 경우에도 bit수 증가에 따라 사용되는 저항열과 source-coupled 구조의 숫자가 기하급수적으로 증가하여 면적과 전력소모가 증가된다. 따라서 R-String Folding 회로의 출력을 4bit로 제한하고 pipeline 구조로 1bit씩 얻어내는 그림 9와 같은 구조를 제안하였다.

제안된 방법은 4bit DAC를 통해 출력된 아날로그 전압과 입력전압과의 차이를 구하지 않기 때문에 이 과정

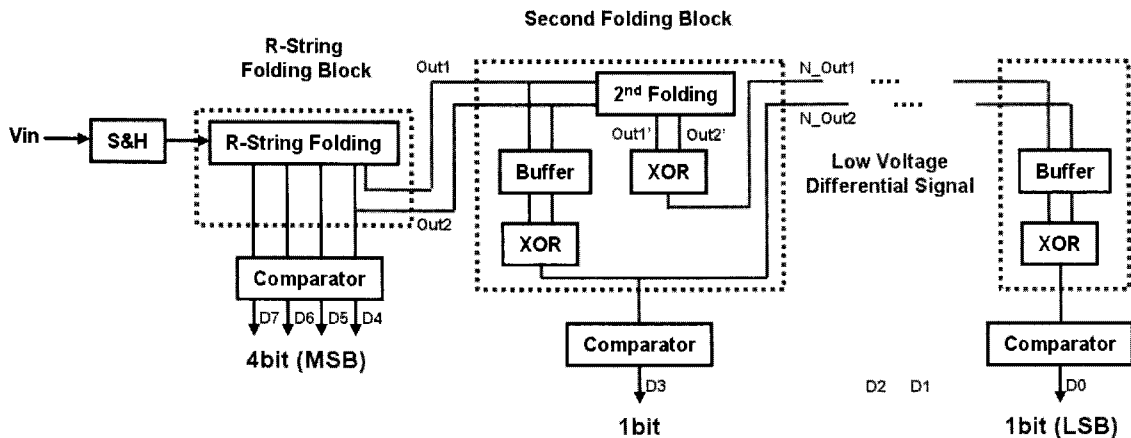


그림 9. 제안된 Folding pipeline ADC
Fig. 9. Proposed Folding pipeline ADC.

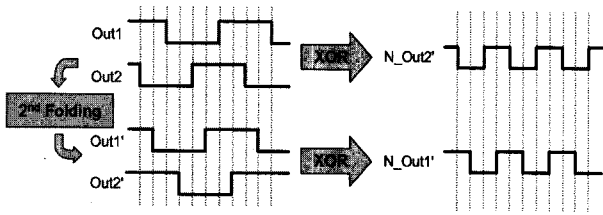


그림 10. 제안된 pipeline 회로의 1bit 출력과정
Fig. 10. 1bit output processing of proposed pipeline circuit.

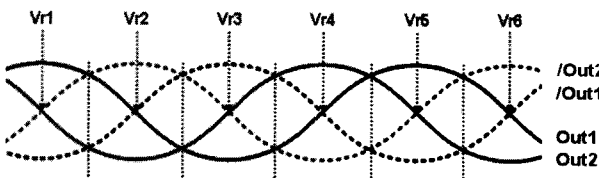


그림 11. R-String Folding 회로의 Out1과 Out2
Fig. 11. Out1 and Out2 of R-String Folding circuit.

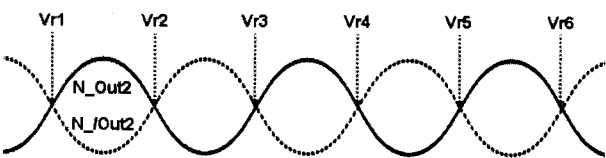


그림 12. Out1과 Out2를 Current mode XOR gate에 인가한 출력
Fig. 12. Output of which case is supplied Out1 and Out2 to current mode XOR gate.

에서의 오차가 발생하지 않는다. 또한 기존 pipeline 구조가 비교기를 거쳐 full swing하는 출력이 다음단계로 전달되어 switching 동작하는 것과는 달리 folding 구조를 이용하여 제안된 pipeline 구조는 비교기를 거치지 않은 신호가 다음단계로 전달되며, 다음 단계로 전달되는 신호는 current mode로 동작하여 얻어진 Low Voltage Differential Signal이기 때문에 저전력, 고속 동작을 할 수 있다는 장점을 갖고 있다.

그림 10은 2nd Folding block에서 1bit 출력을 하기 위한 과정을 보여준다.

먼저 R-String Folding 구조를 통해 Out1과 Out2와 같이 다른 기준전압에서 교차하는 신호를 얻어낸다(그림 11). 이 중에서 Out1은 R-String Folding에서 출력되는 LSB값으로 비교기를 통해 D4에 해당하는 디지털 값을 출력하고 Out2는 Second Folding 회로에서 사용하기 위해 Out1의 중간전압에서 교차하도록 만들어낸 출력이다. Out1과 Out2를 Current mode XOR 게이트에 인가하면 1bit 더 작은 신호를 얻어낼 수 있다(그림 12).

그리고 Out1과 Out2의 출력을 이용하여 Second

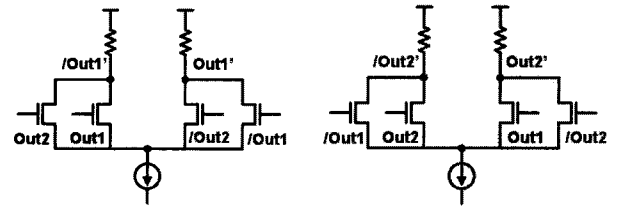


그림 13. 2nd Folding 회로도
Fig. 13. 2nd Folding circuit.

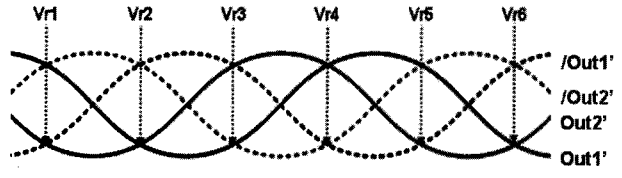


그림 14. 2nd Folding 회로의 Out1'와 Out2'
Fig. 14. Out1' and Out2' of 2nd Folding circuit.

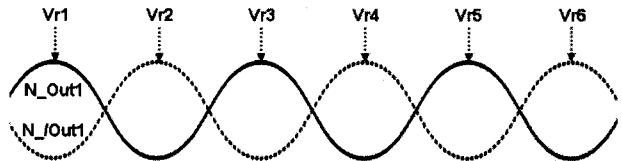


그림 15. Out1'와 Out2'를 Current mode XOR gate에 인가한 출력
Fig. 15. Output of which case is supplied Out1' and Out2' to current mode XOR gate.

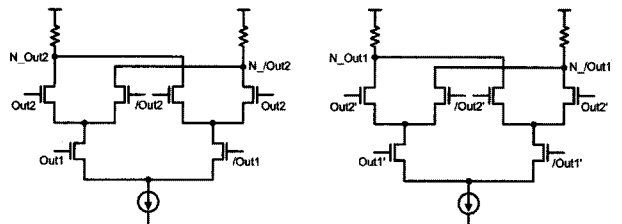


그림 16. Current mode XOR gate
Fig. 16. Current mode XOR gate.

Folding 회로를 통해 Out1'와 Out2'와 같이 기준전압과 기준전압 사이에서 교차하는 신호를 얻어낼 수 있으며(그림 13), Out1'와 Out2'를 Current mode XOR 게이트에 인가하면 1bit 더 작은 신호를 얻어낼 수 있다(그림 14).

위의 과정을 통해 얻어진 Out1과 Out2를 이용하여 출력된 신호(N_Out2)는 Out2와 비슷한 형태에서 2배 많이 교차하는 파형이며 Out1'와 Out2'를 이용하여 출력된 신호(N_Out1)는 Out1과 비슷한 형태에서 2배 많이 교차하는 파형이다. 따라서 이 두 파형(N_Out1과 N_Out2)을 위의 단계와 동일한 과정을 반복할 때마다 1bit 더 작은 신호를 얻어낼 수 있다.

이 때 N_Out1과 N_Out2의 Swing전압이 동일하도록 설정해 주어야 하며, Swing전압차이가 발생할 경우에는 분해능의 간격에 차이가 발생하게 된다. 따라서 Current mode buffer(inverter)를 추가하여 Swing전압을 동일하게 만들어 주었다.

3)Source Coupled 구조에 사용된 전류원

R-String Folding 회로에서는 source-coupled 구조가 병렬로 연결되어 있기 때문에 전류원의 출력 임피던스에 따라 출력전압의 Swing이 작아지거나 신호의 레벨이 높아지거나 낮아지는 문제가 발생한다. 이러한 경우에는 Second Folding 회로의 동작이 제대로 이루어지지 않는다. R-String Folding 회로의 LSB에서는 source-coupled 구조가 최대 10개까지 사용하며 이때 전류원으로 Optimally Biased Simple Cascode circuit (OBC)으로 사용하였을 경우에는 입력전압이 증가함에 따라 출력전압의 신호레벨이 높아졌다. 따라서 제안된 회로에서는 그림 17과 같이 4개의 트랜지스터로 구성되어 매우 큰 출력임피던스를 갖는 Regulated Cascode Circuit(RGC)을 전류원으로 사용하여 원하는 출력을 얻었다.^[8]

또한 Second Folding 회로에 사용되는 Current mode buffer(inverter)또는 XOR에도 RGC를 전류원으로 사용하여 동작속도를 개선하였다.

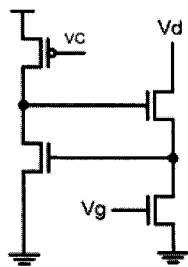


그림 17. 제안된 회로에 사용된 전류원 회로
Fig. 17. Regulated Cascode Circuit(RGC).

4)샘플&홀드 회로와 비교기

제안된 Folding ADC의 샘플&홀드 회로는 그림 18과 같이 일반적인 샘플&홀드 회로를 병렬로 2개 사용하여 하나의 샘플&홀드 회로가 샘플링하는 동안 다른 샘플 &홀드 회로가 샘플링된 아날로그 신호를 홀딩하여 R-String Folding ADC에 전달된다. 따라서 샘플링 주파수는 CLK 주파수의 2배이다.

비교기는 동작속도와 전력소모를 고려하여 래치형

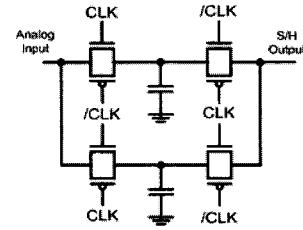


그림 18. 샘플&홀드 회로
Fig. 18. Sample&Hold circuit.

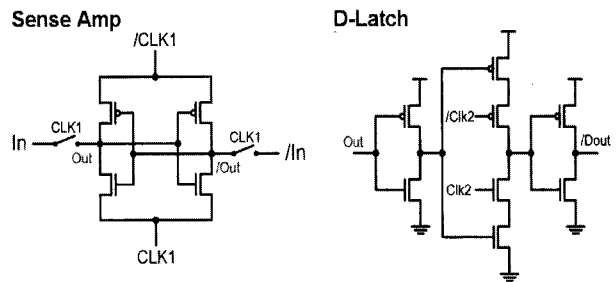


그림 19. 비교기 회로
Fig. 19. Comparator circuit.

비교기를 사용하였다. 제안된 래치형 비교기는 Sense Amp^[9]를 사용하여 Folding ADC 출력전압을 비교하고, D-Latch를 이용하여 한 주기동안 유지시키는 동작을 통해 0~Vdd까지 변하는 디지털 출력을 낸다. 그림 19는 제안된 비교기를 보여준다.

Sense Amp는 Writing구간과 Driving구간으로 나뉘며 D-Latch는 Transparent구간과 Holding구간으로 나누어진다. 이때 D-Latch에서 Setup time violation이 발생할 수 있기 때문에 CLK1과 CLK2는 Non overlap Clock을 사용하여야 한다.

설계된 비교기는 Folding 회로의 각 출력에 사용되며 8mV이상의 전압차이를 비교할 수 있다.

III. 실험

그림 20은 R-String Folding Block의 출력결과를 DC Analysis한 결과이다. 샘플&홀드 회로와 비교기는 Clock에 의해 동작되기 때문에 DC Analysis에서는 제외하고 측정하였다. 측정된 결과는 Current mode inverter를 사용하여 출력 Swing이 비슷하도록 설계하여 비교기의 동작점이 동일한 위치에 오도록 설계하였다. 측정된 결과를 통해 출력전압은 저항열에서 생성된 기준전압에서 교차하는 파형이 나타남을 확인할 수 있다.

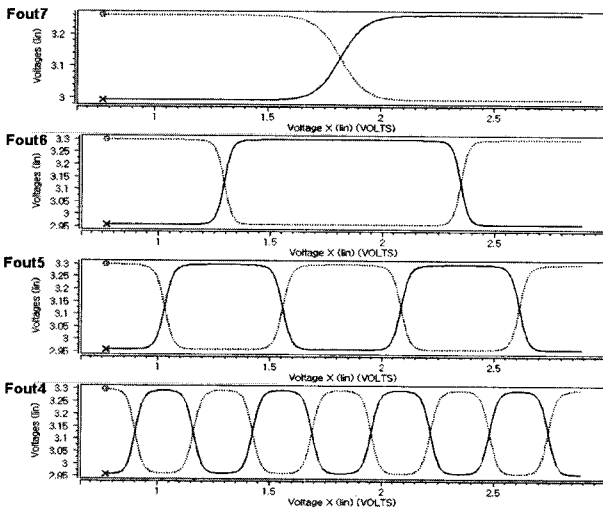


그림 20. R-String Folding Block의 시뮬레이션 결과 (DC Analysis)
 Fig. 20. Simulation Result of R-String Folding Block. (DC Analysis)

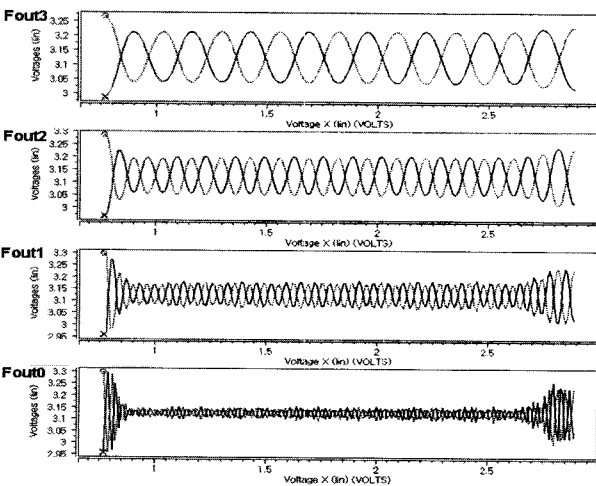


그림 21. Second Folding Block의 시뮬레이션 결과 (DC Analysis)
 Fig. 21. Simulation Result of Second Folding Block. (DC Analysis)

그림 21은 Second Folding Block의 출력결과를 DC Analysis한 결과이다. Fout3는 R-String Folding Block 출력(Fout4와 Fout4')을 이용하여 제안된 Second folding 회로를 통해 얻어내고, Fout2, Fout1, Fout0은 Second folding 회로를 차례로 거치면서 1bit씩 얻어낸 결과이다. 측정된 결과는 하위 비트로 갈수록 Swing폭이 불균일해 지지만 상위비트의 중간지점에서 교차하는 파형이 유지되며, 불균일해진 Swing폭은 최소 50mV 이상이고 제안된 비교기가 8mV이상의 전압을 비교할 수 있기 때문에 ADC 동작에는 문제가 없다.

그림 22는 Folding Block에 샘플&홀드 회로와 비교

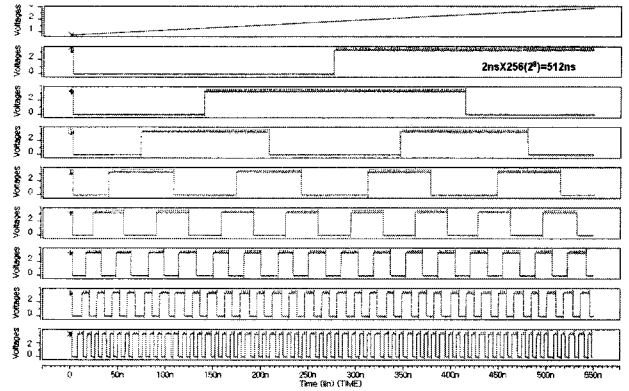


그림 22. Ts=2ns에서의 제안된 ADC의 시뮬레이션 결과
 Fig. 22. Simulation Result of proposed ADC at Ts=2ns.

표 1. 제안된 ADC의 평균 전력소모
 Table 1. Average power consumption of proposed ADC.

Power Consumption (Fs=500MS/s)	
Sample & Hold Circuit	0.10nW
R-String	4.36uW
R-String Folding Block	228.4uW
Second Folding Block	540.3uW
Comparator Circuits	566.25uW
Total	1.34mW

기를 추가시켜 Transient Analysis한 결과이다. 최고 샘플링 주기인 2ns(샘플&홀드 CLK 주기=4ns)를 사용하였을 경우의 출력이며 Sense Amp에서 사용되는 CLK1과 D-Latch에서 사용되는 CLK2의 주기는 2ns이다. 그리고 CLK1과 CLK2는 Non overlap clock을 인가하였다.

측정결과를 통해 500MSample/s에서도 올바른 아날로그 디지털 변환이 이루어지고 있음을 확인하였다. 그리고 500MSample/s로 동작할 경우의 평균 전력소모를 측정된 결과는 표 1과 같다.

Current mode로 동작하는 R-String Folding Block과 Second Folding Block은 샘플링 주파수에 관계없이 800uW미만의 저전력을 소모한다. 이에 비해 비교기는 주파수가 증가함에 따라 short-circuit current가 발생하는 빈도가 증가함에 따라 전력소모도 증가한다. 제안된 비교기는 최대 샘플링 주파수에서 570uW의 전력을 소모한다. 측정결과를 통해 제안된 ADC는 최대 샘플링 주파수인 500MSample/s에서도 1.34mW의 매우 작은 전력을 소모하고 있음을 확인하였다.

마지막으로, 제안된 ADC의 Performance를 측정하기 위해 디지털 출력간의 차이의 균일성을 측정하는 DNL(Differential nonlinearity)를 측정하였다. 측정방법은 램프입력을 인가하면서 디지털 출력이 변할 때의 입력전압을 측정한다. 그리고 수식 (1)에 따라 계산하여 DNL을 얻어낼 수 있다.

$$DNL = LSB_{Width} - CODE_{Width}$$

$$= 1 - \frac{V(X) - V(X+1)}{LSB_{Width}} \quad (1)$$

마지막으로 이상적인 디지털 출력의 기울기와의 차이를 측정하는 INL(Integral nonlinearity)을 계산하였다. INL은 단순히 DNL을 누적합 시킨 결과로 얻어낼 수 있다. 그림 23과 그림 24는 DNL과 INL을 그래프로 표현한 그림이며, 측정결과 DNL은 $-0.56LSB \sim 0.49LSB$, INL은 $-0.94LSB \sim 0.72LSB$ 의 특성을 나타내었다.

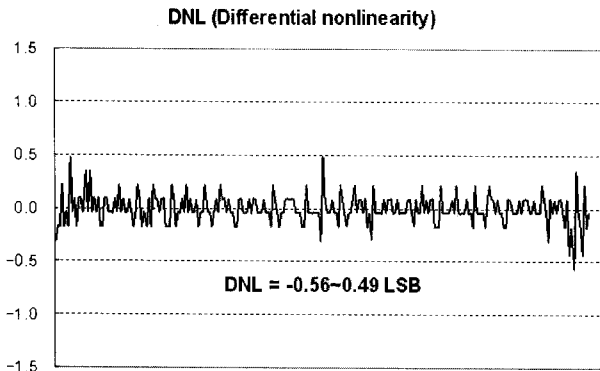


그림 23. 제안된 ADC의 DNL
Fig. 23. DNL of proposed ADC.

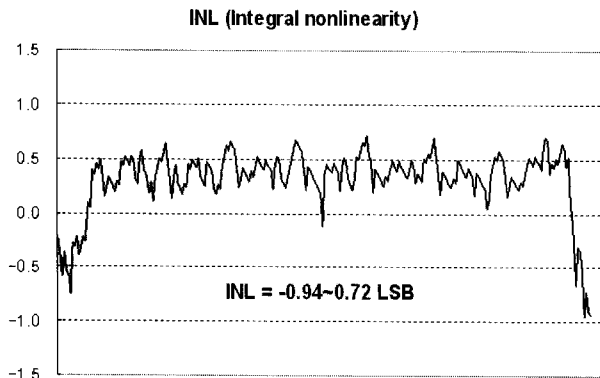


그림 24. 제안된 ADC의 INL
Fig. 24. INL of proposed ADC

IV. 결 론

본 논문에서는 Folding 회로를 이용하여 설계한 R-String Folding Block을 통해 상위 4bit를 병렬로 처리하고, 하위 4bit는 Second Folding Block을 통해 Low Voltage Small Signal이 pipeline 구조로 1bit씩 처리되는 방식으로 8bit 500MSample/s의 고속 아날로그 디지털 변환기(ADC)를 설계하였다.

저전력을 소모하도록 설계된 Folding Block, Sense Amp와 D-Latch를 이용한 비교기를 사용하여 최대 샘플링 주파수인 500MSample/s에서도 1.34mW의 매우 작은 전력을 사용한다.

그리고 아날로그 신호가 디지털 신호로 변환되는 과정에서 발생할 수 있는 에러는 그레이코드를 사용하여 제거할 수 있었으며, DNL과 INL을 측정한 결과는 DNL이 $-0.56LSB \sim 0.49LSB$, INL은 $-0.94LSB \sim 0.72LSB$ 의 특성을 나타내었다.

그러나 본 논문에서는 샘플&홀드 회로를 크게 고려하지 않았기 때문에 입력되는 아날로그 전압의 범위가 커야한다는 단점이 있다. 이것은 고성능의 샘플&홀드 증폭 회로를 통해 극복될 수 있을 것이다.

표 2. 제안된 ADC의 Performance 요약
Table 2. Performance Summary of proposed ADC.

Performance Summary	
Max. Sample Rate	500MS/s
Process	0.35μm CMOS
Resolution	8 bits
DNL	-0.56LSB~0.49LSB
INL	-0.94LSB~0.72LSB
Analog Input Range	2.3V
Power Consumption	1.34mW (at 3.3V)

참 고 문 헌

- [1] Akira Matsuzawa, Yasuhiro Kitagawa, Ikuo Hidaka, Shigeki Sawada, Minoru Kagawa, Masaaki Kanoh. "An 8b 600MHz Flash A/D Converter with Multistage Duplex Gray Coding," Symp. VLSI Circuits Dig., Vol. 05, pp. 113 - 114, May 1991.
- [2] Y. Li and E. Sinencio, "A Wide Input Bandwidth

- 7-bit 300MSample/s Folding and Current-mode Interpolating ADC," IEEE JSSC, Vol.38, No.8, pp.1405-1410, 2003.
- [3] Robert C. Taft, Chris A. Menkus, Maria Rosaria Tursi, Ols Hidri, and Valerie Pons, "A 1.8-V 1.6-GSample/s 8-b Self-Calibrating Folding ADC With 7.26 ENOB at Nyquist Frequency," IEEE JSSC, Vol.39, NO.12, pp.2107-2115, 2004.
- [4] S. Yoo, J. Park, H. Yang, H. Moon, H. Park, S. Lee, and J. Kim, "A 10b 150MS/s 123mW 0.18um CMOS pipelined ADC," Digest Tech, papers, ISSCC, pp.326-497, 2003.
- [5] D. Chang, and U. Moon,, "A 1.4V 10bit 25MS/s pipelined ADC using opamp-reset switching technique," IEEE JSSC, Vol.38, NO.8, pp.1401-1404, 2003.
- [6] Myung-Jun Choe, Bang-Sup Song, and Kantilal Bacrania, "An 8-b 100-MSample/s CMOS Pipelined Folding ADC," IEEE JSSC, Vol.36, NO.2, pp.184-194, 2001.
- [7] V. Htzkarainen, L. Sumanen, M. Aho, M. Waltari, and K. Halonen, "A Self-Calibration Technique for Time-Interleaved Pipeline ADCs," Proc. ISCAS, Vol.1, pp.25-28, 2003.
- [8] Eduard Sackinger, Walter Cuggenbuhl, "A High-Swing, High-Impedance MOS Cascode Circuit." Proc. of IEEE JSSC, Vol.25, NO.1, pp.289-298, 1990.
- [9] Kiyoo Itoh, Katsuro Sasaki, and Yoshinobu Nakagome, "Trend in Low-Power RAM Circuit Technologies," Proc. of IEEE, Vol.83, NO.4, pp.524-543, 1995.

 저 자 소 개

홍 문 표(학생회원)

2005년 수원대학교 전자공학과 학사 졸업.
 2005년~현재 수원대학교 전자공학과 대학원.
 <주관심분야 : LCD 구동회로 설계>

정 주 영(정회원)

대한전자공학회 논문지
 제33권 A권 10호 참조