

논문 2009-46SD-2-4

eHSPA 규격을 만족하는 FPGA 모뎀 플랫폼 설계 및 검증기법

(FPGA Modem Platform Design for eHSPA and Its Regularized
Verification Methodology)

권현일*, 김경호**, 이충용***

(Hyunil Kwon, Kyungho Kim, and Chungyong Lee)

요약

본 논문에서는 3GPP(Third Generation Partnership Project) Release 7 eHSPA(High Speed Packet Access for Evolution) UE(User Equipment) FDD(Frequency Division Duplex) 규격을 만족하는 단말 모뎀의 FPGA(Field Programmable Gate Array) 플랫폼 설계 및 이를 기반으로 한 효율적인 검증 방법에 대해 제안한다. 구현된 FPGA 모뎀 플랫폼은 물리 계층 지원을 위한 모뎀 보드, MCU(Micro Controller Unit) 와 DSP(Digital Signal Processor) 코어로 구성되어 모뎀 보드를 제어 위한 제어 보드, 그리고 RF(Radio Frequency) 및 기타 장비 접속을 위한 주변장치(Peripheral) 보드 등으로 구성된다. 그리고 검증 단계는 하드웨어-소프트웨어 연동 상관 정도에 따라 단순 기능 검증, 시나리오 검증 그리고 호 처리 및 시스템 성능 검증 등으로 규정화하여 진행되었고, 실제 구현적인 측면으로 저 전력 SoC(System On a Chip)를 위한 에뮬레이션 검증 기법도 제안한다.

Abstract

In this paper, the FPGA modem platform complying with 3GPP Release 7 eHSPA specifications and its regularized verification flow are proposed. The FPGA platform consists of modem board supporting physical layer requirements, MCU and DSP core embedded control board to drive the modem board, and peripheral boards for RF interfacing and various equipment interfaces. On the other hand, the proposed verification flow has been regularized into three categories according to the correlation degrees of hardware-software inter-operation, such as simple function test, scenario test, call processing and system-level performance test. When it comes to real implementations, the emulation verification strategy for low power mobile SoC is also introduced.

Keywords : eHSPA, FPGA, Platform, Verification

I. 서론

무선 이동통신 환경에서 증가하는 멀티미디어 데이터를 처리하기 위해 고속 데이터 송수신 기법 및 다양한 부가 기능들을 포함하는 규격들이 계속해서 제안되

고 있다. 이러한 상황에서 상기 규격들을 만족하는 SoC 개발 및 이의 확보 여부가 무선 단말을 포함한 정보 기술 (Information Technology, IT) 관련 제품 상용화에 있어 매우 중요하다. 한편 ASIC(Application-Specific Integrated Circuit) SoC 개발과정에서 실제 집적회로에 비해 속도 및 크기 등에서 제약이 있지만, 일반적으로 물리적인 칩 환경과 유사한 회로 고유의 타이밍 특성을 가지며 하드웨어의 변경이 용이한 장점을 가진 FPGA 기반의 플랫폼이 검증 프로토타입(Prototype)으로 선호된다.^[1-2]

* 학생회원, *** 정회원, 연세대학교 전기전자공학부
(Department of Electrical and Electronic
Engineering, Yonsei University)

** 정회원, 삼성전자
(Samsung Electronics)

접수일자: 2008년8월7일, 수정완료일: 2009년2월5일

본 논문에서는 기지국간 비동기 방식 기반의 3GPP Release 7 eHSPA(HSPA+, Evolved HSPA) 규격을 만족하는 FPGA 모뎀 플랫폼을 제안한다. eHSPA 규격은 하향링크(Downlink, Forward link) 성능 개선을 위한 3GPP Release 5 HSDPA(High Speed Downlink Packet Access)와 상향링크(Uplink, Reverse link) 성능 개선을 위한 3GPP Release 6 HSUPA(High Speed Uplink Packet Access)의 통합 형태로 구성되며 무선 통신의 용량을 높이기 위한 다중 입출력 통신 방식(Multi-Input Multi-Output, MIMO), 데이터 패킷을 다수의 사용자들에게 동시에 전송하는 서비스이고 멀티미디어 데이터 전송을 위한 MBMS(Multimedia Broadcast Multicast Service), VoIP(Voice over Internet Protocol) 등의 서비스에 적합하도록 기지국 수용 능력 향상이나 지연 시간의 단축, 단말 전력소비 절감을 위한 CPC(Continuous Packet Connectivity) 등의 기능을 추가적으로 지원한다.^[3~4] 그리고 eHSPA를 지원하는 단말 모뎀 SoC 개발에 있어 상기 구현된 FPGA 모뎀 플랫폼을 기반으로 정규화된 검증 기법을 제안한다. 제안한 검증 기법은 하드웨어-소프트웨어 연동 상관관계에 따라 하드웨어와 제 1 계층 (Layer 1) 소프트웨어의 단순 연동만을 고려한 단순 기능 검증 테스트, 제 1 계층 소프트웨어 및 제 2/3 계층 (Layer 2/3)의 프로토콜 스택(Protocol Stack, PS)까지 고려한 시나리오 검증 테스트, 그리고 정상적인 단말 동작 확인을 위해 음성과 데이터 호 처리, 그리고 데이터 처리를 기반의 시스템 성능 검증 테스트로 구분된다. 또한 저 전력 단말 SoC 개발을 위해 FPGA 상에서 이를 미리 확인해보는 위한 에뮬레이션(Emulation) 테스트도 일부 소개된다.

본 논문에서는 II장에서 eHSPA 규격을 만족하는 FPGA 모뎀 플랫폼에 대해 설명하고, III장에서는 무선 이동통신 환경에 적합한 FPGA 모뎀 플랫폼 기반의 검증 기법을 규정화하며 저 전력 SoC 설계를 위한 에뮬레이션 테스트 방법을 기술하고 마지막 IV장에서는 결론을 맺고자 한다.

II. eHSPA를 지원하는 FPGA 모뎀 플랫폼

제안된 FPGA 모뎀 플랫폼은 eHSPA 물리계층 지원을 위한 모뎀 보드, 모뎀 엔진의 구동 및 일부 물리 계층의 전용 처리기를 포함하여 MCU와 DSP 코어를 포함한 모뎀 제어 보드, 그리고 기지국 에뮬레이터를 포

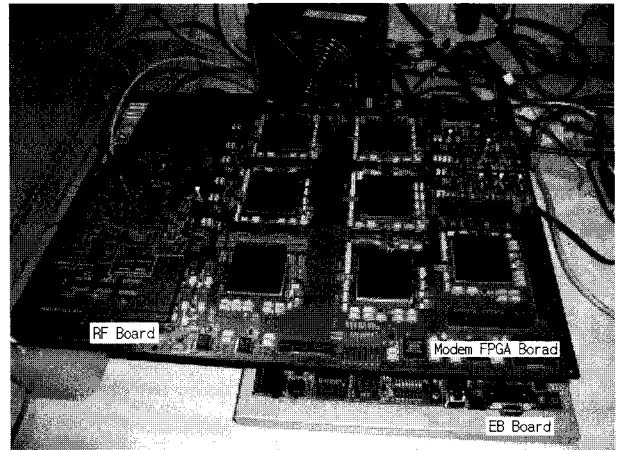


그림 1. eHSPA 규격을 만족하는 FPGA 모뎀 플랫폼
Fig. 1. The proposed FPGA modem platform implementations for eHSPA specifications.

함한 검증 장비와의 호환을 위한 접속 보드와 RF 소자와의 접속을 위한 RF 검증 보드로 구성된 주변장치 보드 등으로 구성된다. 그림 1에 실제 구현 예를 나타내며 모뎀 제어 보드는 상용화 제품인 EB board로 대체되어 구성되었다.

1. 모뎀 FPGA 보드

표 1과 같은 시스템 규격을 만족하도록 Xilinx XC5Vcx330T FPGA를 사용해서 구현된 eHSPA 모뎀 보드의 구조는 RF 처리를 위한 라디오 접속부, 기지국 타이밍 획득을 위한 동기 획득기, 칩 레벨 처리기, 심볼 레벨 처리기, 상향 링크 채널 지원을 위한 상향 링크 전송부, 그리고 상호 제어 신호 처리를 위한 타이밍 제어기로 구분되며 자세한 설명은 다음에 기술된다.

라디오 접속부는 자동 이득 조절기, 자동 주파수 제어기, 직류 오프셋 제어기(DC Offset Controller), 보간기(Interpolator), SRRC(Square Root Raised Cosine) 필터링 기능과 각종 상용화 RF 소자들과의 연동을 위한 접속을 지원한다. 다음으로 동기 획득기는 초기 셀 탐색, 재탐색, 인접 셀 탐색, 그리고 다중경로 탐색의 기능을 수행한다. 다중경로 신호 처리를 위해 레이크 수신기 역할을 수행하는 칩 레벨 처리기는 각종 스크램블링(Scrambling) 및 하향링크에 사용되는 채널화 코드인 OVVSF(Orthogonal Variable Spreading Factor) 생성기를 포함하며 역확산(Despreading), DLL(Delay Locked Loop) 기반의 시간 추적(Time Tracker), 채널 추정(Channel Estimation), 코드별 전력 측정, 파일럿 가중 결합(Pilot weighted combining) 기반의 수신 다

표 1. eHSPA 모뎀을 위한 시스템 규격
Table 1. System specifications for eHSPA modem SoC.

항목	
시스템 사양	3GPP Release 7 (eHSPA)
	3GPP Release 99 UMTS FDD
	3GPP Release 5 HSDPA/Release 6 HSUPA
지원 기능	Multimedia Broadcast Multicast Service
	Continuous Packet Connectivity
	Space time transmitter diversity, Transmit adaptive array
지원 UE	Uplink /Downlink dedicated physical channel (384 kbps)
	Downlink high speed dedicated shared channel (28.8 Mbps)
	Uplink enhanced data channel (11.5 Mbps)
Category	Downlink capability with simultaneous high speed dedicated physical channel configuration (384 kbps)
	Uplink capability with simultaneous Enhanced-data channel configuration (64 kbps)
	Maximum bit rate for simultaneous HSDPA (28.8 Mbps)/HSUPA (11.5 Mbps)
RF 사양	Power Class (Class 3)
	Frequency Band (Band I, II~X)

이버시티(Diversity) 처리기, MRC(Maximum Ratio Combining), MMSEC(Minimum Mean Square Error Combining) 등의 기능을 수행한다. 데이터 복조를 위한 심볼 레벨 처리기는 각종 Indicator 채널을 위한 탐색, 전력 제어, 물리 계층의 신호 품질 측정과 인터리빙/디인터리빙, TFCI(Transport Format Combination Indicator) 디코딩, 트랜스포트 채널 결합 등의 채널 디코딩 역할을 수행한다. 상향링크 전송부는 비터비 및 터보 코딩, rate matching, 인터리빙을 위한 인코딩 프로세스, 확산기, 심볼 매핑, 이득 스케일링, 스크램블링과 각종 코드 생성기를 포함한 변조 프로세스, 그리고 전력 감소를 위한 송신기 동작을 멈추기 위한 DTX(Discontinuous transmission) 처리부로 구분된다. 마지막으로 각종 카운터로 구성되는 타이밍 제어기는 각종 채널 간의 시간 간격을 기반으로 다중 경로 레이 크 수신기와 셀 정보를 이용해서 송신 및 수신 데이터 수신기 경로의 타이밍을 제어한다.

2. 모뎀 제어 보드

ARM926 MCU 및 Teak DSP 코어를 포함한 제어

보드는 모뎀 각 기능 간의 운영을 제어하며 두 코어간의 접속은 DPRAM(Dual Port Random Access Memory)이나 버스 스위칭으로 이루어진다. 한편 다중 입출력 통신 및 등화기(Equalizer) 등의 복잡한 하드웨어 설계가 예상되는 기능들과 규격이 완전히 정해지지 않은 일부 기능들은 추후 유연한 대처를 위해 DSP로의 구현하였다. 한편 다양한 메모리 접속부, SPI(Serial Peripheral Interface), UART(Universal Asynchronous Receiver Transmitter) 등의 모뎀 SoC 내 구현을 고려하는 일부 IP(Intellectual Property) 검증을 위해 내부의 FPGA를 포함한 ARM사의 EB(Emulation Board)를 이용한 대체 검증이 가능하도록 설계되었다.

3. 주변 장치 보드

주변장치 보드는 입출력 백터를 통해 모뎀 내 기능 검증에 사용되는 Agilent사의 ESG 신호 생성 장비를 위한 접속부, ADC(Analog to Digital Converter) 및 DAC(Digital to Analog Converter) 등을 포함한 상용화 RF 소자들과의 접속을 위한 RF 검증 보드 그리고 음성 호 처리 검증을 위해 DSP상에서 구현된 광대역 AMR(Adaptive Multi-Rate) 보코더 보드로 구성된다.



그림 2. eHSPA 모뎀 FPGA 플랫폼을 위한 검증 시스템 구성 예

Fig. 2. An example of verification system configuration for eHSPA modem FPGA platform.

III. eHSPA 규격을 만족하는 FPGA 플랫폼 기반의 검증 기법

점차 복잡해지는 물리 계층 규격의 지원을 위해 하드

웨어 및 소프트웨어의 적절한 업무 분담은 개발 단계에서 반드시 고려되어야 한다. 이에 제안한 검증 기법은 그림 2와 같은 검증 시스템 구성에 따라 하드웨어-소프트웨어 연동 상관관계에 따라 먼저 하드웨어와 제 1 계층 소프트웨어의 연동만을 고려한 단순 기능 검증 테스트, 제 1 계층 소프트웨어 및 제 2/3 계층 프로토콜 스택까지 고려한 시나리오 테스트, 무선 단말의 본래 역할인 음성, 데이터 호 처리 그리고 데이터 처리용 기반의 시스템 성능 테스트로 구분된다.^[5] 또한 저 전력 단말 SoC 개발을 위해 FPGA 상에서 미리 확인해보는 위한 에뮬레이션(Emulation) 테스트도 일부 설명한다.

1. 단순 기능 검증 테스트

단순 기능 검증에 앞서 하드웨어 기본 테스트인 보드 상에서의 핀 연결 및 각종 매핑 관계, 클럭과 제어 신호들을 포함한 신호들의 레벨들이 먼저 확인되어야 한다. 이후 하드웨어의 동작을 제어하는 레지스터들의 동작 유무가 제 1 계층 소프트웨어 설정을 통해 확인되고 하드웨어의 정확한 동작 유무 및 모뎀 내부 동작 시퀀스 처리를 위한 각종 인터럽트 소스들이 확인된다. 이후 모뎀 내부의 각 동작 블록 별로 개별적인 검증이 수행되는데, 우선 입출력이 정해진 벡터를 사용해서 동작 및 데이터 경로의 단순 검증을 진행한다. 이때 벡터 생성에는 알고리즘 레벨에서의 링크 시뮬레이터와 연동을 통한 SystemVerilog 기반의 자동화 과정을 거쳐 개별 설정에 따른 번거로움 및 실제 동작에 따른 커버리지(coverage)가 개선되었다. 한편 개별적인 내부 동작 블록 별 검증이 완료되면 연동을 요하는 블록 별로 검증 단위를 확대해가며 상기 과정을 반복하여 최종적으로 블록 간 타이밍 관련 신호의 유효성 및 규격에서 기술된 동작들에 대한 무결함을 확보한다.

2. 시나리오 검증 테스트

시나리오 검증 테스트는 eHSPA 여러 물리 채널 간 결합을 통한 복잡한 기능들의 검증을 위한 것으로 제 1 계층 및 제 2/3 계층 프로토콜 스택까지 연동이 필요한 항목들을 구분된다. 물론 프로토콜 스택 기능을 에뮬레이션하여 제어하는 경우, III장 1절의 단순 기능 검증 테스트 항목과의 구분이 모호하나 시스템 입장에서 규격에서 제시된 운영 방안에 따라 유기적으로 각 계층 간 연동이 검증된다는 점에서 차이가 있다.

한편 상향/하향 링크 구성을 위해 기지국 장비와의

연동을 고려했을 경우, eHSPA의 경우에는 다음과 같이 구성할 수 있다.

가. 셀 탐색 및 BCH(Broadcast CHannel) 디코딩
하향링크 셀 동기 탐색이 시작되면 RF 신호 탐색을 통해 단말 플랫폼에서는 가장 큰 값의 RSSI(Received Signal Strength Indication)을 갖는 기지국 주파수를 찾는다. 다음으로 기지국 slot boundary, frame boundary, scrambling code number 그리고 finger 할당을 위한 다중경로 탐색을 수행하고 기지국 SFN(System Frame Number)을 찾기 위해 BCH를 디코딩한다. 한편 정상 동작 여부는 CRC 결과를 통해 확인된다.

가. 셀 탐색 및 BCH(Broadcast CHannel) 디코딩
하향링크 셀 동기 탐색이 시작되면 RF 신호 탐색을 통해 단말 플랫폼에서는 가장 큰 값의 RSSI(Received Signal Strength Indication)을 갖는 기지국 주파수를 찾는다. 다음으로 기지국 slot boundary, frame boundary, scrambling code number 그리고 finger 할당을 위한 다중경로 탐색을 수행하고 기지국 SFN(System Frame Number)을 찾기 위해 BCH를 디코딩한다. 한편 정상 동작 여부는 CRC 결과를 통해 확인된다.

나. RACH(Random Access CHannel) 절차

RACH 동작이 시작되면 단말 플랫폼에서는 RACH 프리앰블(Preamble)을 전송하고 이를 인식한 기지국에서는 AICH(Acquisition Indication CHannel)를 보낸다. 이후 단말 플랫폼은 AICH를 복조한 후 RACH 메시지 신호를 전송하고 장비에서는 이를 복조한 후 CRC 결과를 확인한다.

다. CM(Compressed Mode) 절차

CM 모드는 다른 FDD(Frequency Division Duplexing) 주파수 셀 그리고 GSM(Global System for Mobile)과 같은 다른 RAT(Radio Access Technology)들에 관한 셀 측정(Measurement)을 위한 것으로 기지국 장비에 패킷의 CM 모드를 설정하면 명령어 콘솔에서는 양방향 링크의 전송 명령을 내린다. 이후 기지국에서는 CM 모드 동작이 활성화되고 단말 플랫폼은 장비가 요청한 전송 갭(Transmission Gap, TG) CFN(Connection Frame Number) 지점부터 하향링크 패킷을 디코딩한다. 플랫폼은 하향링크 프레임 경계에서 규

격에 기술된 타이밍 관계에 따라 1024 칩(chip) 떨어진 지점에서 CM 상향링크 패킷을 전송하고 각기 CRC 결과를 확인한다. 그리고 규격에 기술된 전송 갭 생성에 따른 관련 타이밍 신호들의 정상적인 동작 여부도 확인한다.

라. 상향링크/하향링크 패킷 전송

상향/하향 패킷 전송동작의 시작되면 단말 플랫폼에서는 기지국이 요청한 CFN에서부터 하향링크 패킷을 디코딩하여 CRC 결과를 확인한다. 다음으로 단말 플랫폼은 하향링크 프레임 경계로부터 규격에 기술된 타이밍 관계에 따라 1024 칩 떨어진 지점에서 상향링크 패킷을 전송하고 기지국에서는 CRC 결과를 확인한다.

마. 전력 제어 절차

DCH상의 TPC(Transmit Power Control) 비트를 통한 폐루프 (Closed-loop) 전력 제어 동작이 시작되면 하향링크의 경우 단말 플랫폼에서는 송신 전력을 낮거나 높게 설정한 후 기지국에서 순차적으로 전력을 높이거나 낮추라는 명령을 전송하는지 혹은 반대로 상향링크 경우 기지국 설정에 따라 단말 플랫폼에서의 TPC 비트가 정상적으로 전송되는지 확인한다. 한편 상기 과정은 로직 분석기 또는 오실로스코프 등의 장비를 이용해서 전력 제어 신호의 레벨을 통해 검증한다.

바. Inter-RAT(Radio Access Technology) 절차

GSM 등의 다른 RAT를 지원하는 다중 모드 단말 구현을 위한 Inter-RAT 테스트에서는 다른 RAT를 가진 셀(Cell)로의 핸드오버(Handover) 혹은 다른 셀 품질 확인 목적의 모니터링 동작을 위한 각종 타이밍, 제어 신호의 확인 그리고 정해진 시간 안에 탐색이 완료되는지의 여부 확인을 통해 검증한다.

3. 호 처리 및 시스템 성능 테스트

단순 기능 검증 및 시나리오 검증 테스트를 거쳐 물리 계층 지원을 위한 하드웨어 및 소프트웨어가 일정 수준까지 안정화되면 III장 2절에서 나열한 시나리오 테스트의 검증 항목들과 결합된 형태로 복합적인 음성/데이터 호 처리 테스트 및 시스템 성능 테스트가 진행된다.

한편 호 처리 테스트는 단말 입장에서 호가 개시하거나 종료되느냐에 따라 아래와 같은 두 가지 방법으로

구분되어 검증이 진행된다.

단말 호 개시 시나리오 : 기지국 동기 획득 시스템 정보 및 파라미터 획득을 위한 BCH 디코딩 시스템 자원 할당 요구를 위한 RACH 처리 상호 호 연결에 따른 DCH(Dedicated CHannel) 절차

단말 호 착신 시나리오 : 기지국 동기 획득 시스템 정보 및 파라미터 획득을 위한 BCH 디코딩 시스템 자원 할당 요구를 위한 RACH 처리 해당 단말의 호출 여부 확인을 위한 PCH(Paging CHannel) 처리 상호 호 연결에 따른 DCH 처리

한편 음성 호 처리는 보코더 보드를 통한 음성 통화의 가능 여부, 데이터 호 처리는 파일 전송 프로토콜(File Transfer Protocol) 및 VOD(Video On Demand) 등의 최대 처리율 달성 여부로 검증을 수행한다.

마지막으로 시스템 성능 테스트에서는 시스템 적응(Conformance) 테스트 규격을 기반으로 다양한 기능 조합에 따라 BLER(BLock Error Rate), 타이밍 요구사항, 그리고 RF 신호 요구사항 등의 결과를 규격에서 제시된 기준 값들과의 비교하여 허용 가능한 범위 내에서 동작됨이 확인되면 상위 설계 및 이를 기반으로 한 FPGA 플랫폼의 정상 동작 여부를 최종적으로 결정한다.

한편 단말 모뎀 SoC 개발에 있어, 상기 연구실 환경 테스트 후 실제 상용화 망들과의 IOT(Inter-Operability Test) 연동 및 필드(Field) 테스트를 통한 안정화 작업에 따라 상용화에 대비한다.

4. 저 전력 SoC 설계를 위한 에뮬레이션 테스트

일반적으로 ASIC SoC에서 클럭 스위칭에 의한 동적(Dynamic) 전력 소비가 칩 소요 전력의 30~50% 정도를 차지한다. 결과적으로 휴대용 모바일(Mobile) 단말 적용을 위한 모뎀 SoC 구현에 있어, 동적 전력 최소화에 따른 저 전력 설계가 절대적인 상황이다. 한편 성능 및 기능에 문제가 되지 않는 범위에서, 클럭의 스위칭 빈도를 최대한 줄여 동적 전력을 최소화하며 RTL(Register Transfer Level)상에서 간단하게 구현 가능한 클럭 게이팅(Clock Gating) 기술이 가장 효과적이다.^{16~17} 물론 로직 합성 단계에서 자동화 과정을 통한 게이트 클럭용 셀 삽입으로 소비 전력을 낮출 수 있으나 이에 대한 절감효과는 한계가 있으므로, 규격에 제시된 동작

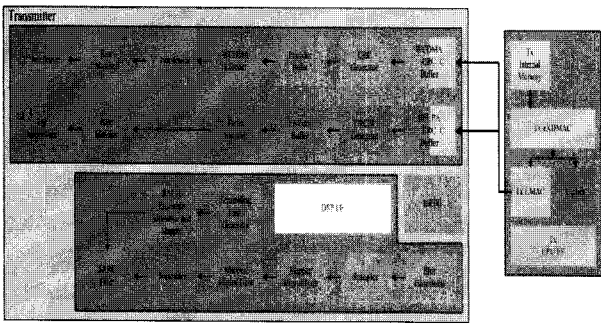


그림 3. 내부 동작 클럭 기반의 Power domain에 따라 분류된 송신기 내부 구조

Fig. 3. An example of the operation clock based power domain for transmitter.

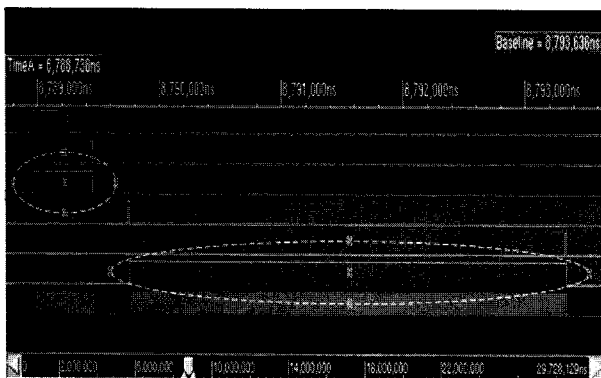


그림 4. 게이팅 처리된 내부 클럭의 실제 구현 예

Fig. 4. An example of the gated internal clock.

시나리오 및 시스템 규격에 따라 실제적으로 동작에 관여하지 않는 IP 블록에 클럭이 입력되지 않도록 IP 단위 클럭 게이팅도 동시에 고려하였다. 이에 앞서 특정 동작 또는 동작 클럭 별로 하드웨어 동작 주체들을 적절하게 분리하는 작업이 선행되는데 작은 블록 단위로 전원을 On/Off하는 것은 그 구현 및 면적 overhead가 매우 크기 때문에, 동작 시나리오에 따라 수 개의 블록들을 하나의 Power Domain으로 묶어서 제어하는 것이 효율적이다. 그림 3에서 다른 클럭별로 개별적으로 동작하도록 power domain을 구분한 송신기 내부 구조를 보여준다.

이렇게 얻어진 결과를 FPGA 모델 플랫폼 상에서 검증하기 위해 전력 감소 시나리오에 따라 제어되는 가상의 게이트 클럭을 사용해서 이미 진행되었던 단순 기능 및 시나리오 테스트를 재차 진행하며 이에 따른 전력 소비량에 따라 Power Domain을 재구성하는 최적화 작업도 병행된다. 그림 4에서 게이팅 처리된 실제 클럭 동작을 보여주는데 설정된 시나리오에 따라 클럭 동작을 제어하기 위한 신호들이 그림에서 2개의 원으로 표

시되었으며 이에 따라 생성된 그림의 마지막 단의 게이팅된 클럭을 이용해서 모델 내 기능 검증을 재 수행하여 SoC 구현 시 정상적인 모델 동작 여부를 예측할 수 있다.

IV. 결 론

본 논문에서는 eHSPA 단말 모델 SoC 개발단계의 일부로 진행된 FPGA 단말 플랫폼 설계와 이를 기반으로 한 검증 기법을 규정화하였다. 제안한 검증 기법은 하드웨어-소프트웨어 연동 상관에 따른 단순 기능 검증, 시나리오 검증, 호 처리 및 시스템 성능 테스트로 구분되며 이를 통해 ASIC SoC 개발에 앞서 설계된 eHSPA 기반의 FPGA 모델 플랫폼이 체계적으로 검증되었다. 또한 해당 모델 SoC의 휴대 단말 응용 분야로의 적용을 고려하여 저 전력 설계를 위한 에뮬레이션 테스트 방법도 일부 소개되었다. 결과적으로 다양한 무선 통신 환경 규격의 단말 모델 SoC 개발에 상기 제안된 기법이 쉽게 적용될 수 있을 것으로 예상된다.

참 고 문 헌

- [1] S.Hauck, "The roles of FPGAs in reprogramming systems" in Proc. of IEEE, vol. 86, pp. 615-638, Apr. 1998.
- [2] 장재득, 박형준, "3G LTE 이동통신 시스템 단말 플랫폼 기술 동향 및 전망" ETRI 전자통신동향분석, pp. 99-108, 제23권 제1호 Feb. 2008.
- [3] 3GPP Web Page <http://www.3GPP.org>
- [4] Harri Holma and Antti Toskala, "WCDMA for UMTS : HSPA Evolution and LTE" John Wiley & Sons, 2007
- [5] Hyunil Kwon, Jookwang Kim, Sangmin Bae, Kyungho Kim, and Chungyong Lee, "The Regularized FPGA Development Platform Verification Flow for Wireless Mobile SoC" ITC-CSCC2008, Jul. 2008.
- [6] Frank Emmett and Mark Biegel, "Power Reduction through RTL Clock Gating"
- [7] 현석봉, 강성원, 엄낙웅 "저전력 무선단말 SoC 기술" ETRI 전자통신동향분석, pp. 92-101, 제23권 제6호 Dec. 2008.

저 자 소 개



권 현 일(학생회원)
 1996년 숭실대학교 정보통신 공학과 학사 졸업.
 1998년 포항공과대학교 정보통신 대학원 석사 졸업.
 1998년~2000년 고등기술연구원 주임연구원

2000년~현재 삼성전자 책임연구원
 2006년~현재 연세대학교 전기전자공학과 박사과정
 <주관심분야 : MIMO 시스템, 통신용 SoC 설계>



김 경 호(정회원)
 1984년 연세대학교 전자공학과 학사 졸업.
 1987년 KAIST 전기전자공학과 석사 졸업.
 1991년 KAIST 전기전자공학과 박사 졸업.

현재 삼성전자 통신연구소 상무
 <주관심분야 : 이동통신용 모뎀칩, 단말 무선 부품>



이 충 용(정회원)
 1987년 연세대학교 전자공학과 학사 졸업.
 1989년 연세대학교 전자공학과 학사 졸업.
 1995년 Georgia Tech. 전자공학과 박사 졸업.

1996년~1997년 삼성전자 선임연구원
 1997년~현재 연세대학교 전기전자공학부 교수
 <주관심분야 : 통신 신호처리, MIMO 시스템>