

논문 2009-46SD-2-5

효율적인 디지털 위성 방송 프레임 동기 검출 회로 및 낮은 복잡도의 자동 이득 제어 회로

(Efficient Frame Synchronization Detector and Low Complexity Automatic Gain Controller for DVB-S2)

최진규*, 선우명훈*, 김판수**, 장대익**

(Jin Kyu Choi, Myung Hoon Sunwoo, Pansoo Kim, and Dae-Ig Chang)

요약

본 논문은 위성방송 표준인 DVB-S2 (Digital Video Broadcasting - Satellite second generation) 에 적용 가능한 효율적인 변조 모드 추정 가능한 프레임 동기 검출 회로를 제안한다. 매우 낮은 SNR에서 SOF (Start Of Frame) 를 검출하고 변조 모드를 추정하기 위해 본 논문에서는 새로운 상관기 방식의 프레임 동기 검출 회로 구조와 낮은 복잡도의 AGC (Automatic Gain Controller) 를 제안한다. 제안한 프레임 동기 검출 회로는 복잡도가 높은 기존의 D-GPDI (Differential - Generalized Post Detection Integration) 알고리즘을 직접 구현한 방식과 비교하여 약 93%의 곱셈기 개수와 89%의 덧셈기 개수를 줄일 수 있었으며 Xilinx Virtex II FPGA 검증 보드를 이용하여 제안된 구조를 검증하였다.

Abstract

This paper presents an efficient frame synchronization strategy with the identification of modulation type for Digital Video Broadcasting - Satellite second generation (DVB-S2). To detect the Start Of Frame (SOF) and identify a modulation mode at low SNR, we propose a new correlator structure and a low complexity Automatic Gain Controller (AGC). The proposed frame synchronization architecture can reduce about 93% multipliers and 89% adders compared with the direct implementation of the Differential - Generalized Post Detection Integration (D-GPDI) algorithm which is very complex and the proposed a low complexity AGC consists of only 5 multipliers and 3 adders. The proposed architecture has been thoroughly verified on the Xilinx Virtex II FPGA board.

Keywords : DVB-S2, frame synchronization detector, modulation mode estimation, Automatic Gain Controller

I. 서론

디지털 신호처리, 반도체 및 전송 기술의 발달함에 따라 위성 방송을 이용해 단순히 디지털 방송만을 전송하는 것이 아니라 쌍방향 방송 및 인터넷 사용 등의 다양한 요구들이 생기고 있다. 현재 각국의 위성방송에 널리 사용되고 있는 DVB-S^[1]는 위와 같은 요구들을 모두 충족시키기에는 부족하므로 기존 DVB-S 시스템의 주파수 효율을 개선한 DVB-S2 표준화 작업이 2003년 DVB 프로젝트에서 완료되어 2004년 6월 ETSI

* 정희원, 아주대학교 전자공학부
(Department of Electrical Engineering, Ajou University)

** 정희원, 한국전자통신연구원
(Electronics and Telecommunications Research Institute)

* 본 연구는 교육인적 자원부 2단계 BK (Brain Korea) 21 과제의 지원과 지식경제부 및 정보통신 연구진흥원의 IT신성장동력 핵심기술 개발사업의 일환으로 수행하였음. [KCC/IITA 2008-S008-02, 21GHz 대역 위성방송전송기술개발]

접수일자: 2008년8월4일, 수정완료일: 2009년2월5일

(European Telecommunication Standards Institute) 에서 DVB-S의 개량된 개정인 DVB-S2 (ETSI EN 302 307) 을 발표했다^[2-3]. DVB-S2는 고차 변복조 기법을 사용하고 채널 코딩으로는 BCH (Bose - Chadhuri - Hocquenghem) 와 LDPC (Low Density Parity Check) 부호를 사용하여 같은 환경에서의 DVB-S에 비해 약 35% 이상의 증가된 채널 용량을 제공한다.

최대 채널 효율성을 확보하기 위해 DVB-S2 복조기의 프레임 동기부는 LDPC 디코더가 QEF (Quasi Error Free) 상태에 도달할 수 있도록 SNR (Signal-to-Noise Ratio) 이 약 -2.35 dB 에서도 잘 동작할 수 있어야 한다. 하지만 시뮬레이션 결과 기존의 간단한 알고리즘으로는 필요한 성능을 만족시킬 수 없었다^[4]. 결국 이러한 문제를 해결하기 위해 본 논문에서는 좀 더 복잡한 D-GPDI (Differential-Generalized Post Detection Integration)^[4] 알고리즘을 사용하여 효율적으로 SOF (Start Of Frame) 를 검출하는 방법을 제안한다. 그러나 기존의 D-GPDI 알고리즘은 필요한 성능을 만족시킬 수 있지만 구현 복잡도 측면에서 매우 높다. 따라서 본 논문에서는 D-GPDI 알고리즘을 시뮬레이션을 통해 최적화함으로써 구현 복잡도를 줄일 수 있는 새로운 구조의 프레임 동기부 회로를 제안한다. 제안된 프레임 동기부 회로는 연산기 수를 감소시켜 복잡도를 현저하게 줄일 수 있었으며 시뮬레이션 결과 성능 열화 없이 SOF 을 검출할 수 있었다. 또한 수신된 신호의 레벨 수준이 일정하지 않고 잘 제어되지 못한다면 제안한 프레임 동기부 회로의 성능에 심각한 열화를 초래할 수 있다. 따라서 본 논문에서는 안정된 프레임 동기부 회로의 성능을 보장하기 위해 낮은 복잡도의 AGC (Automatic Gain Controller) 를 제안한다.

제안한 프레임 동기부 회로를 이용하면 프레임의 길이를 통해 현재 전송하고 있는 변조 모드를 파악할 수 있다. 이는 DVB-S2 복조기의 PLSC (Physical Layer Signaling Code) 복호하는 Reed-Muller 복호기에서 알아내야만 하는 프레임 길이, 파일럿 유무, FEC (Forward Error Correction) 프레임 방식을 미리 알아낼 수 있는 큰 장점이 있다.

본 논문의 구성은 다음과 같다. II장에서는 기존의 프레임 동기부 검출 방법 및 제안한 알고리즘을 분석하고 낮은 복잡도의 AGC 구조를 설명한다. III장에서는 프레임의 길이를 이용하여 변조 모드를 추정하는 원리

를 설명한다. IV장에서는 제안된 구조의 시뮬레이션 및 구현 결과를 분석하고 기존 방식과 비교한다. 마지막으로 V장에서는 결론을 맺는다.

II. 프레임 동기 검출 방법

프레임 동기 검출 알고리즘은 PLHEADER (Physical Layer frame Header) 의 프레임 시작을 알려주는 SOF 와 상관도 값을 구하여 프레임 동기를 검출할 수 있다. 본 장에서는 그림 1과 같이 DVB-S2 프레임 구조에서 PLHEADER의 26 심볼로 구성된 SOF 신호열을 이용하여 프레임 동기를 검출하는 기존 알고리즘과 D-GPDI 알고리즘을 비교한다. 그리고 제안한 AGC의 구조를 설명한다.



그림 1. DVB-S2 물리계층 프레임 구조
Fig. 1. Structure of DVB-S2 Physical Layer Frame.

1. 기존의 프레임 동기 검출 방법

DVB-S2의 베이스 밴드 수신신호는 그림1과 같은 물리계층 프레임을 가진다. PLHEADER는 프레임의 시작을 알려주는 SOF (Start of Frame) 26 심볼과 변조방식, 부호화률, 프레임 길이, 파일럿의 유무 여부를 알려주는 PLSC (Physical Layer Signaling Code) 64 심볼로 구성되어 있다.

프레임의 동기 검출은 PLHEADER 정보를 이용하여

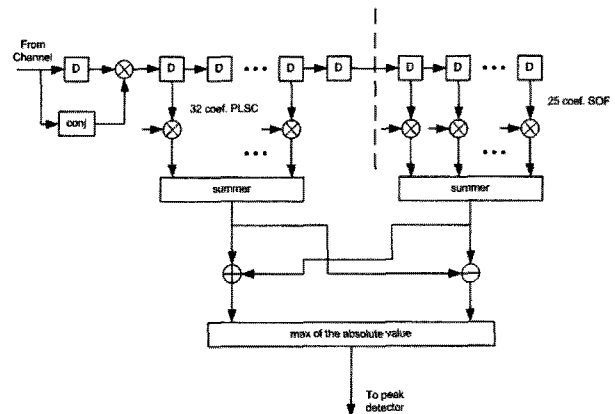


그림 2. 기존의 프레임 동기 검출 구조
Fig. 2. Existing structure of the frame synchronization detector.

구한다. CDMA의 의사 에러 시퀀스 (PN-Sequence)와 같이 송수신 단에서 미리 알고 있는 코드의 자기 상관 관계를 이용해서 구한다. SOF는 18D2E82_{HEX}의 값을 변조 방식으로 매핑하여 송신하고, 수신기에서는 프레임의 시작위치를 찾기 위해 프레임동기 상관기를 구성한다. 그림 2와 같이 DVB-S2 표준에 제시된 프레임 동기를 검출하는 구조는 총 89개의 쉬프트 레지스터로 SOF에서는 25 탭(tap), PLSC에서는 32 탭으로 총 57 탭으로 이루어져 있다^[3].

2. D-GPDI를 이용한 프레임 동기 검출

DVB-S2의 프레임 동기 검출은 마이너스 값을 갖는 매우 낮은 SNR 상황과 캐리어 주파수 오프셋 및 위상을 모르는 상태에서 검출해야 하게 때문에 일반적인 상관기로 구하기는 어렵다. 그리고 주파수 오차 성분이 포함되어 있는 수신신호 검출 하는 방법으로는 넌 코히어런트 (Non-Coherent) 계열을 사용해야 한다. 본 논문에서는 넌 코히어런트 방법 중에 D-GPDI 방법을 사용하여 프레임 동기를 검출한다^[4].

수신된 신호 $r(t) = s(t) + n(t)$ 로 표현된다. $s(t)$ 는 송신된 신호이고 $n(t)$ 는 AWGN (Additive White Gaussian Noise)이다. 송신 신호 $s(t)$ 는 식 (1)와 같이 표현할 수 있다.

$$s(t) = \sum_{k=-\infty}^{\infty} \sqrt{E_s} a_k p(t - kT_s) e^{j(2\pi \Delta f t + \phi)} \quad (1)$$

여기서 $p(t)$ 는 SRRC (Square Root Raised Cosine) 펄스 파형, T_s 는 심볼 주기, Δf 는 주파수 오차, 그리고 ϕ 는 알지 못하는 위상을 나타낸다. TDM/TDMA (Time Division Multiple Access) 전송에서 프레임에 송수신기 양쪽이 알고 있는 신호를 넣어 보낸다. 이를 a_k 로 나타냈다.

$$a_k = \begin{cases} c_k & k \in [0, L_{UW} - 1] \\ d_k & k \in [L_{UW}, L_F] \end{cases} \quad (2)$$

여기서 L_{UW} 는 알고 있는 신호의 길이이고, L_F 는 전

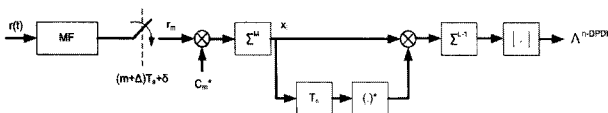


그림 3. DPDI 블록 다이어그램
Fig. 3. DPDI Block Diagram.

체 프레임 길이 이고, c_k 는 k 번째 알고 있는 신호이고, d_k 는 k 번째 랜덤 데이터 신호를 나타낸다. 프레임 동기 단에 도착한 신호는 이미 심볼 Matched 필터와 $(m + \Delta)T_s + \delta$ 시점에서 심볼 샘플링 처리가 끝난 값이다. 이를 m 번째 샘플링 한 값을 나타내면 식 (3)과 같다.

$$r_m = \sum_{k=-\infty}^{\infty} \sqrt{E_s} a_k e^{j(2\pi \Delta f ((m + \Delta)T_s + \delta) + \phi)} \times R_p((m - k + \Delta)T_s + \delta) + n'_m \quad (3)$$

여기서 R_p 는 SRRC 펄스 자기상관 함수를 나타내고 n'_m 은 필터의 노이즈이다. 이렇게 프레임 동기 단으로 들어오는 신호에서 송수신기에서 알고 있는 신호인 a_k 와 자기 상관관계가 큰 값을 검출하는 방법으로 D-GPDI를 적용한다. 알고 있는 SOF단의 수신된 신호 샘플의 코히어런트는 식 (4)와 같으며 이를 이용한 n 번째 DPDI값은 식 (5)와 같다.

$$x_i = \sum_{m=iM}^{(i+1)M-1} r_m c_m^* \quad (4)$$

$$\Lambda^{n-DPDI} = \left| \sum_{i=1}^{L-1} x_i x_{i-1}^* \right| \quad (5)$$

D-GPDI 값은 식 (6)으로 정의 된다.

$$\Lambda^{D-GPDI} = 2 \sum_{n=1}^{L_{SOF}-1} \Lambda^{n-DPDI} \quad (6)$$

여기서 M 은 코히어런트 합인 길이이고, L 은 PDI의 길이로 $M \times L = L_{UW}$ 를 만족시키면서 설계해야 된다. 본 논문에서는 M 은 1로 L 은 26으로 설계하였다.^[5]

각 수식을 자세히 살펴보면 전체 D-GPDI 알고리즘을 사용하여 프레임 동기 검출 회로를 구현하기 위해서 25-span DPDI 블록, 26 개의 SOF 버퍼, 복소수 연산으로 인한 4개씩의 곱셈기로 인해 총 1,354 의 곱셈기와 덧셈기가 필요하다^[4]. 게다가 초기 코히어런트 값을 구하기 위해 104개씩의 곱셈기와 덧셈기가 필요하다. 따라서 전체 D-GPDI 알고리즘을 구현하기 위해서는 1,458개씩의 곱셈기와 덧셈기 숫자가 필요하므로 높은 하드웨어 복잡도를 요구한다. 따라서 본 논문에서 제안하는 프레임 동기 검출 구조는 $(L-1)$ -span DPDI 부터 2-span DPDI 까지 하나씩 줄여가며 시뮬레이션을 수

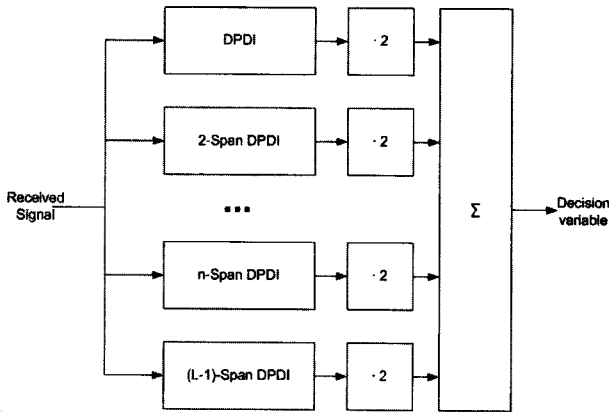


그림 4. D-GPDI 프레임 동기 기법
Fig. 4. Method of the frame synchronization detector.

행하였고, 그 결과 DPDI와 2-span DPDI만을 이용하여 프레임 동기 검출 회로를 구현하였다. 시뮬레이션 결과 제안한 프레임 동기 검출 회로는 DVB-S2 표준을 만족할 수 있도록 SNR -2.35dB 환경에서 잘 동작함을 검증하였다. 그리고 초기 코히어런트 값을 구하는 수식을 자세히 살펴보면 SOF의 특성상 부호만 다르며 크기는 같기 때문에 이러한 성질을 이용하여 곱셈기는 모두 멀티플렉서로 대체할 수 있었다. 따라서 제안된 구조는 2-span DPDI, 26 SOF 버퍼와 4개씩의 곱셈기로 인해 총 4×2×2 208 개씩의 곱셈기와 덧셈기로 구현하였다.

$$r_{m-1} \times r_m + r_{m+1} \times r_m \rightarrow (r_{m+1} + r_{m-1}) \times r_m \quad (7)$$

DPDI 알고리즘에서의 연산식은 식 (7)과 같이 2개씩의 공통 곱셈인자로 구성되어 있으므로 추가로 104개의 곱셈기와 34개의 덧셈기를 줄일 수 있었다. 따라서 본 논문에서 제안한 프레임 동기 검출 회로는 최종적으로 104개의 곱셈기와 174개의 덧셈기로 구성되어 있다. 그 결과 제안한 구조는 93%의 곱셈기 수와 89%의 덧셈기 수를 줄일 수 있었다.

3. 자동 이득 제어 회로

AGC 회로는 자동으로 신호의 진폭에러를 보상해 줄 수 있으며 프레임 동기 검출 회로의 안정된 성능을 보장해 준다. 그림 5는 변화하는 신호의 진폭에러에 대한 SOF 검출률을 알아본 시뮬레이션 결과이다.

그림 5에서와 같이 AGC가 없는 프레임 동기 검출 회로는 SNR이 -2.35dB 환경에서 성능이 현저하게 악화되는 것을 확인할 수 있다. 그러나 제안한 AGC 회로와 같이 동작하는 프레임 동기 검출 회로는 SNR이

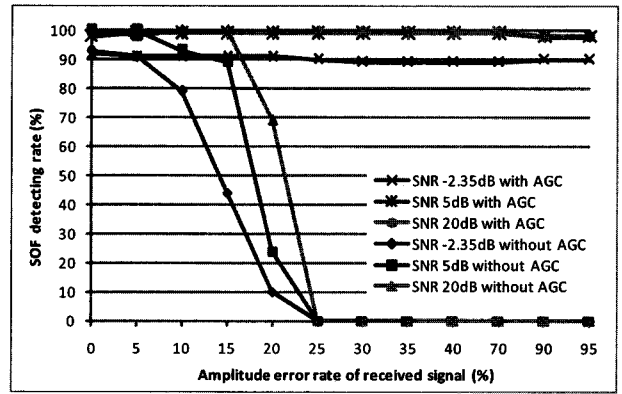


그림 5. SOF 검출률에 대한 시뮬레이션 결과
Fig. 5. Simulation Results of the SOF Detecting Rate.

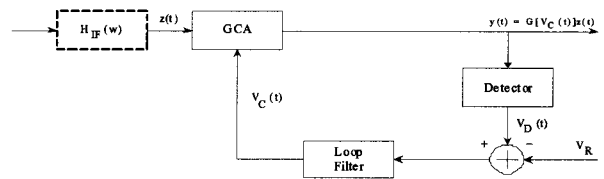


그림 6. 제안한 역방향 AGC 구조
Fig. 6. Architecture of feedback AGC.

-2.35dB 환경에서도 안정된 성능을 보인다.

제안한 AGC는 GCA (Gain Controlled Amplifier), 진폭 검출기 및 루프 필터로 구성되어 있다. 그림 6은 제안한 역방향 AGC 구조를 보여준다. V_D 는 검출된 진폭의 크기 값이며 V_R 은 원하는 진폭의 크기 값이다. 그리고 V_C 는 제어된 진폭의 크기 값을 나타낸다. GCA는 수신된 복소수 신호의 진폭을 보상해 줄 수 있도록 2개의 곱셈기로 구성되어 있다. 진폭 검출기는 2개의 곱셈기와 1개의 덧셈기로 구성되어 있고 수신된 신호와 원하는 진폭의 차이 값을 계산해 주는 루프필터는 1개의 곱셈기와 2개의 덧셈기, 그리고 1개의 누적기로 구성되어 있다. 따라서 제안한 전체 AGC의 구조는 단지 5개의 곱셈기와 3개의 덧셈기, 1개의 누적기로 구성되어 있다.

III. 프레임 길이를 이용한 변조 방식 추정

본 장에서는 디지털로 변환된 DVB-S2 기저대역 신호인 물리 계층 프레임 (PLFRAME)에 대해 변조방식 별로 특징을 분석해 보고 이를 이용해 변조방식을 추정하는 방법에 대해 알아본다. DVB-S2의 프레임 구조는 표 1에서와 같이 총 16개의 방식으로 구성되며 각각의 길이는 다르다. 프레임 길이를 이용하여 현재 전송되는 변조방식을 추정하면 프레임 길이 이외에도 변조

표 1. 프레임 당 심볼의 개수
Table 1. Number of the symbol of 1 Frame.

Modulation		# of symbol of 1 frame (64,800 bits)	# of symbol of 1 frame (16,200 bits)
QPSK	Pilot	33282	8370
	non-Pilot	32490	8190
8PSK	Pilot	22194	5598
	non-Pilot	21690	5580
16APSK	Pilot	16686	4212
	non-Pilot	16290	4140
32APSK	Pilot	13338	3402
	non-Pilot	13050	3330

모드, 파일럿 유무, FEC 프레임 방식을 유추할 수 있다. 이는 PLSC를 복호해야만 알아낼 수 있는 정보를 매우 간단하게 알아냄으로써 추후 DVB-S2 수신기 시스템의 Reed-Muller 복호기의 복잡도를 현저하게 감소할 수 있는 장점이 있다.

1. DVB-S2 프레임 구조 분석

그림 1을 보면 PLFRAME의 구조는 프레임 시작 슬롯에 PLHEADER가 위치하고 다음 16 슬롯동안 XFECFRAME (complex FEC Frame) 데이터들이 위치한다. PLHEADER는 SOF와 PLSC정보가 $\pi/2$ -BPSK로 변조되어 들어가고, XFECFRAME 데이터가 16 슬롯에 변조 방식별로 변조되어 들어간다. 여기서 변조된 XFECFRAME 데이터 길이는 Normal 모드 일 때 64,800 비트이고 Short 모드 일 때는 16,200 비트이다. 이와 같이 64,800 비트와 16,200 비트 두 가지 길이의 XFECFRAME 데이터를 채널 상황에 따라 변조 방식을 바꾸기 때문에 DVB-S2는 가변 프레임 구조를 가진다. 따라서 변조 방식과 XFECFRAME 데이터 길이와 파일럿 유무에 따라 프레임마다 전송하는 심볼의 개수가 달라진다. 이를 표 1에 정리 하였다.

2. 프레임 길이를 이용한 변조 방식 추정

PLSC 는 DVB-S2 시스템에서 전송된 신호의 변조 방식, FEC 프레임 길이, 파일럿 유무, LDPC 코드율을 알려 주는 7 비트의 정보로 구성되어 있다. 이 정보는 노이즈에 강하도록 Reed-Muller 부호화 되어 전송된다. 이 정보를 다시 복호하기 위해 DVB-S2 수신기에서는 Reed-Muller 복호가 반드시 행해져야 한다^[6].

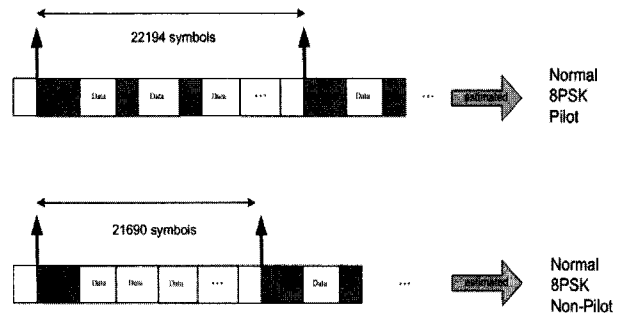


그림 7. 프레임 길이를 이용한 변조 방식 추정
Fig. 7. Estimating modulation mode using the frame length.

제안된 변조 방식 추정은 프레임 동기 검출기와 변조 방식별 심볼 개수를 이용하여 PLHEADER의 PLSC를 Reed-Muller 복호해야 알 수 있는 변조 방식, 프레임 길이, 파일럿 유무의 정보를 미리 알 수 있다.

그림 7은 프레임 길이를 이용하여 변조 방식을 추정하는 방법을 보여준다. 프레임 동기단으로 심볼 데이터가 들어오면 클럭에 맞추어 카운트를 세기 시작한다. 프레임 동기단에서 프레임 시작위치를 찾아내면 이 카운트 값을 저장한다. 그리고 다음 프레임에서 프레임 시작위치를 찾아내면 이 프레임의 카운트 값에서 이전 프레임 시작의 카운트 값을 뺀다. 이 값을 표 1에서 분석한 각 모드별 프레임의 길이 값과 비교해서 같은 값이 있으면 변조방식과 XFECFRAME 프레임길이와 파일럿의 유무정보를 유추해 낼 수 있다.

그 결과 제안된 방식의 회로를 사용할 경우 DVB-S2 수신기에서는 Reed-Muller 복호기가 LDPC 코드율 정보만을 알아내면 되므로 기존의 Reed-Muller 복호기에 비해 약 40% 정도 복잡도를 줄일 수 있다^[6].

또한 이 추정 방법은 프레임 시작 위치를 완벽하게 찾았다는 가정 하에서 사용 가능한 방법이다. 그래서 프레임 시작위치를 못 찾았을 경우를 대비해 전송 모드와 프레임 시작 위치를 한 프레임만으로 바로 검출하지 않고 프레임 시작검출로 구한 프레임 길이 값을 메모리에 저장해서 10 프레임 이상을 테스트해보고 반복적으로 같은 결과가 나올 경우 전송 모드의 추정 결과를 이용하여 신뢰도를 높인다.

IV. 시뮬레이션 및 결과

본 장에서는 D-GPDI 알고리즘을 사용하여 제안된 프레임 동기 검출 회로 구조와 기존 D-GPDI 알고리즘

간의 하드웨어 복잡도 측면에서 성능 비교를 제시한다.

프레임 동기 검출부의 설계는 Coware™ SPW를 이용하여 부동 소수점과 고정 소수점 모델링 시뮬레이션을 수행하였고 고정 소수점 모델링을 통해 최적화된 비트 폭을 찾아 Verilog HDL을 이용하여 하드웨어 설계를 하였으며 Xilinx™ Vertex II XC2V8000FF1152 칩이 내장된 iPROVE™ FPGA 보드를 통해 합성된 로직을 검증하였다.

그림 8은 프레임 동기 검출 단에서 100,000 심볼의 입력 신호를 받아 D-GPDI를 수행해 프레임 시작위치를 찾는 시뮬레이션 결과이다. 이 입력신호는 심볼레이트가 25MHz 이며 주파수 오차가 5MHz, SNR = -2.35dB 환경에서의 신호이다. Normal 모드의 파일럿이 있고 8PSK변조이므로 프레임 시작위치가 매 22,194 클럭마다 검출 되는 것을 확인 할 수 있다.

표 2는 D-GPDI 알고리즘을 직접 구현한 것과 제안한 구조상의 성능 비교를 보여준다. 직접 구현의 결과는 총 1,458 개의 덧셈기와 곱셈기가 필요하다. 이와는 대조적으로 제안한 구조는 단지 104 개의 곱셈기와 174 개의 덧셈기만 필요하다. LUT 개수는 Simplify Pro 7.7

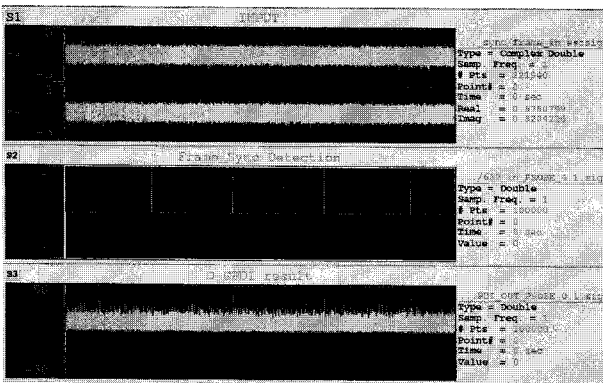


그림 8. SPW 프레임 동기 검출 시뮬레이션 결과
Fig. 8. Frame synchronization SPW simulation results.

표 2. 성능 비교
Table 2. Performance comparisons.

		기존 D-GPDI 알고리즘 구현회로 ^[4]	제안한 프레임 동기 검출 회로	제안한 AGC
연산기 (개)	곱셈기	1,458	104	5
	덧셈기	1,458	174	3
LUT 카운트		N/A	22,873 (28%)	455 (0%)

을 이용하여 나타난 값이며 제안한 구조의 LUT 개수는 총 80,000 개 중의 22,873 (28%) 개이다. 결론적으로 제안한 구조는 직접 구현에 비해 93%의 곱셈기 개수와 89%의 덧셈기 개수를 줄일 수 있었다.

V. 결 론

본 논문에서는 DVB-S2 시스템에서 효율적으로 프레임 시작 위치를 찾는 방법과 낮은 복잡도의 AGC를 제안한다. 모의실험 결과 제안한 프레임 동기 검출 회로는 낮은 수준의 SNR 에서도 안정적으로 SOF를 검출할 수 있었다. 또한 많은 수의 덧셈기와 곱셈기 숫자를 줄임으로써 복잡도 수준이 상당 부분 감소하였고 이에 따라 전력 소모, 단가 면에서도 기여하였다. 게다가 프레임의 길이가 변조 방식 및 FEC 프레임길이, 파일럿 유무 정보 별로 길이가 다르다는 점을 착안하여 프레임 시작위치를 이용하여 프레임의 길이를 알아내어 Reed-Muller 복호를 수행하기 전에 변조방식 및 FEC 프레임길이, 파일럿 유무 정보들을 알아내었다. 이로써 Reed-Muller 복호의 일부만 수행을 해도 송신 신호의 모든 전송정보를 알아낼 수 있으므로 DVB-S2 수신기의 복잡도를 줄일 수 있다.

참 고 문 헌

- [1] Digital video broadcasting (DVB); Framing structure, channel coding and modulation for 11/12 GHz satellite services, EN300 421 (V1.1.2), European Telecommunications Standards Institute (ETSI), 1997.
- [2] Digital video broadcasting (DVB); Second Generation framing Structure Channel Coding and Modulation System for Broadcasting, Interactive Service, News Gathering and other broadband satellite application, EN302 307 (V1.1.1), European Telecommunications Standards Institute (ETSI), June 2004.
- [3] Digital video broadcasting (DVB); User guidelines for the second generation system for broadcasting, interactive services, news gathering and other broad-band satellite applications (DVB-S2), European Telecommunications Standards Institute (ETSI), TR 102 376, 2005.
- [4] Pansoo Kim et al., "Enhanced Frame

synchronization for DVB-S2 system under a large of frequency offset," *IEEE WCNC (Wireless Communications and Networking)*, vol. 1, Issue. 1, pp. 1183-1187, Mar. 2007.

[5] Giovanni E. Corazza, Raffaella Pedone, and Marco Villanti, "Frame Acquisition for Continious and Discontinous Transmission in the Forward Link of Ka-band Satellite Systems," *6th Europ. Workshop on Mob./Pers. Satcoms, EMPS 2004, and 2nd Advanced Sat. Mob.*

Systems Conf., ASMS 2004, Noordwijk, The Netherlands, 21-22 Sep., 2004.

[6] G. Albertazzi, S. Cioni, G.E. Corazza, N. De Laurentiis, M. Neri, P. Salmi, and A. Vanelli-Coralli, "Adaptive Coding and Modulation Techniques for Future Ka Band Satellite Systems - Part I: Forward Link," *10th Ka and Broadband Communications Conference*, 2004.

— 저 자 소 개 —



최진규(정회원)
2005년 아주대학교 전자공학과 학사 졸업.
2007년~현재 아주대학교 전자공학과 석사 재학.
<주관심분야 : 통신용 신호처리, 프로세서 설계>



김판수(정회원)
2000년 성균관대학교 전기전자 및 컴퓨터공학부 학사 졸업.
2002년 성균관대학교 전기전자 및 컴퓨터공학부 석사 졸업.
2002년~현재 한국전자통신연구원 광역방통융합연구팀 선임연구원

<주관심분야 : 위성방송/통신 (DVB-S2/RCS 표준화), 모뎀설계, 통신신호처리, 동기 및 채널복호 기법, VLSI 모뎀 구현>



장대익(정회원)
1985년 한양대학교 공과대학 전자통신공학과 학사 졸업.
1989년 한양대학교 대학원 전자통신공학과 석사 졸업.

1999년 충남대학교 대학원 전자공학과 공학박사.
1990년~현재 한국전자통신연구원 광역방통융합연구팀 팀장
1991년~1993년 캐나다 MPR Teltech 연구소 VSAT팀 연구원
2005년~현재 과학기술연합대학원대학교(UST) 이동통신 및 디지털방송공학 전공 교수
<주관심분야 : 위성통신시스템, 위성방송, 디지털 통신, 디지털 변복조>



선우명훈(정회원)
1980년 서강대학교 전자공학과 학사 졸업.
1982년 한국과학기술원 전자공학 석사 졸업.
1982년~1985년 한국전자통신연구소 (ETRI) 연구원.

1985년~1990년 Univ. of Texas at Austin 전자공학 박사.
1990년~1992년 Motorola, DSP Chip Division (미국).
1992년~1996년 아주대학교 전기전자공학부 조교수.
1996년~2001년 아주대학교 전자공학부 부교수.
2001년~현재 아주대학교 전자공학부 교수.
300편 이상의 논문, 39개 특허 출원 및 등록.
IEEE Workshop on Signal Processing Systems (SIPS) 2005 Best Student Paper Award 포함 20회 이상의 논문상 수상.
IEEE SIPS 2003 Technical Program Chair 역임.
2007년 현재 IEEE SIPS, Cool Chips, Design Automation and Test in Europe (DATE), IEEE International ASIC/SOC Conference, Asian-Pacific Conference on CAS (APC-CAS), Asian-Solid State Circuits Conference (A-SSCC), International SOC Design Conference (ISOCC), International Symposium on VLSI Design, Automation and Test (VLSI-DAT) 등 국제 학회 committee 위원.
<주관심분야 : VLSI 및 Parallel Architecture, 통신 멀티미디어용 DSP 칩 및 ASIC 설계>