

논문 2009-46SD-2-11

다중 전하펌프를 이용한 고속 위상고정루프

(A Fast Locking Phase Locked Loop with Multiple Charge Pumps)

송 윤 귀*, 최 영 식**, 류 지 구*

(Youn-Gui Song, Young-Shig Choi, and Ji-Goo Ryu)

요 약

본 논문에서는 다중 전하펌프를 이용하여 빠른 위상고정 시간을 갖는 새로운 위상고정루프를 제안하였다. 제안된 위상고정 루프는 세 개의 전하펌프를 사용하여 루프필터의 실효 커패시턴스와 저항을 위상고정 상태에 따라 각 전하펌프의 전류량 크기와 방향 제어를 통해 증감시킬 수 있다. 위상고정루프의 위상고정 상태에 따라 루프 대역폭을 제어하여 빠른 위상고정 시간을 갖는 위상고정루프를 설계하였다. 또한 전체 칩 영역의 많은 부분을 차지하는 커패시터의 크기를 제안된 구조로 최소화 하였다. 저항과 커패시터를 모두 포함한 29.9KHz의 대역폭의 위상고정루프를 $990\mu\text{m} \times 670\mu\text{m}$ 크기로 설계하였다. 제안된 위상고정 루프는 3.3V $0.35\mu\text{m}$ CMOS 공정을 이용하여 제작되었다. 851.2MHz 출력 주파수에서 측정된 위상 잡음은 -90.45 dBc/Hz @1MHz이며, 위상고정시간은 $6\mu\text{s}$ 보다 작은 값을 가진다.

Abstract

A novel phase-locked loop(PLL) architecture with multiple charge pumps for fast locking has been proposed. The proposed PLL has three charge pumps. The effective capacitance and resistance of the loop filter can be scaled up/down according to the locking status by controlling the direction and magnitude of each charge pump current. The fast locking PLL that changes its loop bandwidth through controlling charge pumps depending on locking status has been designed. The capacitor usually occupying the larger portion of the chip is also minimized with the proposed scheme. Therefore, the PLL size of $990\mu\text{m} \times 670\mu\text{m}$ including resistors and capacitors at the bandwidth of 29.9KHz has been achieved. It has been fabricated with 3.3V $0.35\mu\text{m}$ CMOS process. The locking time is less than $6\mu\text{s}$ with the measured phase noise of -90.45 dBc/Hz @1MHz at 851.2MHz output frequency.

Keywords : PLL, fast locking, locking status indicator(LSI), adaptive bandwidth.

I. 서 론

위상고정루프(Phase Locked Loop; PLL)는 각종 통신 시스템과 고속의 시스템이 필요로 하는 다양한 주파수 합성과 고속 클럭을 만드는 것 등에 널리 사용되고 있다. 최근 통신 장비의 고속화 및 고주파수화 추세를

만족시키기 위해 빠른 위상 고정시간(locking time), 낮은 위상잡음과 좋은 지터 특성을 실현하기 위한 연구들이 활발하게 진행되고 있다. 빠른 위상고정 시간과 낮은 위상 잡음 특성을 얻기 위해 단계적 대역폭 변화 방식을 이용한 디지털 위상고정루프^[1], 적응적 대역폭 조절기를 이용한 위상고정루프^[2], 듀얼 슬로프 위상주파수 검출기(phase frequency detector; PFD)^[3]을 이용한 구조들이 연구되었다. 또한 전체 칩 영역의 많은 부분을 차지하는 커패시터의 크기를 최소화 하기위해 다양한 위상고정루프 구조들이 연구되었다^[4-6]. [1]에서의 단계적 루프 대역폭 조절기는 복잡한 구조의 디지털 블록으로 만들어지기 때문에 칩의 전체적인 크기가 커지고,

* 정희원, ** 정희원-교신저자,
부경대학교 전자컴퓨터정보통신공학부
(Division of Electronics, Computer and Telecommunication Engineering, Pukyong National University)

※ 이 논문은 2007년도 부경대학교 연구년 교수 지원 사업에 의하여 연구되었음 (PS-2007-019)

접수일자: 2008년9월25일, 수정완료일: 2009년2월2일

동작 속도가 느리며 소비전력이 증가하는 문제를 가지고 있으며, [2]의 구조도 빠른 위상고정 시간을 가지도록 하기에는 적합하지 않다. [3]연구에서 빠른 위상고정 시간을 위해 사용된 비선형 위상 주파수 검출기는 위상잡음 특성을 나쁘게 할 수 있다. 커패시터의 크기를 최소화 하기위해 사용된 복잡한 구조의 커패시턴스 스케일러 역시 잡음의 근원이 되며 동작 주파수 범위도 제한되는 문제점을 가지고 있으며, 연산증폭기가 필요한 이중 경로 능동 루프필터가 사용되었다^[4-6]. 이러한 구조의 위상고정루프는 연산증폭기나 커패시턴스 스케일러와 같은 특성이 민감하고 복잡한 부가적인 요소를 필요로 한다.

본 논문에서는 다중 전하펌프를 이용하여 루프필터의 저항과 커패시턴스의 실효값을 변하시킴으로써 빠른 위상고정 시간을 가지면서 커패시터의 크기를 최소화 할 수 있는 새로운 형태의 위상고정루프를 제안하였다. 위상고정루프의 동작 상태에 따라 각 전하펌프의 출력 전류량과 방향을 제어하여 루프 대역폭을 변화시켜 빠른 위상고정 시간과 위상잡음 최소화 하였으며 하나의 칩에 집적화가 가능하도록 작은 커패시터를 갖는 위상고정루프를 설계하였다. 제안된 구조는 기존의 연구에서 사용된 설계의 어려움과 많은 칩 면적을 요구하며 새로운 잡음을 생성하는 연산증폭기나 커패시턴스 스케일러와 같은 부가적인 회로를 전혀 요구하지 않는다.

II. 제안된 위상고정루프 설계

1. 다중 전하펌프 위상고정루프의 구조

제안된 다중 전하펌프 위상고정루프는 그림 1과 같이 복합 위상주파수검출기(Composite PFD)와 위상고정 상태 표시기(Locking status indicator; LSI), 세 개의 전하펌프(CP1, CP2, CP3), 두 개의 저항과 두 개의 커패시터로 구성된 루프필터, 전압제어 발진기(Voltage controlled oscillator; VCO), 그리고 분주기(divider)로 구성된다.

본 논문에서 사용된 2차 저역통과 루프필터는 R_{Z1} , R_{Z2} , C_Z 그리고 C_P 로 구성되며 출력전압은 다음과 같다.

$$V_{\alpha} = \frac{sC_z\{R_{Z1} + (A+1)R_{Z2}\} + (A-B+1)}{s^2C_P C_Z R_Z + s(C_P + C_Z)} I_P \quad (1)$$

여기서 R_Z 는 R_{Z1} 과 R_{Z2} 의 합이며, 위 수식은 다음과 같이 표현될 수 다.

$$\left[s + \frac{1}{\frac{C_z}{(A-B+1)}\{R_{Z1} + (A+1)R_{Z2}\}} \right] \frac{C_z\{R_{Z1} + (A+1)R_{Z2}\}}{s^2 C_P C_Z R_Z + (C_P + C_Z)} I_P \quad (2)$$

식 (2)는 루프필터의 C_Z 와 R_Z 의 실효 값이 전하펌프2와 전하펌프3에 흐르는 전류량 비 A와 B에 따라서 변화가 가능하다는 것을 보여주고 있다.

세 개의 전하펌프는 루프필터의 실효 저항과 커패시턴스를 변화시키기 위해 위상고정루프의 위상고정 상태에 따라 각각 다른 전류 크기와 방향을 가지게 된다. 위상고정 상태 표시기는 위상고정루프의 위상고정 상태에 따라 위상고정과 비고정의 두 가지 신호를 생성한다. 복합 위상 주파수 검출기는 위상 주파수 검출기와 래치 버퍼가 결합된 구조로서 각 전하펌프가 적합한 동작을 할 수 있도록 신호를 생성한다. 전하펌프1은 위상고정 상태 표시기의 신호에 따라 두 개의 다른 크기의 전류를 루프필터에 공급한다. 전하펌프2와 전하펌프3은 R_{Z2} 와 C_Z 에 흐르는 전류를 각각 고정된 크기만큼 더하고 빼게 된다. 위상고정루프가 고정되지 않은 상태일 때 전하펌프2의 전류는 전하펌프 3 보다 크게 하여 C_Z 는 전하펌프1과 전하펌프2의 전류에 의해 빠르게 충전된다. 전하펌프의 전류에 의해 C_Z 의 실효 커패시턴스는 작아지고 R_{Z1} 과 R_{Z2} 로 구성된 R_Z 의 실효 저항 값은 증가하게 되어 넓은 루프 대역폭을 가지게 되어 더욱 빠른 위상고정 시간을 가질 수 있게 된다. 위상고정루프가 위상고정 상태에 놓이면 위상상태 표기 신호에 의해 전하펌프2는 꺼지고, 전하펌프1의 전류는 전하펌프3보다 약간 크게 흐르게 되어 C_Z 의 실효 커패시턴스는 커지게 되고 저항 값은 원래 값으로 되어 좁은 루프 대역폭을 갖게 된다.

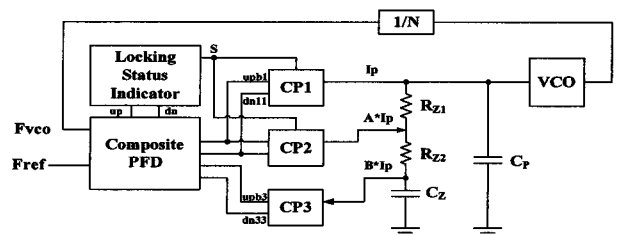


그림 1. 제안한 위상고정 루프의 구조
Fig. 1. Functional block diagram of the proposed PLL.

2. 위상고정루프 회로 설계

본 논문에서 제안된 다중 전하펌프 위상고정루프는

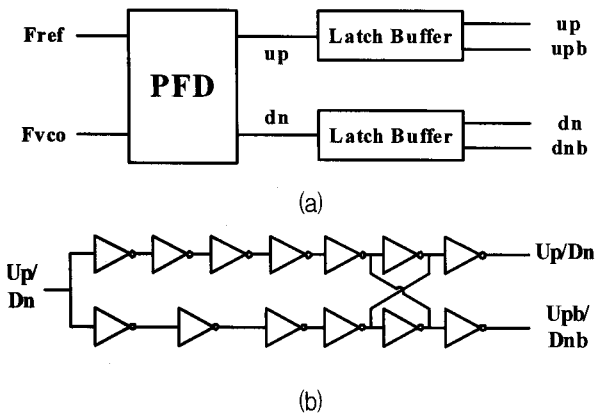


그림 2. (a) 복합 위상 주파수 검출기 (b) 래치버퍼
Fig. 2. (a) Composite PFD (b) latch buffer.

세 개의 전하펌프를 가지고 있으며, 각각의 사용 목적에 맞는 입력신호를 만들기 위하여 그림 2의 복합 위상 주파수 검출기를 사용하였다. 복합 위상 주파수 검출기는 일반적인 위상 주파수 검출기와 두 개의 래치 버퍼로 이루어져 있다. 복합 위상 주파수 검출기는 네 가지의 동기화된 서로 다른 신호를 생성하는데, 루프필터에 전류를 공급하는 전하펌프1과 2를 위한 upb/dn 신호와, 이와는 180°의 위상차가 나는 دنب/up 신호를 전류를 빼주는 전하펌프3을 위해 생성한다. 또한 래치 버퍼는 위상고정루프가 위상고정 상태가 되어 전하펌프2는 꺼지고 전하펌프1과 전하펌프3 만이 동작할 때, 이 두 개의 전하펌프를 구동하는 신호의 시간적 불일치를 제거한 동기신호를 생성하기 위해 사용되었다^[7].

위상 고정상태 표시기는 그림 3과 같이 위상고정루프의 동작 상태에 따라 전하펌프1과 전하펌프2를 제어하기 위한 신호 sch1과 schb를 생성한다. 이 신호는 전하펌프1의 전류 크기와 전하펌프2의 연결 여부를 위상고정 상태에 따라 제어하도록 한다. MP1, MN1에 흐르는 전류에 의해 C_{load} 의 전압 V_a 가 정해지고, V_a 에 따라서 슈미트 트리거가 동작한다. 위상고정루프가 고정되지 않은 경우, 즉 위상 주파수 검출기 두 입력신호의 주파수와 위상 차이가 크면 NOR 게이트의 출력은 상대적으로 "Low" 값을 많이 가지는 주기가 일정하지 않은 펄스파로 나타나고 NMOS가 "on" 되어 흐르는 전류보다 상대적으로 PMOS가 "on"되어 흐르는 전류량이 많아서 커패시턴스 C_{load} 의 전압 V_a 는 서서히 증가한다. 반면, 위상이 고정된 상태일 때는 V_a 는 서서히 감소한다. PLL이 동작하는 과정에서는 V_a 는 NOR 게이트 출력의 비주기적 펄스에 의해 흔들리게 되고, 커패시턴스 C_{load} 를 랜덤 패턴으로 충/방전 시킨다. 만약 위상고정

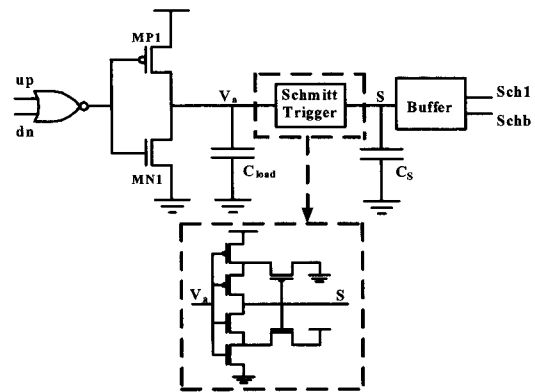
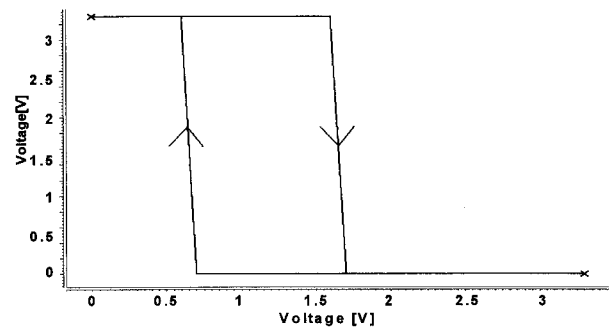
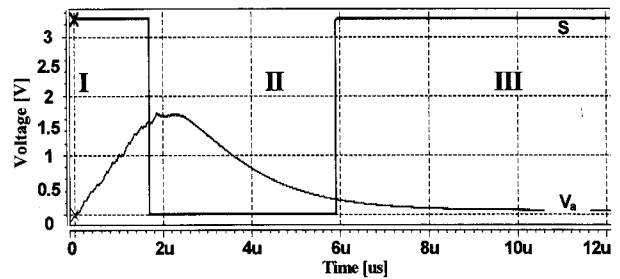


그림 3. 위상 고정상태 표시기의 구조
Fig. 3. Architecture of Locking Status Indicator (LSI).



(a)



(b)

그림 4. (a) 슈미트 트리거 동작 특성, (b) 동작영역에 따른 LSI 출력

Fig. 4. (a) Behavioral characteristic of Schmitt trigger, (b) Output of LSI depending on operating condition.

상태에 따라 위상고정 상태 표시기의 출력신호 S가 일정하지 않고 움직인다면 신호 S에 연결된 전하 펌프와 루프 필터가 원하지 않는 동작을 할 수 있다. 하지만 그림 4와 같은 슈미트 트리거의 히스테리시스 효과를 이용하면 V_a 의 출력거림에 관계없이 안정된 신호 S를 출력한다. 따라서 V_a 의 출력거림이 심한 부분에서도 슈미트 트리거의 히스테리시스 동작 범위를 벗어나지 않게 충분한 여유를 두어 설계하였다. 또한, 슈미트 트리거의 히스테리시스 동작 범위가 정해지면 MP1, MN1에 흐르

는 전류와 C_{load} 의 값을 짧은 위상고정 시간을 가지도록 설계하였다. 신호 S로부터 생성되는 두 개의 신호 sch1과 schb는 위상고정 상태에 따라 기준 전압회로와 전하펌프들을 제어한다^[7].

본 논문에서 제안된 구조에서는, 세 개의 전하펌프들을 사용한다. 전하펌프1은 제안된 위상고정루프에서 일반적인 전하펌프 역할을 수행하게 된다. 전하펌프1은 위상 고정상태 표시기의 신호에 따라 두 가지 다른 크기의 전류를 루프 필터로 공급하기 위하여 그림 5의 (a)와 같은 구조를 가지고 있다. 전하펌프1의 CPa는 위상고정루프의 동작 상태에 상관없이 항상 일정한 전류를 흘리는 반면 CPb는 위상고정이 안된 상태 즉 II 영역 일 때만 동작하여 큰 전류를 흘리게 된다. 전하펌프2는 위상 고정상태 표시기의 신호에 따라 위상이 고정되지 않은 상태일 때만 일정한 양의 전류를 루프필터에 공급하기 위하여 그림 5의 (b)와 같은 구조를 갖는다. 그림 5의 (c)에 나타난 전하펌프3은 위상고정루프의 동작 상태에 상관없이 항상 일정한 양의 전류를 루프필터의 커패시터 C_z 로부터 빼낸다^[7].

그림 6의 기준전압 회로는 전하펌프의 출력 전류를 보다 정확하게 제어하기 위한 블록이다. 전하펌프1을 제어하기 위한 CPc1은 위상 고정 상태 표시기의 출력 신호 sch1과 schb에 따라 각각 다른 기준전압을 선택하도록 하였다. 이는 위상고정 상태에 따른 전하펌프1의 두 가지 출력 전류의 차가 크기 때문에 큰 전류가 흐르는 경우와 작은 전류가 흐르는 경우 모두를 보다 정확하게 제어하기 위한 것이다. 동작 상태에 따라 CPb가 "on" 또는 "off"되어 위상고정 상태에 따라 전하펌프1에 흐르는 전류의 크기를 달라지게 한다.

나머지 두 개의 출력 전압은 CPc2와 CPc3으로 각각

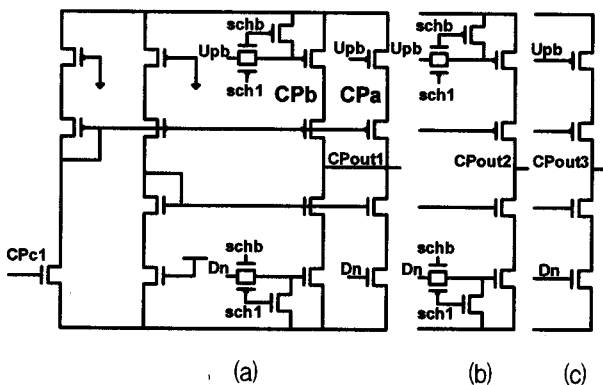


그림 5. (a) 전하펌프1, (b) 전하펌프2, (c) 전하펌프3 회로
Fig. 5. Circuit of (a) CP1, (b) CP2, (c) CP3.

연결되어 전하펌프2와 전하펌프3이 일정한 전류를 흐르게 한다. 위상고정루프가 위상고정 상태가 되면, 전하펌프2는 동작하지 않고 전하펌프1의 CPa와 전하펌프3이 동작하게 된다. 본 논문에서 제안된 구조는 위상이 고정된 상태에서 전하펌프1의 출력전류와 전하펌프3의 출력전류 간의 전류차이는 $2\mu A$ 로 매우 작기 때문에 공정 변화에 아주 민감해지게 된다. 그래서 전하펌프1의 CPa와 전하펌프3에 사용된 트랜지스터 크기를 같게 설계하고 작고 일정한 양의 전류차이를 유지하기 위해 기준전압 회로를 이용하여 같은 크기의 트랜지스터에 다른 전압이 인가되도록 하였다.

위상고정루프가 위상고정이 된 상태에서 전하펌프1의 CPa와 전하펌프3에 전달되는 신호의 시간 차이는 위상 잡음의 크기를 증가 시키는 요인이 될 수 있기 때문에 전하펌프1의 CPa와 전하펌프3에 전달되는 신호의 시간차가 나지 않도록 하기 위하여 설계하였다. 복합 위상 주파수 검출기가 동기화된 서로 다른 신호, 즉 전하펌프1과 2를 위한 upb/dn 신호와, 180° 의 위상차가

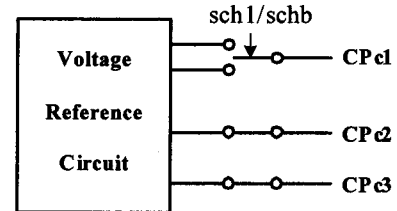


그림 6. 기준전압 회로의 블록 다이어그램
Fig. 6. Block diagram of voltage reference circuit.

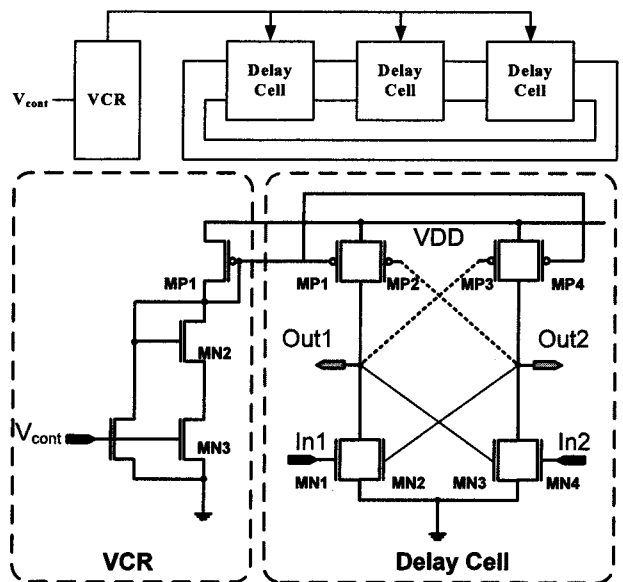


그림 7. 전압제어 발진기
Fig. 7. Voltage controlled oscillator.

나는 전류 펌프3을 위한 dnb/up 신호를 생성하는데 신호의 시간차가 나지 않도록 설계하였다.

전하펌프에서 같은 전류를 만들기 위해서는 PMOS 트랜지스터의 크기가 NMOS 트랜지스터보다 크게 된다. 이 크기의 차이가 Up/Dn 신호 간에 시간차가 생기는 원인이 된다. NMOS 트랜지스터에 동작하지 않는 NMOS 트랜지스터를 연결하여, PMOS와 NMOS 트랜지스터들의 입력 커패시턴스를 같게 만들어 PMOS와 NMOS 트랜지스터들의 on/off 반응 시간에 차이가 나지 않도록 하였다^[7]. 전압제어 발진기는 그림 7과 같이 전압제어 저항과 3단 래치 구조 지연 소자로 구성된 구조를 사용하였다.

3. 동작 영역

전원이 인가되어 동작을 시작하는 초기 상태 영역인 I과 위상이 고정된 상태인 III에서의 전류량은 같다. 위상이 고정된 상태인 III에서는 전하펌프1에서 루프필터로 공급된 전류를 전하펌프3을 이용하여 C₂로 흐르는 전류량을 감소시켜 루프필터의 실효 커패시턴스를 증가시킨다. 증가된 실효 커패시턴스는 작은 전하펌프1의 전류와 함께 이 영역에서는 좁은 대역폭을 가지도록 하여 위상 잠음을 줄이도록 하였다. 위상을 고정시키는 단계인 영역 II에서는 전하펌프2가 많은 전류를 R₂₂와 C₂로 흘려보내 루프 필터의 실효 저항은 증가시키고, 실효 커패시턴스를 감소시킨다. 이와 함께 전하펌프1은 많은 전류를 루프필터에 공급하여 이 영역에서는 넓은 대역폭을 가지도록 하여 빠른 위상고정이 가능하도록 한다.

위상고정루프의 동작 상태에 따른 각 전하펌프의 전류량은 표 1에 나타낸 것과 같이 동작 영역에 따라 달라진다. 저항과 커패시턴스 및 각 전하펌프의 전류량은 충분한 위상마진과 빠른 위상고정이 가능한 넓은 대역폭을 가질 수 있도록 MATLAB을 이용하여 시뮬레이션 하였으며, 그 결과를 그림 8에 나타내었다. 시뮬레

표 1. 동작영역에 따른 전하펌프 전류의 크기
Table 1. The magnitudes of charge pump current depending on operating region.

Region	I	II	III
CP(μA)			
CP1(Ip)	20	500	20
CP2(A*Ip)	0(A=0)	768(1.536)	0(A=0)
CP3(B*Ip)	18(B=0.9)	18(B=0.036)	18(B=0.9)

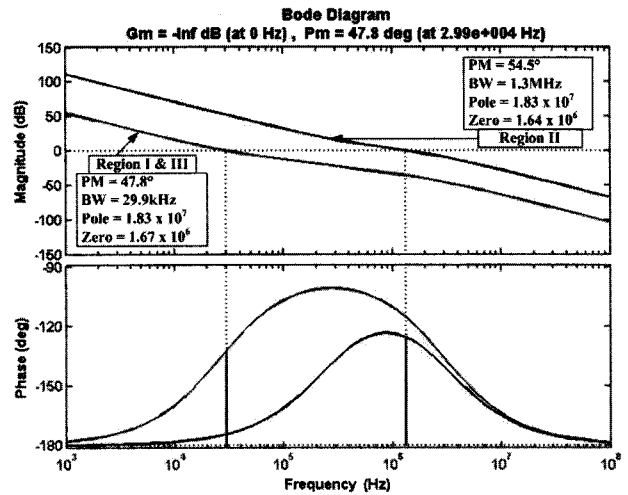


그림 8. 제안된 위상고정루프의 보드선도
Fig. 8. Bode plot of the proposed PLL.

이션 결과, 위상고정 상태에 따른 동작 영역 I과 III의 위상 여유는 47.8°이며 루프 대역폭은 29.9KHz이다. II 영역에서의 위상 여유는 54.5°이며, 루프 대역폭은 1.3MHz로 나타났다. 위와 같이 제안한 다중 전하펌프를 이용한 실효 저항과 커패시턴스의 변화로 위상 고정되기 전 단계에서는 넓은 대역폭을 가지며 위상이 고정된 후에는 충분한 위상마진과 좁은 대역폭을 가짐을 확인할 수 있다. 일단 동작이 되고 나면 동작영역은 위상을 고정시키는 단계인 영역 II과 위상이 고정된 상태인 III만 존재한다. 시뮬레이션에 의해 최적화된 루프 필터의 저항은 1kΩ과 2kΩ의 저항과, 단일칩으로 집적화가 가능한 크기인 200pF과 20pF의 커패시터로 구성되었다.

III. 측정 결과

본 논문에서 제안한 다중 전하펌프를 이용한 위상고정루프를 3.3V 0.35μm CMOS 공정을 이용하여 제작하였다. 제작된 위상고정루프는 990μm × 670μm 면적을 가지고 있으며 그림 9에 칩 사진을 나타내었다.

그림 10은 위상고정 시간 측정 결과로서 6μs 이하의 위상고정 시간을 갖는 것으로 나타났다. 위상고정 시간 측정은 함수 발생기로 전원을 공급하고 오실로스코프의 트리거 기능을 이용하여 측정하였다. 그림 11은 제안된 구조의 출력 스펙트럼 측정 결과로서 입력 주파수는 함수 발생기를 이용하여 13.3MHz를 인가하여 64분주된 851.2MHz의 출력 주파수를 확인할 수 있었다. 그림 12

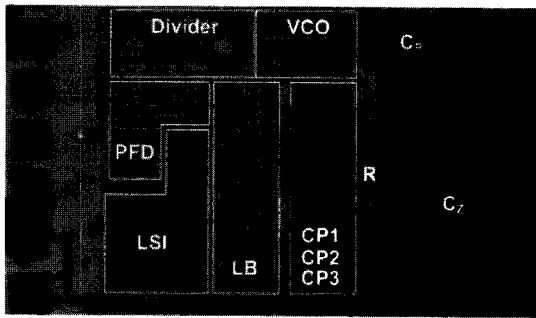


그림 9. 제안된 위상고정루프 칩 사진
Fig. 9. Die photograph of the proposed PLL

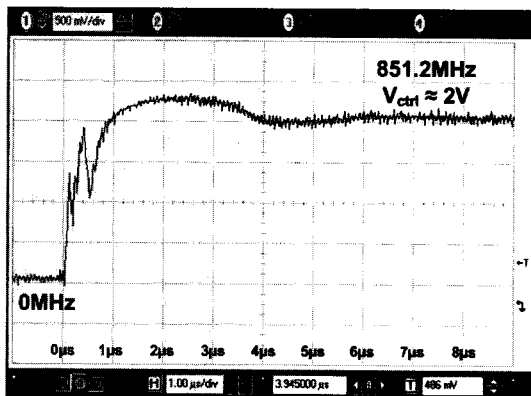


그림 10. 측정된 위상고정 시간
Fig. 10. Measured locking time.

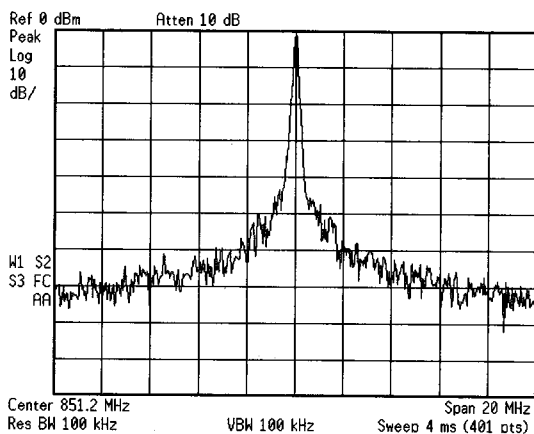


그림 11. 측정된 출력 스펙트럼 @851.2MHz
Fig. 11. Measured output spectrum @851.2MHz.

는 제안된 위상고정루프의 위상잡음 특성으로 851.2 MHz에서 1MHz 떨어진 주파수에서 측정한 위상잡음은 -90.45 dBc/Hz이며 레퍼런스 스퍼는 -32 dBc/Hz 로 나타났다.

제안된 구조의 성능을 표 2에 요약하였으며 표 3과 같이 다른 연구 결과에 비해 위상고정 속도는 상대적으로 조금 느리지만 칩 크기를 최소화 할 수 있다.

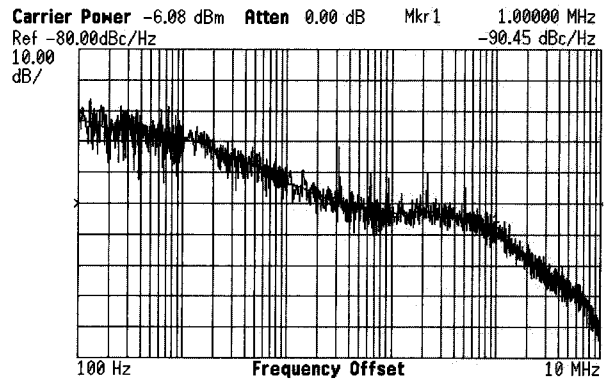


그림 12. 측정된 위상 노이즈 @1MHz offset
Fig. 12. Measured phase noise @1MHz offset.

표 2. 제안된 위상고정루프의 성능 요약
Table 2. Performance summary of the proposed PLL.

공정	0.35 μ m CMOS
전압	3.3V
출력 주파수	851.2MHz
입력 주파수	13.3MHz
위상잡음	-90.54 dBc/Hz @ 1MHz
위상고정 시간	6 μ s 이하
칩 크기	990 μ m \times 670 μ m

표 3. 비교표
Table 3. Comparative table.

구분	locking time	Chip size
[1]	1us	10 \times 10mm ²
[3]	< 20us	NA
[6]	1.5us	1.7 \times 1.7mm ²
This Work	< 6us	0.99 \times 0.67mm ²

IV. 결 론

본 논문에서는 빠른 위상고정 시간 특성을 갖는 다중 전하펌프를 이용한 새로운 위상고정루프를 제안하였다. 제안된 위상고정루프는 기존의 위상고정루프에 위상 고정상태 표시기와 두 개의 전하펌프를 더한 구조이다. 각각 전하펌프의 전류는 위상고정 상태에 따라 그 크기와 흐르는 방향이 제어된다. 위상이 고정되지 않은 상태에서는 큰 전류와 함께 루프필터의 실효 저항을 크게 하고 반대로 커패시턴스를 작게 하여 넓은 루프 대역폭을 갖도록 하여 위상고정이 짧은 시간에 이루어지도록 하였다. 한편 위상고정루프의 위상이 고정되면, 루프필

터에 공급되는 전류를 최소화하여 저항은 작게 그리고 커패시턴스는 크게 하여 좁은 대역폭과 충분한 위상 여유를 확보하여 위상잡음을 최소화 하였다. 또한 제안된 구조로 상대적으로 면적을 많이 차지하는 커패시터의 크기를 줄일 수 있어 단일 칩으로 집적화 할 수 있다.

제안된 다중 전하펌프를 이용한 위상고정루프는 3.3V 0.35 μ m CMOS 공정을 통해 제작되었으며, 빠른 위상고정 시간과 위상잡음 특성을 측정결과로 확인할 수 있었다. 측정 결과를 통해 제안된 구조로 제작된 위상고정루프는 6 μ s 이하의 짧은 위상고정 시간을 가지며, 851.2MHz 출력 주파수에서 측정된 위상잡음은 -90.45 dBc/Hz @1MHz이었다.

참 고 문 헌

- [1] J. Dunning et al., "An all-digital phase-locked loop with 50-cycle lock time suitable for high-performance microprocessors," IEEE J. Solid-State Circuits, vol. 30, no. 4, pp.412-422, Apr. 1995.
- [2] Joonsuk Lee and Beomsup Kim, "A Low-Noise Fast-Lock Phase-Locked Loop with Adaptive Bandwidth Control," IEEE J. Solid-State Circuits, vol. 35, no. 8, pp. 1137-1145, August. 2000.
- [3] L.C Liu and B.H Li, "Fast locking scheme for PLL frequency synthesizer," Electronics Letters, vol. 40, no. 15, pp. 918-920, July 2004.
- [4] Kelu Shu, Edgar Snchez-Sinencio, Jos Silva-Martnez and Sherif H. K. Embabi, "A 2.4-GHz Monolithic Fractional-N Frequency Synthesizer With Robust Phase-Switching Prescaler and Loop Capacitance Multiplier," IEEE J. Solid-State Circuits, vol. 38, no. 6, pp. 866-874, June 2003.
- [5] Jan Craninckx and Michel S. J. Steyaert, "A Fully Integrated CMOS DCS-1800 Frequency Synthesizer," IEEE J. Solid-State Circuits, vol. 33, no. 12, pp.2054-2065, Dec. 1998.
- [6] Sung-Rung Han, Chi-Nan Chuang and Shen-Iuan Liu, "A Time-Constant Calibrated Phase-Locked Loop With a Fast-Locked Time," IEEE Transaction on. Circuits and Systems II, vol. 54, issue. 1, pp.37-37, Jan. 2007.
- [7] 권태하, "Capacitance Scaling 구조와 여러 개의 전하펌프를 이용한 고속의 $\Sigma\Delta$ Fractional-N PLL", 대한전자공학회지, vol. 43, pp. 90-96, 2006. 10

저 자 소 개



송 윤 귀(정회원)
2000년 동의대학교 물리학과
학사 졸업.
2002년 부경대학교 전자공학과
석사 졸업.
2002년 부경대학교 전자공학과
박사 과정.

<주관심분야 : PLL, DLL, CDRC 설계>



최 영 식(정회원)
1982년 경북대학교 전자공학과
학사 졸업.
1986년 Texas A&M University
전자공학과 석사 졸업.
1993년 Arizona State University
박사 졸업.

1987년~1999년 현대전자 책임연구원
1999년~2003년 동의대학교 전자공학과 교수
2003년~현재 부경대학교 전자정보통신공학부
교수

<주관심분야 : PLL, DLL, CDRC 설계>



류 지 구(정회원)
1977년 동아대학교 전자공학과
학사 졸업.
1979년 동아대학교 전자공학과
석사 졸업.
1992년 영남대학교 전자공학과
박사 졸업.

1989년~1999년 도요하시 기술과학대학
디바이스 그룹 객원 연구원
1979년~현재 부경대학교 전자정보통신공학부
교수

<주관심분야 : RFIC, Sensor, actuator 설계>