

An Analysis of Superconducting Fault Current Limiter Operation According to Asymmetry Fault Current

이 상 봉[†] · 김 철 환^{*} · 김 규 호^{**} · 김 재 철^{***} · 현 옥 배[§]
 (Sang-Bong Rhee · Chul-Hwan Kim · Kyu-Ho Kim · Jae-Chul Kim · Ok-Bae Hyun)

Abstract - This paper analyzes a asymmetry current with SFCL (Superconducting Fault Current Limiter) operation during transient period, when a fault occurs in power systems. The principle of asymmetry current nature is reviewed and asymmetry components reduction with SFCL operation is explained. To verify the performance of SFCL, a EMTP/ATPDraw model of SFCLs using MODELS language developed and simulated. Throughout the simulation, results presents the main factors for reducing the asymmetry component of fault current are not a quenching time, but a limiting resistance of SFCL and fault initiated angle.

Key Words : Asymmetry Current, Electro-Magnetic Transients Program(EMTP), Superconducting Fault Current Limiter

1. 서 론

전력에너지의 사용 증가로 인해 전력계통은 더욱 대용량화 되고 있으며 특히, 배전계통의 경우에는 부하의 지속적 증가와 분산전원을 비롯한 전원의 다원화로 인해 규모의 증대와 더불어 계통 구성의 복잡성을 더해가고 있는 실정이다. 이러한 변화는 계통 사고 시 고장전류의 크기를 증가시키는 원인이 되어 기존 보호기기의 차단용량을 초과하므로 더 높은 차단 능력을 갖는 새로운 차단기로의 교체뿐만 아니라 전체 계통 설비의 개선이 요구된다[1].

전력계통의 고장 시 고장전류의 크기를 제한하는 한류기는 고용량의 계통에서 우선적으로 선택되는 보호기기이다. 특히, 최근에 활발히 연구되고 있는 초전도 한류기(Superconducting Fault Current Limiter : SFCL)의 경우에는 정상상태에서의 무 임피던스를 갖는 장점으로 계통적용에 대한 관심이 높아지고 있으며 새로운 보호설비 대안으로 인식되고 있다. 초전도 한류기는 정상운전 시 무 임피던스로 인해 정상운전 시 계통에 영향을 주지 않으나 사고와 같은 계통 외란 시에는 초전도 상태 이탈로 임피던스를 발생시켜 사고전류를 제한하게 된다. 따라서 기존 상전도 한류기의 장점 외에 평소 무 손실, 무 스위칭으로 계통 운용이 가능한 장점을 갖고 있다[2,3].

고장전류 제한 목적을 갖는 초전도 한류기의 적용에 있어서 계통의 적용 시 중요한 고려사항은 초전도 한류기의 동작특성 분석이다. 특히, 초전도 한류기가 퀘칭(Quenching)되어 상도체화 된 경우에서의 임피던스는 고장 전류를 제한하는 직접적인 물리량으로 계통에서의 최대 고장전류를 고려하여 결정하게 된다. 이때, 계통의 최대고장 전류는 일반적으로 전력계통의 가장 큰 사고인 3상 단락고장을 고려하여 계통내 구성되어진 보호기기의 차단용량과 비교하고 이 값을 넘지 않도록 초전도 한류기의 임피던스를 결정한다. 그러나 3상 단락고장과 같은 계통의 일반적 고장전류 특성은 고장시점 및 계통조건에 따라 그 크기나 파형의 모양이 다른 양상으로 나타나게 된다. 계통의 고장전류는 조건에 따라 초기에 dc 성분이 포함된 비대칭 전류(asymmetry current) 특성을 갖으며 이 비대칭 전류는 심한 경우 정상 고장전류의 약 2배 이상으로 최고값이 상승하게 된다[4,5].

계통의 고장시 고장전류의 정상상태 크기만을 고려하여 고장전류를 제한하는 초전도 한류기의 경우, 고장전류를 제한하는 임피던스는 고장전류의 정상상태 크기를 기준으로 정하게 된다. 이 경우에 있어서 고장시 비대칭 전류의 크기가 크게 발생하는 경우 초전도 한류기에서의 정해진 임피던스로 인해 실제 원하는 값으로 고장전류를 제한하지 못하는 경우도 발생하게 된다. 따라서 이상적인 초전도 한류기의 경우 고장검출 후 퀘칭시 한류 임피던스가 고장전류 변화에 따라 가변되는 특성을 가지도록 하는 것이다. 그러나 초전도체의 특성으로 초전도체에서 상전도체로의 변이 시간은 상당히 짧으며(1ms 이내) 이 시간동안 고장전류의 크기 변화에 대응해 발생하는 임피던스를 변화시키는 것은 상당한 어려움을 갖고 있다.

따라서, 본 논문에서는 계통의 초전도 한류기 적용을 위해 비대칭 특성을 갖는 고장전류에 대한 초전도 한류기의 동작특성을 분석하였다. 즉, 다양한 계통 사고에 대해 제한된 임피던스를 갖는 초전도 한류기의 전류제한 능력을 검토

[†] 교신저자, 정회원 : 성균관대 정보통신공학부 전력IT센터
 선임연구원 공박

E-mail : rrsd@naver.com

* 펠로우회원 : 성균관대 정보통신공학부 교수 · 공박

** 정 회원 : 한경대학교 전기공학과 조교수 · 공박

*** 펠로우회원 : 숭실대 공대 전기공학부 교수 · 공박

§ 정 회원 : 한전 전력연구원 수석연구원 · 공박

접수일자 : 2008년 12월 30일

최종완료 : 2009년 1월 29일

하였으며 이를 위해 EMTP(Electro-Magnetic Transient Program)를 이용해 모의시험하고 검증하였다.

2. 고장전류 특성

2.1 비대칭 고장전류

계통에 고장이 발생하면 고장시 계통 및 고장 조건에 따라 고장전류의 양상도 다르게 된다. 특히, 계통 임피던스의 유도성분은 고장이 발생한 직후의 과도상태에서 시간축 대칭이 아닌 전류의 진동을 일으키며 일정시간 이후 소멸하는 특성을 유발하게 되며 이에 대한 영향으로 나타나는 전류를 비대칭 고장전류(asymmetry fault current)라 한다.

비대칭 전류는 시간축에 대칭인 교류성분(ac component)과 시간에 따라 소멸하는 직류성분(dc component)로 구성되며 교류성분 전류의 offset을 유발한다. 이때, offset의 정도는 사고시 계통의 X/R의 비와 고장 발생 시점의 전압 위상각에 의해 그 값이 결정된다.

그림 1과 같은 저항과 인덕터가 연결된 직렬 R-L회로에서의 전류는 전압방정식에 관한 미분방정식의 해로 구할 수 있고 식 (1)과 같다[4-7].

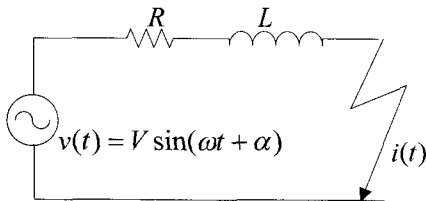


그림 1 직렬 RL 회로
Fig. 1 Series RL circuit

$$i(t) = i_{ac}(t) + i_{dc}(t) \tag{1}$$

$$= \frac{\sqrt{2} V}{Z} [\sin(\omega t + \alpha - \theta) - \sin(\alpha - \theta)e^{-t/T}]$$

where,

전원전압 : $v(t) = \sqrt{2} V \sin(\omega t + \alpha)$

α : 사고시 전원위상

X : ωL

$Z = \sqrt{R^2 + X^2}$, $\theta = \tan^{-1}(\omega L/R)$, $T = X/R$

식 (1)에서와 같이 고장전류의 크기는 ac성분을 기본으로 해서 dc성분에 의한 offset 정도에 따라 그 크기가 결정된다. Offset 정도는 회로의 저항, 리액턴스, 사고시 전원위상에 따라 결정되며 그림 2는 고장전류의 시간에 따른 변화를 나타낸 일반적 파형이다.

2.2 비대칭 고장전류 크기

비대칭 고장전류의 과도시간에서 크기는 dc 성분의 크기와 직접적인 관계를 갖으며 회로의 저항과 리액턴스 값이 정해진 경우에서의 크기 변화 범위는 식 (2)에서와 같이 0에서부터 $\sqrt{2}|i_{ac}|$ 이다.

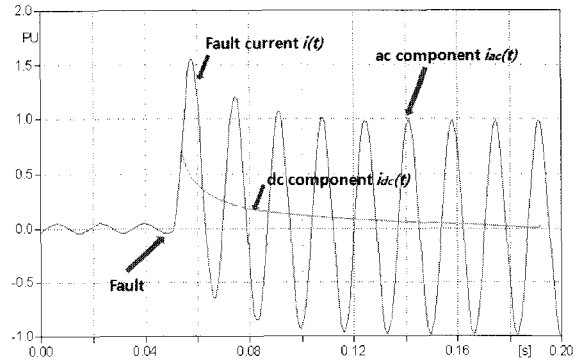


그림 2 고장전류의 시간특성
Fig. 2 Time behavior of the fault current

$$|i_{dc}| = \begin{cases} 0, & \text{when } \alpha = \theta \\ \sqrt{2} \frac{V}{Z}, & \text{when } \alpha = (\theta \pm \frac{\pi}{2}) \end{cases} \tag{2}$$

따라서, dc 성분은 고장 발생시의 위상 및 회로의 저항, 리액턴스 비율과 밀접한 관계가 있으며 고장 발생각에 따라 초기에 발생하는 고장 전류의 크기가 결정된다.

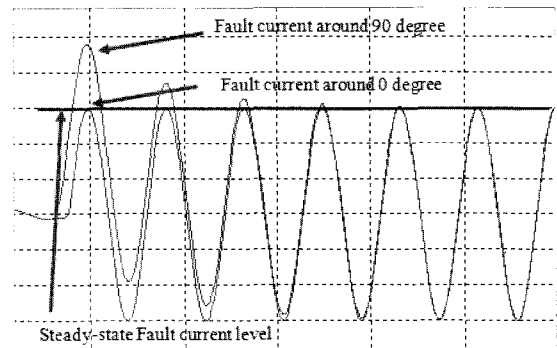


그림 3 고장각에 따른 고장전류 양상
Fig. 3 Fault Currents According to Fault Angle

그림 3은 고장전류의 파형이며 고장 발생시의 위상에 따라 그 크기가 결정됨을 알 수 있다. 즉, 회로의 저항, 리액턴스 성분에 의한 식 (2)의 θ 가 상당히 작은 경우 전압의 위상을 기준으로 90도 일 경우 최대 고장전류, 0도일 경우에는 steady-state 고장전류 값과 거의 동일한 것을 확인할 수 있다. 따라서, 일반적인 초전도 한류기의 한류 임피던스는 계통의 steady-state 고장전류를 기준으로 정하는데 이 같은 경우 즉, 90도 부근의 고장이 발생할 경우에는 과도시에 발생하는 비대칭 전류의 영향으로 계통내 보호기기 및 설비는 큰 충격을 받을 수 있으며 심지어는 차단기의 차단전류 이내로 고장전류를 제한하지 못하는 경우도 발생할 수 있다.

3. 비대칭 고장전류에 따른 초전도 한류기 동작 특성

3.1 초전도 한류기

초전도 한류기는 상전도체로의 전이시 발생하는 임피던스의 종류에 의해 저항형과 유도형으로 구분할 수 있으며 본

논문에서는 사고시 발생하는 임피던스가 저항값만을 갖는 저항형 초전도 한류기의 특성을 분석하였다. 그림 4는 저항형 한류기의 동작특성을 나타낸다[8]. 여기서, 한류기의 최종 저항값인 R_{final} 에 의해 제한 되는 고장전류의 크기가 결정된다.

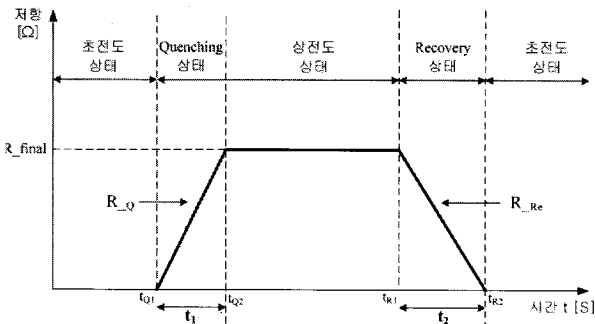


그림 4 초전도 한류기 동작 특성
Fig. 4 An Operation Characteristic of SFCL

3.2 고장각에 따른 비대칭 고장전류

고장각에 따른 비대칭 고장전류 분석을 위해 그림 5와 같은 계통을 고려하였으며 사용한 데이터는 표 1과 같다. 고장은 선로 말단에서 발생하도록 하였으며 비대칭 전류의 영향을 정확히 분석하고자 단상 계통으로 모의 하였다. 계통에서 초전도 한류기는 연결되지 않은 상황을 고려하였다.

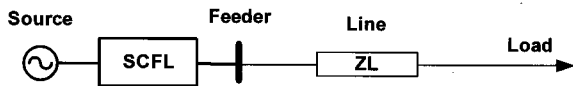


그림 5 모의계통
Fig. 5 Case system

표 1 모의계통 데이터
Table 1 Case system data

항 목	Value
전원전압 (kV)	13.2
선로 (X/R)	10
부하임피던스 (ohm)	100+j50
SFCL 동작전류 (A)	300
SFCL 한류저항 (ohm)	2, 5
SFCL 퀘칭시간 (ms)	0.01, 0.1, 1

그림 6은 초전도 한류기가 없는 경우에서의 고장전류 파형을 나타낸다. 계통고장이 전압의 위상을 기준으로 하는 경우와는 반대로 전류위상을 기준으로 0도에서 발생하는 경우 19.9[pu], 90도에서 발생하는 경우에는 12.0[pu]로 고장 전류의 최대값이 많은 차이를 나타내는 것을 알 수 있다.

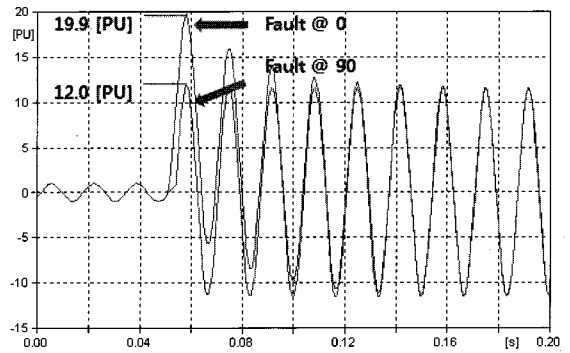


그림 6 고장전류 (without SFCL)
Fig. 6 Fault current (without SFCL)

표 2에서는 전류를 기준으로 한 고장각에 따른 고장전류의 최대값(I_{peak}) 과 고장전류 최대값과 정상상태 고장전류 ($I_{s.state}$)와의 비를 계산하였다. 고장전류의 크기는 식 (2)에서와 같이 고장각 90도 부근에서 가장 적으며 0도 부근의 고장에서 가장 큰 값을 가짐을 알 수 있다. 따라서 고장이 어느 시점에서 발생하는냐에 따라 고장전류중 dc성분의 포함 여부를 알수 있고 이에 따라 비대칭 고장전류의 크기를 예측할 수 있게 된다.

표 2 고장각에 따른 고장전류 크기
Table 2 Fault current magnitude according to fault angle

고장각 α (도)	I_{peak} (PU)	$\frac{I_{peak}}{I_{s.state}}$
-15	19.55	1.67
0	19.98	1.70
15	19.84	1.69
30	19.11	1.63
45	17.82	1.52
60	16.01	1.37
75	13.81	1.18
90	12.00	1.02
115	13.89	1.18

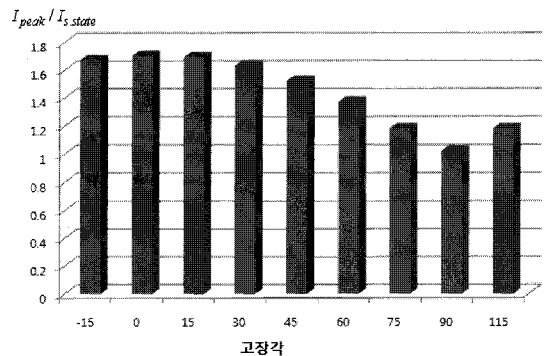


그림 7 고장각에 따른 고장전류비($I_{peak}/I_{s.state}$)
Fig. 7 The ratio of fault current ($I_{peak}/I_{s.state}$)

4. 초전도 한류기 동작에 따른 비대칭 고장전류

초전도 한류기의 비대칭 고장 전류제한 특성을 모의시험을 통해 확인 하였다. 고장전류의 크기는 전에 확인한 바와 같이 고장 발생시의 위상에 따라 전류의 최대값이 변하므로 초전도 한류기의 고정된 한류저항으로는 원하는 고장전류 저감 효과를 얻을 수 없게 된다. 모델링된 초전도 한류기는 그림 4의 특성을 EMTP/MODELS 언어를 통해 하나의 회로소자로 구현하였으며 그림 8은 모델링된 초전도 한류기와 모의시험을 위한 EMTP/ATPDraw 회로를 나타낸다.

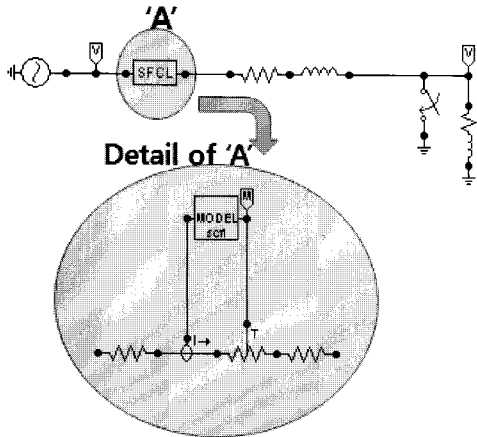


그림 8 EMTP/ATPDraw 모의계통
Fig. 8 Simulation system of EMTP/ATPDraw

초전도 한류기의 동작 특성에 따라 변화되는 비대칭 고장 전류의 양상을 분석하고자 다음과 같은 한류기의 특성 변화를 적용하고 더불어 고장 발생 각도(0, 90도)를 다르게 적용하였다.

- case 1 : SFCL 켜칭시간 변화 (그림 4의 $t_1[s]$ 변화)
- case 2 : SFCL 한류저항 변화 (그림 4의 $R_{final}[\Omega]$ 변화)

켄칭시간은 0.01, 0.1, 1[ms] 의 단계, 한류저항은 2, 5옴 두 가지 값에 대한 비대칭 고장전류의 값을 분석하였다. 초전도 한류기의 고장인식에 대한 동작 전류는 모의 계통의 정격전류 120[A]의 약 2.5배인 300[A]로 결정하여 모의 하였다.

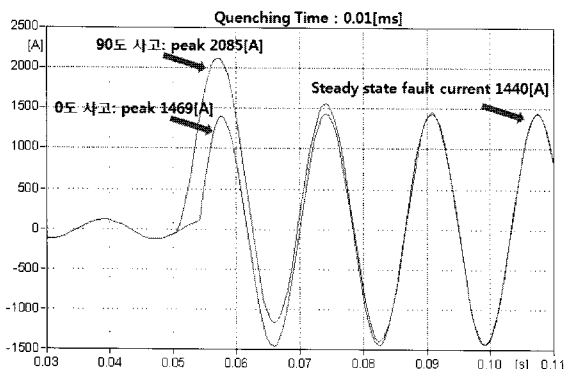


그림 9 SFCL투입시 고장전류 (켄칭타임 0.01[ms], R=2옴)
Fig. 9 Fault current with SFCL (Quenching time 0.01[ms], R= 2ohm)

표 3 Case 1, 2 결과

Table 3 Results of the case 1 and 2

켄칭시간(t_1)		0.01 [ms]		0.1 [ms]		1 [ms]	
고장각		0°	90°	0°	90°	0°	90°
고장전류비	2 [Ω]*	1.45	1.02	1.45	1.02	1.47	1.01
	5 [Ω]*	1.32	1.02	1.33	1.04	1.39	1.07

* 한류저항 ($R_{final} [\Omega]$)

표 3은 case 1, 2에 대한 결과를 나타냈는데, 초전도 한류기의 켄칭 시간, 고장 발생각을 비교하는 경우 켄칭 시간 보다는 고장 발생각에 의해 고장전류의 크기가 더 영향을 받음을 확인할 수 있다. 즉, 고장이 전류기준으로 90도에서 발생하는 경우 초전도 한류기의 투입여부에 관계없이 비대칭 고장 전류가 거의 없음을 확인할 수 있다. 그러나 0도에서 고장이 발생하는 경우 비대칭 고장전류 발생으로 고장 전류의 피크값은 커지나 초전도 한류기의 한류저항에 의해 그 최대값이 제한됨을 알 수 있다. 이를 통해, 일단 고장이 발생한 경우 초전도 한류기를 통해 고장전류의 비대칭 성분을 감소시키고자 하는 경우 그림 10에서와 같이 빠른 켄칭 타임과 높은 한류저항 값을 갖는 초전도 한류기의 투입이 효과적임을 알 수 있다.

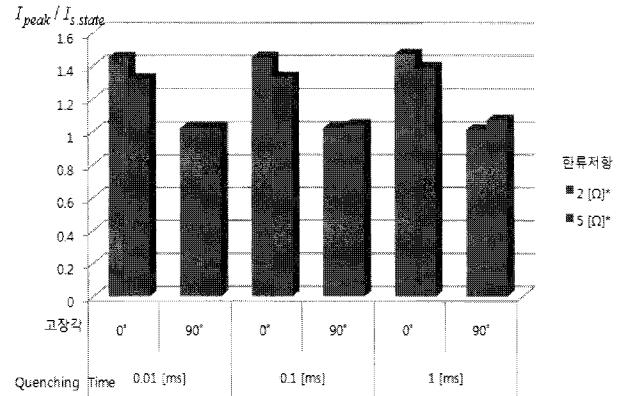


그림 10 초전도 한류기 투입시 고장전류비
Fig. 10 The fault current ratio with SFCL

5. 결 론

본 논문에서는 계통 고장시 발생하는 비대칭 고장전류 저감을 위한 선행 연구로 비대칭 고장전류 특성 확인과 초전도 한류기 투입에 따른 영향을 분석하였다. 이를 위해, 비대칭 고장전류 발생 여부 결정요인과 일단 발생된 비대칭 고장전류저감 방안에 대해 모의시험을 통해 확인 하였다. 고장 발생시 한류저항의 투입 시간을 결정하는 초전도 한류기의 켄칭시간의 비대칭 고장전류 저감 효과는 작음을 확인 하였고 대신에 초전도 한류기의 한류 저항크기가 비대칭 고장 전류의 저감 효과가 큰 것으로 확인 하였다. 그러나 큰 값의 한류저항은 고장이 진전된 후의 정상상태 고장전류 크기도

제한하게 되므로 무한정 크게 할 수는 없으며 계통에서 필요한 적절한 값을 선택하는 것이 중요하다고 판단된다.

향후 연구로는 본 연구 결과를 바탕으로 비대칭 고장 전류성분 저감을 위한 초전도 한류기 동작에 관한 연구가 필요할 것으로 사료된다.

감사의 글

본 연구는 21세기프론티어 연구개발사업인 차세대 초전도응용기술개발 사업단의 연구비 지원에 의해 행되었습니다.

참 고 문 헌

- [1] Alex Y. Wh, Yuexin Yin, "Fault-Current Limiter Applications in Medium- and High-Voltage Power Distribution Systems", IEEE Trans. on Industry Application, Vol. 34, No. 1, Jan./Feb.,1998.
- [2] Michael Steurer, Klaus Frohlich, "CURRENT LIMITERS - STATE OF THE ART", Fourth Workshop & Conference on EHV Technology, July 1998.
- [3] Vladimir Sokolovsky, Victor Meerovich, Shaul Goren, Istvan Vajda, "Study of the Quench Conditions in Superconducting Current Limiters", IEEE Trans. on Applied Superconductivity, Vol. 11, No. 1, Mar. 2001.
- [4] J. Ducan Glover, Mulukutra S. Sarma, "Power System Analysis and Design", BOOKS/COLE, 3rd ed., 2002
- [5] P. M. Anderson, "Power System Protection", Power Math Associates, Inc., 1998
- [6] Ismail Kasikci, "Short Circuit in Power Systems", Wiley-VCH, 2002
- [7] Hermann W. Reichnstein, Juan C. Gomez, "Relationship of X/R, Ip, and Irms to Asymmetry in Resistance/Reactance Circuits", IEEE Trans. on Industry Application, Vol. IA-21, No. 2, March/April, 1985
- [8] H.-R. Kim, S.-W. Yim, S.-Y. Oh, O.-B. Hyun, "Analysis on recovery in Au/YBCO thin film meander lines", Progress in Superconductivity, Vol. 9, No.1, pp.119-125, 2007.

저 자 소 개



이 상 봉 (李 相 奉)

1968년 2월 22일생. 1994년 한양대 전기공학과 졸업. 1999년 동 대학원 전기공학과 졸업(석사). 2004년 동 대학원 전기공학과 졸업(공학박사). 현재 성균관대학교 전력IT 인력양성센터 선임연구원



김 철 환 (金 喆 換)

1961년 1월 10일생. 1982년 성균관대 전기공학과 졸업. 1990년 동 대학원 전기공학과 졸업(공학박사). 현재 성균관대 정보통신공학부 교수, 전력IT인력양성센터 센터장

Tel : 031-290-7124
Fax : 031-290-7179
E-mail : hmwkim@hanmail.net



김 규 호 (金 圭 浩)

1966년 3월 8일생. 1988년 한양대 공대 전기공학과 졸업. 1990년 동 대학원 전기공학과 졸업(석사). 1996년 동 대학원 전기공학과 졸업(공학박사). 1996년 안산공과대학 전기과 교수. 현재 한경대학교 전기공학과 교수



김 재 철 (金 載 哲)

1955년 7월 22일생. 1979년 숭실대 전기공학과 졸업. 1983년 서울대 대학원 전기공학과 졸업(석사). 1987년 동 대학원 전기공학과 졸업(박사). 현재 숭실대 전기공학과 교수

Tel : (02) 817-0647
Fax : (02) 817-0870
E-mai : jckim@ssu.ac.kr



현 옥 배 (玄 錡 培)

1953년 2월 11일생. 1976년 연세대 물리학과 졸업, 1987년 Iowa State Univ. 대학원 물리학과 졸업(이학박사), Ames Lab., NIST, ISTEC 연구원 역임, 현재 한전 전력연구원 수석연구원

Tel : (042) 865-7510
Fax : (042) 865-5206
E-mai : hyun@kepri.re.kr