

디코더 면적을 줄이는 새로운 전류구동 셀 매트릭스 DAC 구조

논 문
58-3-29

A Novel Current Steering Cell Matrix DAC Architecture with Reduced Decoder Area

정 상 훈* · 신 홍 규** · 조 성 익†
(Sang-Hun Jeong · Hong-Gyu Shin · Seong-Ik Cho)

Abstract - This paper presents a novel current steering cell matrix DAC(digital-to-analog converter) architecture to reduce decoder area. The current cell matrix of a existing architecture is selected by columns and lows thermometer code decoder of input bits. But The current cell matrix of a proposal architecture is divided $2n$ by the thermometer code decoder of upper input bits and are selected by the thermometer code decoder of middle and lower input bits. Because of this configuration, decoder numbers have increased. But the gate number that composed of decoder has decreased.. In case of the designed 8 bit current steering cell matrix DAC, the gate number of decoder has decreased by about 55% in comparison with a existing architecture.

Key Words : Current steering DAC, Cell matrix DAC

1. 서 론

DMB(Digital Multimedia Broadcasting), 휴대폰, PDA(Personal Digital Assistants), PMP(Portable Multimedia Player) 그리고 노트북(note book) 등과 같은 영상신호시스템의 보급이 확산되면서 DAC(Digital-to-Analog Converter)의 필요성이 증대되고 있다.[1]

영상 신호시스템에서 사용되는 DAC는 높은 해상도와 빠른 변환 속도가 요구되어 진다.[2] 이러한 고속 고해상도 DAC의 대부분은 동작 속도 및 선형성에서 장점을 갖는 전류 구동(current steering) 방식을 이용하여 구현된다.[2]

이러한 전류 구동 방식의 DAC는 크게 이진 가중치(binary weighted value) 기법 및 셀 매트릭스(cell matrix) 기법을 이용하여 설계되어진다. 이진 가중치 기법의 설계는 작은 면적과 동작 속도가 높은 장점이 있다. 그러나 공정상의 부정합에 민감하고 클리치 에너지가 크다는 단점이 있는 반면 셀 매트릭스 기법은 행(column)과 열(row)의 온도계 코드 디코더(thermometer code decoder)에 의하여 코드 변환 시 on 되거나 off 되는 전류 셀의 개수가 최소화 되므로 클리치 에너지가 작으면서 단조 도를 보장하는 장점으로 인해 높은 해상도를 필요로 하는 DAC에 많이 쓰이는 추세에 있다.

또한 셀 매트릭스 구성 시 단위 전류 원 셀을 순차적으로 추가하여 사용하므로 전류 원 셀에 발생하는 부정합이 적으며 셀 매트릭스의 전류 원 셀이 켜지는 순서를 적절히 조정하는 구성 방법을 이용하면 선형성을 크게 증가시킬 수도 있다. 그러나 온도계 코드 디코더 사용으로 인하여 전력 소모 및 면적이 증가한다는 단점이 있다.[3]

그러므로 본 논문에서는 전류구동 방식의 셀 매트릭스 DAC 구조에서 행과 열 온도계 코드 디코더를 구성하는 게이트 수를 줄일 수 있는 새로운 방법을 적용하여 DAC 면적을 줄이기 위한 구조를 제안하고자 한다. 기존의 전류구동 셀 매트릭스(current steering cell matrix) 구조는 행과 열의 온도계 코드 디코더 출력이 단위 전류 원 셀 매트릭스를 선택하는 방법으로 구성되어 있다. 반면 제안하는 새로운 DAC 구조는 중간비트(middle bit)와 하위비트(lower bit)를 입력으로 가지는 행과 열 온도계 코드 디코더 이외에 상위비트(upper bit)를 가지는 UB(Upper Bit) 온도계 코드 디코더를 추가하여 기존의 하나의 셀 매트릭스를 $2N$ 개로 분할한 후 행과 열을 선택하는 방식이다. 이와 같은 방식으로 구성하면 디코더 수는 증가하지만 디코더를 구성하는 게이트 수는 줄어든다.

본 논문의 II장에서는 기존에 사용되는 전류구동 셀 매트릭스(unit current-cell matrix) DAC 구조, III장에서는 행과 열 온도계 코드 디코더의 게이트 수를 줄일 수 있는 DAC 구조 제안, IV 장에서는 제안된 DAC의 시뮬레이션 및 고찰, 그리고 V장에서는 결론에 대하여 기술한다.

† 교신저자, 정회원 : 전북대학교 공과대학 전자정보공학부 조교수 공학박사

E-mail : sicho@chonbuk.ac.kr

* 준 회 원 : 전북대학교 공과대학 전자정보공학부 석사과정

** 정 회 원 : 원광대학교 공과대학 전기전자및정보공학부 교수 공학박사

접수일자 : 2008년 10월 17일

최종완료 : 2009년 1월 12일

II. 기존의 전류 구동 셀 매트릭스 DAC 구조

기존의 8 비트 전류구동 셀 매트릭스 DAC 구조는 그림

1과 같고, 행과 열 온도계 코드 디코더와 래치, 셀 매트릭스, 바이어스 블록으로 구성되어 있다.

셀 매트릭스 각각의 전류 원 셀(current source cell)을 선택하는 행과 열 온도계 코드 디코더는 각각의 디지털 입력을 받아들여 입력 비트수에 따라 온도계 코드 방식으로 출력하고 출력된 신호는 래치 클럭(Clock)에 동기되어 셀 매트릭스의 전류 원 셀을 선택하게 된다. 셀 매트릭스에는 각각의 전류 원 셀이 $2N-1$ 개가 들어 있고 그림 2와 같이 전류 원 셀 및 셀 선택 회로(cell select circuit)로 구성되어 있다. 셀 선택 회로는 래치를 거친 행과 열 온도계 디코더 출력 CC_i, RC_i, RC_{i+1} 를 받아 셀의 동작을 결정되고, 셀이 동작하면 I_{out}, I_{outb} 전류가 흐르게 되어 출력단 저항에 의하여 전압의 형태로 출력된다.[5-6]

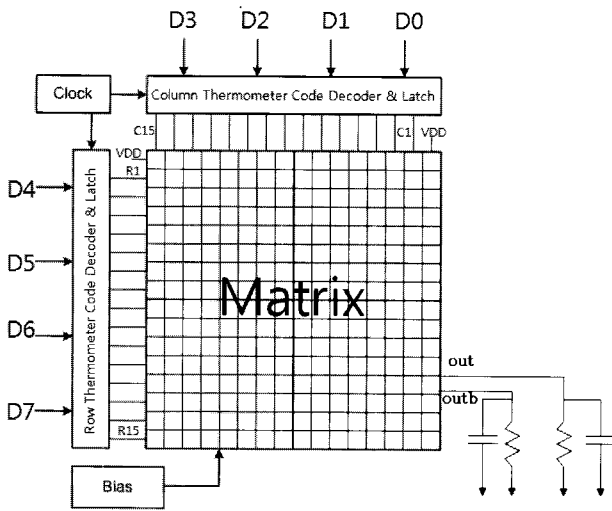


그림 1 기존 8 비트 전류구동 셀 매트릭스 DAC 구조
Fig. 1 A existing 8 bit current steering cell matrix DAC architecture

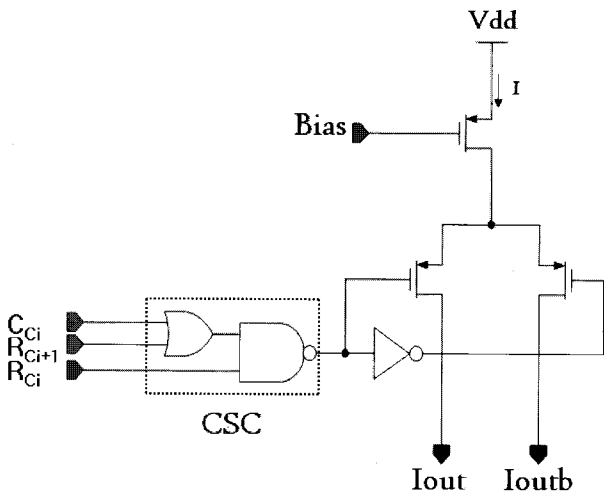


그림 2 전류 원 셀 및 셀 선택 회로
Fig. 2 Current source cell and CSC(Cell Select Circuit)

III. 제안하는 전류구동 셀 매트릭스 DAC 구조

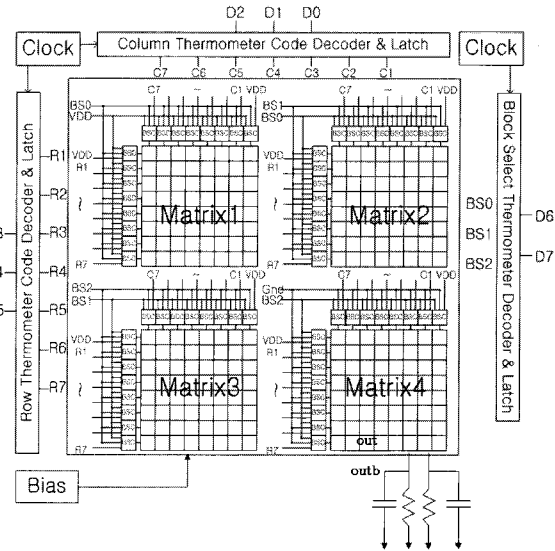


그림 3 제안하는 8 비트 전류구동 셀 매트릭스 DAC 구조
Fig. 3 Proposed a 8 bit current steering cell matrix DAC architecture

3-1. 구조

본 논문에서 제안하는 8 비트 새로운 전류구동 셀 매트릭스 DAC 구조는 그림 3과 같고, 행과 열 온도계 코드 디코더, 4개의 셀 매트릭스, 셀 매트릭스를 선택하기 위한 블록 선택 온도계 코드 디코더(block select thermometer code decoder)와 블록 선택 회로(block select circuit)로 구성되어 있다. 기존의 전류구동 셀 매트릭스 DAC 구조인 그림 1과 다른 점은 블록 선택 온도계 코드 디코더와 블록 선택 회로가 추가된다는 점이다.

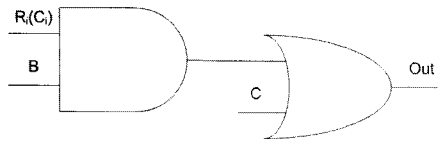
3-2. 동작원리

제안하는 DAC 구조의 동작원리는 다음과 같다.

1) 상위 입력 2 비트는 블록 선택 온도계 코드 디코더로 중간 입력 3 비트는 행 온도계 코드 디코더로 그리고 하위 입력 3 비트는 열 온도계 코드 디코더로 입력된다.

2) 셀 매트릭스는 상위 입력에 따라 $2N$ 개로 나뉜다. 나뉜 셀 매트릭스 앞단에 블록 선택 회로가 위치하며 중간 비트와 하위비트 그리고 블록 선택 코드 디코더의 출력을 입력으로 받게 된다. 블록 선택 회로는 그림 4와 같으며, AND와 OR 게이트로 구성되어 있다. $R_i(C_i)$ 는 행과 열의 온도계 코드 디코더에서 나온 신호를 받아들이는 부분이며 B와 C는 블록 선택 온도계 코드 디코더의 출력(BS_0, BS_1, BS_2) 및 VDD, GND를 받아들여 Out에 $RC_i(CC_i)$ 나 High, Gnd를 내보내게 된다. 블록 선택 온도계 코드 디코더는 각 셀 매트릭스 별로 동일하게 적용된다.

3) 블록 선택 회로에서 나온 신호는 그림 2의 셀 매트릭스의 셀 선택 회로로 들어가게 되고 셀 선택 회로는 이 신호를 받아들여 전류 원 셀이 동작 하게 한다. 셀 선택 회로의 3가지 입력이 전부 High가 들어올 경우 셀은 항상 On이 되고 전부 Low가 들어올 경우 셀은 항상 Off가 된다. 그리고 $R_i(C_i)$ 가 들어 올 경우에는 정상적으로 동작하게 된다.



III. 시뮬레이션 및 고찰

그림 4 블록 선택 회로

Fig. 4 Block Select Circuit (BSC)

다음 표 1은 각 셀 매트릭스는 블록선택회로의 입력신호인 블록 선택 코드 디코더의 출력, VDD, GND에 따라서 셀이 전부 On이 되거나, Off가 되거나, 행과 열의 온도계 코드 디코더 입력을 받아들여 동작하게 된다.

표 1 Matrix 블록 선택 및 전류 원 셀 입력

Table 1 Matrix block select and current source cell input

Block	Matrix1	Matrix2	Matrix3	Matrix4
R _i (C _i)	Input	Input	Input	Input
B	VDD	BS0	BS1	BS2
C	BS0	BS1	BS2	GND

3-3. 디코더 게이트 수 비교

8 비트 전류구동 셀 매트릭스 DAC의 경우 기존의 구조를 구성하기 위해서는 4 비트 온도계 코드 디코더 2개가 요구되지만 제안된 구조를 사용하면 3 비트 온도계 코드 디코더 2개와 2비트 온도계 코드 디코더 1개로 구성되어 디코더 수는 증가하지만 디코더를 구성하는 게이트 수가 68개에서 31개로 약 55% 줄어들게 된다. 그러므로 면적 감소 효과와 더불어 게이트 수가 줄어들어 따라 전력 소모 또한 줄어들게 된다.

다음 표 2는 각각의 입력 비트 수에 따른 기존 방식의 구조와 제안하는 구조의 디코더를 구성하는 게이트 수를 나타낸 것이다.

표 2 디코더를 구성하는 게이트 수 비교

Table 2 Gate number comparison of thermometer decoder

bit	기존의 구조			제안하는 구조			
	열 디코더 게이트수	행 디코더 게이트수	합	상위 디코더 게이트수	중간열 디코더 게이트수	하위행 디코더 게이트수	합
4bit	3[2]	3(2)	6	3{2}	1[1]	1(1)	5
5bit	14[3]	3(2)	17	3{2}	1[1]	3(2)	7
6bit	14[3]	14(3)	28	3{2}	3[2]	3(2)	9
7bit	34[4]	14(3)	48	3{2}	14[3]	3(2)	20
8bit	34[4]	34[4]	68	3{2}	14[3]	14(3)	31

[] : row input bit, () : column input bit

{ } : upper input bit

본 논문에서는, 디코더를 구성하는 게이트 수를 줄어 면적을 감소시키는 새로운 전류 구동 셀 매트릭스 DAC 구조를 검증하기 위하여 1.8V 8 비트 200MHz 전류구동 셀 매트릭스 DAC를 0.18um CMOS n-well 공정의 모델변수를 사용하여 설계하였다.

설계된 DAC를 시뮬레이션 결과 DNL은 ±0.09LSB INL은 ±0.15 LSB이며 SFDR은 입력주파수 10MHz에 변환 속도 200MS/s로 하였을 때 46.7dB가 나타났다. 그리고 설정된 15Ω의 외부저항을 통해 DAC의 출력전압 범위는 0.5V로 나타났으며 소비전력은 120mW로 나타났다.

표 3에 설계한 8비트 DAC의 특성을 요약하였고, INL, DNL, sine 코드입력 복원결과, 그리고 SFDR의 시뮬레이션 특성은 그림 5, 그림 6, 그림 7, 그리고 그림 8과 같다. 디코더를 구성하는 게이트 수에서 기존의 DAC 구조와 비교하면 제안하는 DAC 구조가 55% 감소되었고, 동작속도 면에서는 제안하는 구조가 기존 구조에 비해 각 셀에 BSC(Block Selection Circuit) 회로가 추가되었지만 Latch에 걸리는 부하는 50% 감소되어 회로의 동작속도 향상을 기대할 수 있다.

본 논문에서 제시된 방법에 의하여 설계된 DAC를 레이아웃 할 경우 분할된 매트릭스 구조로 인하여 매트릭스간의 Mismatch가 예상되나 분할된 매트릭스를 하나의 매트릭스를 레이아웃 하듯이 가까이 배치한다. 그리고 매트릭스 밖에 Dummy Cell을 배치하여 외부 영향을 줄여 Mismatch를 최소화할 수 있다.

표 3 시뮬레이션 성능특성

Table 3 Simulated performance characteristics

해상도	8 bit
변환속도	200 MHz
DNL / INL	±0.09/±0.15 LSB
SFDR(10MHz@200MS/s)	46.7dB
전력소모	120mW
공급전원	1.8V

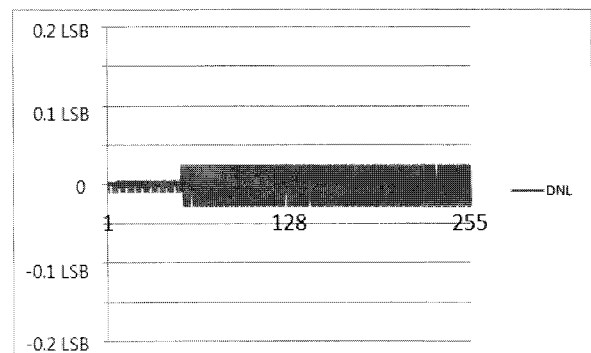


그림 5 DNL 특성

Fig. 5 DNL characteristics

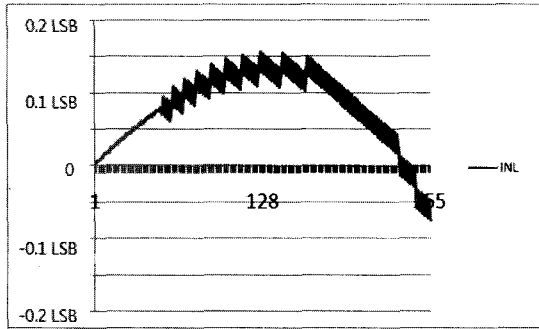


그림 6 INL 특성
Fig. 6 INL Characteristics

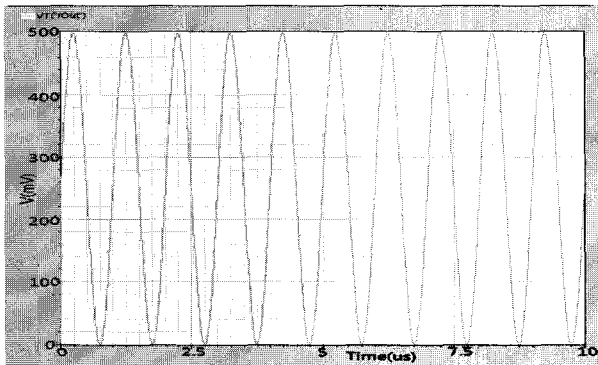


그림 7 복원된 정현 파형 특성
Fig. 7 Reconstructed sine wave characteristics

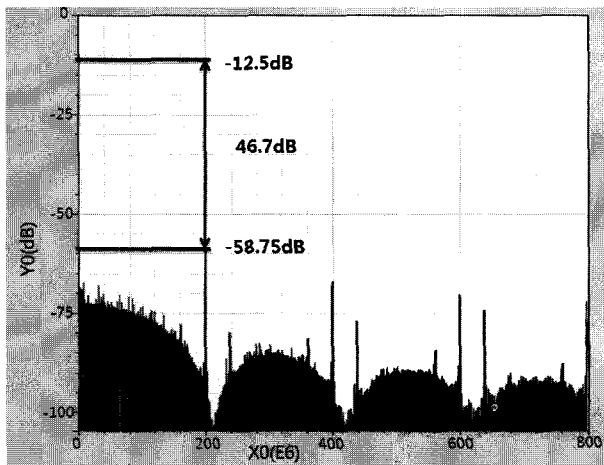


그림 8 10MHz의 신호를 200MHz로 샘플링 했을 경우 SFDR 결과
Fig. 8 The SFDR for a 10MHz signal at a 200MHz update rate.

IV. 결 론

본 논문에서는 디코더를 구성하는 게이트 수를 줄여 DAC 면적을 줄이는 새로운 구조의 전류 구동 셀 매트릭스 DAC를 제안하였다. 제안하는 구조를 사용할 경우 기존의 전류 구동 셀 매트릭스 DAC에 비해 디코더를 구성하는 게

이트를 55% 줄일 수 있었다. 또한 큰 블록인 온도계 코드 디코더를 나눔으로서 레이아웃 시 배치가 용이해 진다는 장점이 있으며 동작속도 면에서도 Latch에 걸리는 부하가 50% 감소되어 동작속도가 향상될 것으로 기대된다.

본 연구에서 제안한 구조를 이용하여 전류구동 셀 매트릭스 DAC를 설계할 경우 디코더 면적 및 전력소모를 줄일 수 있고 동작 속도를 향상 시킬 수 있어 DAC를 필요로 하는 각종 분야에 널리 응용될 수 있을 것으로 사료된다.

감사의 글

“이 논문은 2006년도 원광대학교 교비지원에 의해 수행됨”

참 고 문 헌

- [1] Gaurav Raja, Basabi Bhaumik, “16-bit segmented type current steering DAC for video application”, IEEE VLSI Design vol. 19, pp. 6, Jan. 2006.
- [2] Zhikun Hao, Ling Yuan, Weining Ni, Yin Shi, Guofa Hao, “A 10-bit CMOS 300 MHz Current-Steering D/A Converter”, ICCSC 2008. pp. 303-306, 26-28 May 2008.
- [3] 배우진 “A 14b 200MS/s 2.6 mm² 36mW 0.18um CMOS DAC Based on 2-D Current Matching Techniques”, 서강대학교 석사학위논문[2004]
- [4] Santanu Sarkar, Ravi sankar Prasad, Sanjoy Kumar Dey, Vinay Belde, Swapna Banerjee, “An 8-bit 1.8V 500MS/s CMOS DAC with a Novel Four-Stage Current Steering Architecture”, ISCAS 2008. pp 203-206, June 17 2008-April 17 2008.
- [5] Rudy van de Plassche, “CMOS Integrated Analog-To-Digital And Digital-To-Analog Converters”, Kluwer Academic Publishers. pp. 214-222.
- [6] Chun-Yueh Huang, Tsung-Tidu Hou, Hung-Yu Wang “A 12-bit 250-MHz Current-Steering DAC”, ASIC, 2005. ASICON 2005. 6th International Conference On Vol. 1, pp 411-414, oct. 2005.

저 자 소 개



정 상 훈 (丁 相 勳)

2007년 전북대학교 반도체과학기술학과 학사 졸업.

2007년~현재 전북대학교 전자정보공학부 석사과정.

주관심분야 : 저전력/고성능 A/D Converter, D/A Converter>

E-mail : shjung85@chonbuk.ac.kr



신 홍 규 (辛 烘 圭)

1975년 전북대학교 전기공학과 학사 졸업.
1989년 전북대학교 전기공학과 박사 졸업.
1982년~현재 원광대학교 전기전자및정보공학부 교수.

주관심분야: Active Filter, Low-voltage Low-power analog circuit
E-mail : hongkyu@wonkwang.ac.kr



조 성 익 (趙 成 翊)

1987년 전북대학교 전기공학과 학사 졸업.
1989년 전북대학교 전기공학과 석사 졸업.
1994년 전북대학교 전기공학과 박사 졸업.
1996년~2004년 Hynix 반도체 메모리 연구소 책임연구원

2004년~현재 전북대학교 전자정보공학부 조교수.
주관심분야 : Low Voltage/High Speed Graphic DRAM, Low-voltage Low-power analog circuit, High speed data Interface circuit, ADC/DAC, Filter, PLL/DLL >
E-mail : sicho@chonbuk.ac.kr