

논문 2009-46SD-12-1

새로운 구조의 전가산기 캐리 출력 생성회로

(A New Structural Carry-out Circuit in Full Adder)

김 영 운*, 서 해 준**, 한 세 환*, 조 태 원***

(Young-Woon Kim, Hae-Jun Seo, Se-Hwan Han, and Tae-Won Cho)

요 약

가산기는 기본적인 산술 연산 장치로써, 산술 연산 시스템 전체의 속도 및 전력소모에 결정적인 역할을 한다. 단일 비트 전가산기의 성능을 향상시키는 문제는 시스템 성능 향상의 기본적인 요소이다. 본 논문에서는 기존의 모듈 I 과 모듈 III를 거쳐 출력 Cout을 갖는 XOR-XNOR 구조와는 달리 모듈 I 을 거치지 않고 입력 A, B, Cin에 의해 모듈 III를 거쳐 출력 Cout을 갖는 새로운 구조를 이용한다. 최대 5단계의 지연단계를 2단계로 줄인 전가산기를 제안한다. 따라서 Cout 출력속도가 향상되어 리플캐리 가산기와 같은 직렬연결의 경우 더욱 좋은 성능을 나타내고 있다. 제안한 1Bit 전가산기는 static CMOS, CPL, TFA, HPSC, TSAC 전가산기에 비해 좋은 성능을 가지고 있다. 가장 좋은 성능을 나타내는 기존의 전가산기에 비해 4.3% 향상된 지연시간을 가지며 9.8%의 향상된 PDP 비율을 갖는다. 제안한 전가산기 회로는 HSPICE 툴을 이용하여 0.18 μ m CMOS 공정에 서 전력소모 및 동작속도를 측정하였으며 공급전압에 따른 특성을 비교 하였다.

Abstract

A full adders is an important component in applications of digital signal processors and microprocessors. Thus it is imperative to improve the power dissipation and operating speed for designing a full adder. We propose a new adder with modified version of conventional static CMOS and pass transistor logic. The carry-out generation circuit of the proposed full adder is different from the conventional XOR-XNOR structure. The output Cout of module III is generated from input A, B and Cin directly without passing through module I as in conventional structure. Thus output Cout is faster by reducing operation step. The proposed module III uses the static CMOS logic style, which results full-swing operation and good driving capability. The proposed 1bit full adder has the advantages over the conventional static CMOS, CPL, TGA, TFA, HPSC, 14T, and TSAC logic. The delay time is improved by 4.3% comparing to the best value known. PDP(power delay product) is improved by 9.8% comparing to the best value. Simulation has been carried out using a 0.18 μ m CMOS design rule for simulation purposes. The physical design has been verified using HSPICE.

Keywords : CMOS, Full Adder, Carry-out, PDP, Delay-time.

I. 서 론

최근 급진적으로 반도체 기술이 발전함에 따라 집적

회로(VLSI)의 집적도가 향상되고 있으며, 이동통신 및 멀티미디어의 발달로 많은 양의 데이터를 고속으로 처리하기 위한 대규모 프로세서들이 개발되고 있다. 이러한 집적회로 설계에서 동작 속도의 향상과 단위 면적 당 전력 소모를 줄이기 위한 연구가 활발하게 진행되고 있으며 저전력 및 고속 동작의 필요성이 증대되고 있다 [1]. 가산기는 기본적인 산술 연산 장치로써, 산술 연산 시스템 전체의 속도 및 전력소모에 결정적인 역할을 한다. 단일 비트 전가산기의 성능을 향상시키는 문제는

* 학생회원, ** 정회원, *** 평생회원,
충북대학교 전자정보대학 전자공학전공
(College of Electrical & Computer Engineering,
Department of Electronics Engineering)
※ 본 연구는 반도체설계교육센터(IDECE)와 한국 소프트웨어진흥원(IT-SoC)의 연구지원을 받았음.
접수일자 : 2009년7월29일, 수정완료일 : 2009년12월3일

시스템 성능 향상의 기본적인 요소인 것이다. 즉, 전가산기 회로 설계 시 전력소모를 줄이고 출력 전압의 감소를 최소화 하는 것이 중요하며 작은 공급전압에 동작하고 속도를 향상시키는 것이 중요하다. 전력소모를 줄이고 동작속도를 개선하는 방법에는 여러 가지가 있다. 예를 들면, 공급전압을 낮추는 방법, 트랜지스터 수를 줄여 회로를 간소화하는 방법, 논리회로 형태를 전환하는 방법 등 여러 가지 요소가 있다. 전가산기의 경우 여러 가지 구조로 이루어져 있으며 그 구조에 따라 각각의 장단점을 가지고 있다. 따라서 적합한 형태의 방법을 찾는 것이 중요하다^[2~4].

본 논문에서는 기존의 모듈 I 과 모듈 III를 거쳐 출력 Cout을 갖는 XOR-XNOR 구조와 달리 그림 5에서와 같이 모듈 I 을 거치지 않고 입력 A, B, Cin에 의해 모듈 III를 거쳐 출력 Cout을 갖는 새로운 구조를 이용하여 동작의 단계를 줄인 전가산기를 제안한다.

II. 기존의 전가산기 회로

과거 설계된 전가산기는 하나의 로직 형태를 이용하여 뚜렷한 각각의 장단점을 가지고 있다. 그러나 최근 더 좋은 성능을 가지고 있는 하나 이상의 로직 형태의 Hybrid 전가산기가 많이 사용되고 있다. 이 장에서는 그림 1의 기존의 static CMOS, CPL, TFA 구조 및 Hybrid (HPSC, TSAC)구조를 갖는 전가산기의 특징에 대하여 설명한다. 또한 Hybrid 전가산기의 경우 모듈 I, 모듈 II, 모듈 III로 나누어 분석 할 수 있다.

1. Static CMOS 전가산기

가장 일반적인 static CMOS^[1] 구조는 상보 대칭형인 풀업(pull-up) 블록과 풀다운(pull-down) 블록으로 이루어진 구조로써 그림 1의 (a)와 같다. 풀업과 풀다운 블록에 의해 출력은 항상 풀스윙(full-swing)하게 되어 정확한 출력을 가지며 안정적인 동작을 하는 회로이다. 그러나 nMOS 블록에 비해 이동성이 낮은 pMOS 블록에 의해 동작 속도가 느리며 pMOS 블록의 사이즈를 크게 하여 다른 구조에 비해 넓은 면적을 갖고 있다.

2. CPL 전가산기

CPL^[1] 구조는 그림 1의 (b)와 같이 패스 트랜지스터 구조로 이루어져 있으며 cross-couples 회로와 출력단의 인버터에 의해 풀스윙 동작을 하여 좋은 구동능력을

가지며 이동성이 좋은 nMOS 트랜지스터를 사용하여 동작속도가 빠르다. 그러나 내부 노드와 정적 인버터에 의해 전력소모가 크며 불규칙한 구조로 레이아웃이 어려운 것이 단점이다.

3. TFA 전가산기

TFA^[3] 구조는 XOR-XNOR의 구조를 이용하였으며 구조적으로 전력소모가 작다. 패스 트랜지스터의 다른 형태의 구조로써 전압강하 문제가 없다. Static CMOS 회로에 비해 좋은 성능을 가지고 있으나 Hybrid 회로에 비해 성능이 좋지 않다.

4. HPSC 전가산기

Hybrid 전가산기의 경우 그림 1의 (d)(e)와 같이 세 부분으로 나누어 분석 할 수 있다. HPSC^[5] 전가산기는 그림 1의 (d)와 같으며 모듈 I 은 6개의 트랜지스터로 구성되어 있다^[6]. 이 구조는 풀스윙 동작을 하기 위해 XOR와 XNOR 사이에 피드백 회로를 가지고 있다. 피드백 회로의 풀스윙 동작으로 인해 회로는 좋은 구동능력을 가지고 있으며 VDD와 GND의 직접적인 연결을 피해 전류 누설을 줄이고 있다. 그러나 A, B의 입력이 "00" 혹은 "11"일 경우 전압강하 문제로 약한 신호가 출력되어 동작속도가 느려지게 되고 전력소모가 증가하게 된다. 모듈 II는 출력단의 인버터에 의해 좋은 구동능력을 가지며 현재 가장 좋은 PDP(power delay product) 성능을 가지고 있는 구조이다^[7]. 모듈 III는 XOR, XNOR 및 Cin을 입력으로 Cout을 출력하게 된다. 이 구조는 10개의 트랜지스터로 구성된 회로로써 static CMOS 구조로 이루어져 있다. 따라서 구동능력이 좋으며 전압변화에 영향을 적게 받는다.

5. TSAC 전가산기

그림 1의 (e)는 TSAC^[8] 전가산기를 나타내고 있다. 모듈 I 은 HPSC 전가산기와 달리 뒷단의 4개의 트랜지스터에 의해 입력 A, B가 "00" 혹은 "11"일 경우에도 풀스윙이 가능하다. 모듈 II는 HPSC 전가산기와 같은 구조로 이루어져 있다. 모듈 III는 static CMOS 구조로서 풀스윙 동작을 하게 된다. 따라서 안정적인 동작을 하며 전압변화에 대한 영향이 적고 오류의 발생률이 낮다.

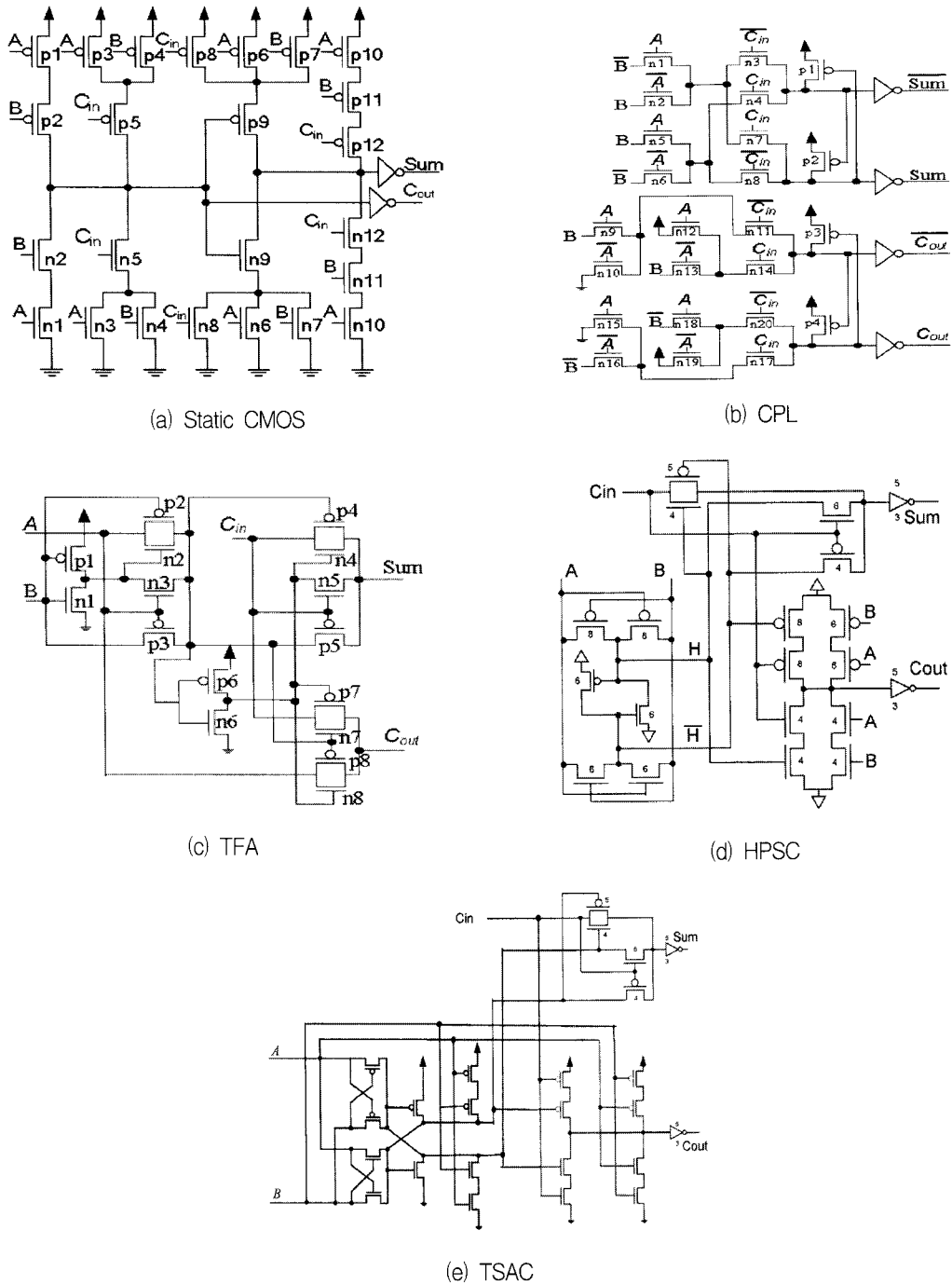


그림 1. 기존의 전가산기 회로
Fig. 1. Standard existing full adder cells.

III. Hybrid 전가산기의 구조에 따른 분류

일반적으로 1-Bit 전가산기는 입력 A, B, Cin과 출력 Sum, Cout으로 나타낸다. 일반적인 전가산기는 식 (1), (2)와 같다.

$$\text{Sum} = A \oplus B \oplus C_{in} \quad (1)$$

$$\text{Cout} = A \cdot B + C_{in} \cdot (A \oplus B) \quad (2)$$

전가산기의 출력은 수식에 의해 다양한 방법으로 나타낼 수 있고 그 수식은 회로의 구조를 결정한다.

1. XOR-XOR 전가산기

XOR-XOR구조의 출력은 식 (3), (4)와 같다. H는 A

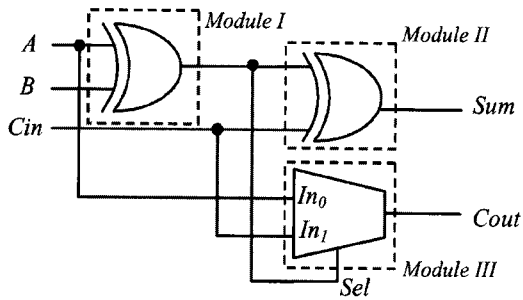


그림 2. 일반적인 XOR-XOR 전가산기 구조
Fig. 2. General form of XOR-XOR full-adder cells.

$\oplus B$ 이며 \bar{H} 는 H의 보수이다. 또한 아래 수식의 구조는 그림 2와 같다.

$$\text{Sum} = A \oplus B \oplus C_{in} = H \oplus C_{in} \quad (3)$$

$$\text{Cout} = A \cdot B + C_{in} \cdot H \quad (4)$$

그림과 같이 출력 Sum은 모듈 I 과 모듈 II의 연속적인 XOR 입력에 의해 출력값을 가지며 Cout은 모듈 I 과 모듈 III의 2-to-1 멀티플렉서에 의해 구성된다^[9-10].

2. XNOR-XNOR 전가산기

XNOR-XNOR 구조의 출력은 식 (5), (6)와 같다. 또한 식(5), (6)의 구조는 그림 3과 같다.

$$\text{Sum} = \overline{\overline{(A \oplus B)} \oplus C_{in}} = \overline{H \oplus C_{in}} \quad (5)$$

$$\text{Cout} = A \cdot \bar{H} + C_{in} \cdot H \quad (6)$$

이 구조의 모듈 I 과 모듈 II는 XNOR로 구성되어 있으며 모듈 III는 2-to-1 멀티플렉서로 구성되어 있다. 출력 Sum은 두 개의 연속적인 XNOR에 의해 나타내고 Cout은 모듈 I의 XNOR와 모듈 III의 멀티플렉서로 나타낸다^[5].

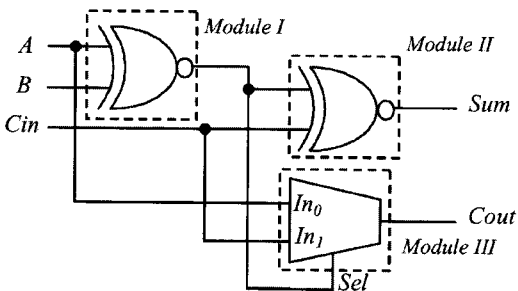


그림 3. 일반적인 XNOR-XNOR 전가산기 구조
Fig. 3. General form of XNOR-XNOR full adder cells.

3. XOR-XNOR 전가산기

XOR-XNOR구조는 식 (7), (8)과 같다. 위 수식의 구조는 그림 4와 같다.

$$\text{Sum} = H \oplus C_{in} = H \cdot \bar{C}_{in} + \bar{H} \cdot C_{in} \quad (7)$$

$$\text{Cout} = A \cdot \bar{H} + C_{in} \cdot H \quad (8)$$

그림 4와 같이 모듈 I은 XOR-XNOR로 이루어져 있으며 모듈 II와 모듈 III는 멀티플렉서로 구성되어 있다. Cin은 모듈 II, 모듈 III 멀티플렉서의 선택라인이 된다. 출력 Sum은 모듈 I의 XOR-XNOR회로와 모듈 II의 멀티플렉서에 의해 출력값을 갖는다. 또한 Cout은 XOR- XNOR와 입력 A에 의해 출력값을 갖는다^[5].

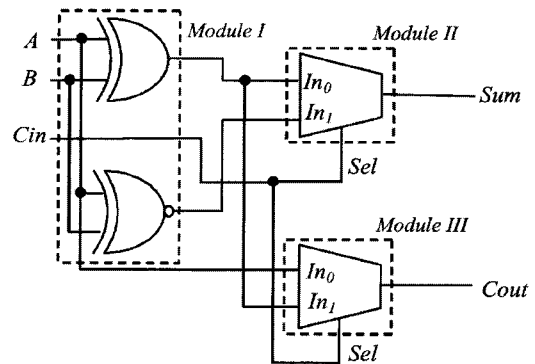


그림 4. 일반적인 XOR-XNOR 전가산기 구조
Fig. 4. General form of XOR-XNOR full adder cells.

IV. 제안한 전가산기 회로

본 논문에서 제안한 전가산기의 출력은 식 (9)(10)과 같이 나타낼 수 있다. 이 수식의 구조는 그림 5와 같다.

$$\text{Sum} = H \oplus C_{in} = H \cdot \bar{C}_{in} + \bar{H} \cdot C_{in} \quad (9)$$

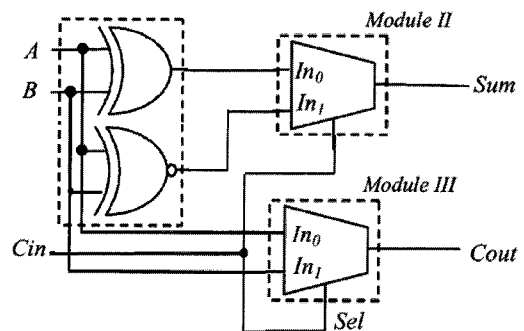


그림 5. 제안한 전가산기의 구조
Fig. 5. Proposed form of full adder cells.

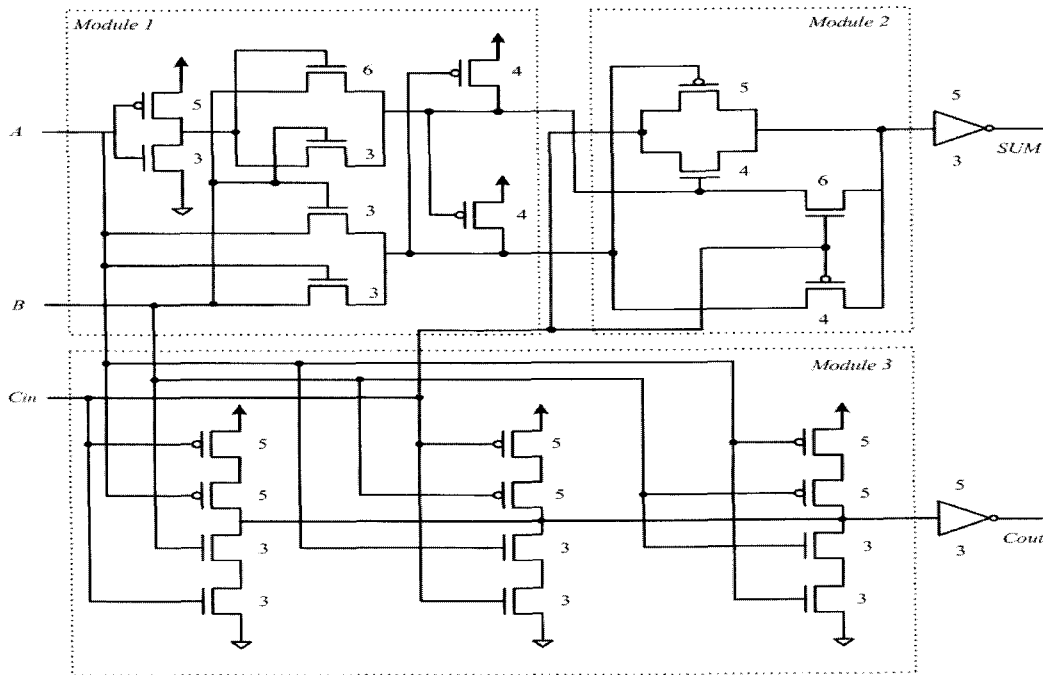


그림 6. 제안한 전가산기의 전체회로
Fig. 6. Proposed full adder cells.

$$\begin{aligned}
 \text{Cout} &= A \cdot B + \text{Cin} \cdot (A \oplus B) \\
 &= A \cdot B + \text{Cin} (\overline{A}B + A\overline{B}) \quad (10) \\
 &= A \cdot B + A \cdot \overline{B} \cdot \text{Cin} + \overline{A} \cdot B \cdot \text{Cin}
 \end{aligned}$$

출력 Sum은 XOR-XNOR와 같이 첫 번째 모듈 I의 XOR-XNOR 회로를 거쳐 모듈 II의 멀티플렉서 회로를 통해 나타내어진다. 그러나 출력 Cout은 기존의 구조와 달리 모듈 I을 거치지 않고 입력 A, B와 Cin에 의해 모듈 III를 거쳐 바로 출력이 된다. 따라서 동작속도가 빠르며 리플캐리 가산기와 같은 멀티 비트의 가산기 회로에서 더 좋은 성능을 가지고 있다. 제안한 전가산기의 모듈 I은 XOR와 XNOR를 생성하게 되며 모듈 II와 모듈 III는 출력 Sum과 Cout을 생성한다. 제안한 전가산기 회로의 전체 구조는 그림 6과 같다.

1. 모듈 I

최근에 모듈 I은 XOR-XNOR 구조가 가장 많이 사용되고 있다^[5-6]. 모듈 I은 하나의 인버터와 CPL 구조의 패스트랜지스터로 구성되어 있다. 패스트랜지스터를 이용한 회로 구조로써 이동성이 작은 nMOS로 이루어져 있어 동작속도가 빠르다. 입력 값 A, B가 “00” 혹은 “10”일 경우 풀스윙 동작을 하게 되며 “01”혹은 “11”일 경우 로우스윙 동작을 하게 된다. 로우스윙의 경우 전

압강하가 문제가 발생하게 되지만 출력단의 cross-coupled 회로에 의해 풀스윙 동작을 만들어 전압강하 문제점을 개선하고 있다.

1. 모듈 I

최근에 모듈 I은 XOR-XNOR 구조가 가장 많이 사용되고 있다^[5-6]. 모듈 I은 하나의 인버터와 CPL 구조의 패스트랜지스터로 구성되어 있다. 패스트랜지스터를 이용한 회로 구조로써 이동성이 작은 nMOS로 이루어져 있어 동작속도가 빠르다. 입력 값 A, B가 “00” 혹은 “10”일 경우 풀스윙 동작을 하게 되며 “01”혹은 “11”일 경우 로우스윙 동작을 하게 된다. 로우스윙의 경우 전압강하가 문제가 발생하게 되지만 출력단의 cross-coupled 회로에 의해 풀스윙 동작을 만들어 전압강하 문제점을 개선하고 있다.

2. 모듈 II

모듈 II는 XOR, XNOR 및 Cin을 입력으로 Sum을 출력하게 된다. 이 회로는 현재 다른 회로에 비해 가장 좋은 PDP 성능을 가지고 있다^[7]. 따라서 이 구조를 제안한 전가산기 회로에 적용하였다.

3. 모듈 III

모듈 III는 입력 A, B와 Cin에 의한 출력 Cout을 갖는 구조이다. 이 회로는 Static CMOS 구조로서 풀업과 풀다운 회로 블록에 의해 출력은 항상 풀 스윙하게 되어 정확한 출력을 가지며 안정적인 동작을 하는 회로이다. 모듈 III는 3가지 블록으로 나누어 볼 수 있으며, 입력 A, B와 Cin에 의해 하나의 블록이 동작하여 출력 Cout을 갖는다. 따라서 여러 단계를 거쳐 출력을 갖는 기존회로에 비해 빠른 동작 속도를 보이고 있다. 입력 A, B가 “00” 혹은 “11”일 경우 3번째 블록이 동작하여 출력 값을 갖게 된다. 입력이 “00”일 경우 3번째 블록의 pMOS 블록이 동작하게 되어 ‘0’을 출력하게 되며 “11”일 경우 nMOS 블록이 동작하여 출력 ‘1’을 갖게 된다. 또한 입력 A, B가 “01”일 경우 1번째 블록이 동작하게 된다. Cin이 ‘0’의 값이면 pMOS 블록이 동작을 하게 되어 ‘0’을 출력 하며 Cin이 ‘1’일 경우 nMOS 블록이 동작하여 ‘1’의 값을 출력하게 된다. 마찬가지로 입력 A, B가 “10”일 경우 2번째 블록이 동작하여 Cin에 의해 출력 값을 갖게 된다. 따라서 모듈 I을 거쳐 출력을 갖는 기존회로에 비해 빠른 Cout 출력을 갖게 되어 동작 속도가 빠르며 리플캐리와 같은 멀티 비트의 가산기에서 더욱 좋은 성능을 갖게 된다.

V. 성능 평가

이 장에서는 기존의 static CMOS, CPL, TFA, Hybrid (HPSC, TSAC) 전가산기 및 제안한 전가산기 회로의 성능 평가를 나타내고 있다. 1-Bit 전가산기와 4-Bit 및 16-Bit 리플캐리 가산기의 지연시간 및 전력 소모를 비교 분석하고 공급전압(1.8V, 1.5V, 1.2V)의 변화에 따른 시뮬레이션 결과를 비교 분석한다. 기존회로와 제안한 전가산기 회로는 0.18 μ m CMOS 공정을 이용하여 공급전압 1.8V, 주파수 100MHz에서 시뮬레이션 하였다.

1. 1-Bit 전가산기 및 4-Bit 가산기의 시뮬레이션

기존회로와 제안한 전가산기 회로는 0.18 μ m CMOS 공정을 이용하여 공급전압 1.8V, 주파수 100MHz에서 시뮬레이션 하였다.

가. 1-Bit 전가산기

표. 1은 1-Bit 전가산기 회로의 지연시간, 전력소모

표 1. 1-Bit 전가산기의 시뮬레이션 결과

Table 1. Simulation results of 1-Bit full adder.

	전력소모(uW)	지연시간(ps)	PDP(e-17)
CMOS	3.41	142.24	4.85
CPL	3.86	109.07	4.21
TFA	3.20	122.90	3.93
HPSC	3.19	122.53	3.90
TSAC	3.14	118.21	3.71
Proposed	3.21	104.42	3.35

및 PDP 비율의 결과를 나타내고 있다. 지연시간은 기존회로에 비해 가장 좋은 성능을 나타내고 있으며 PDP 비율은 기존의 static CMOS에 비해 24.8%, CPL 구조에 비해 20.5%, TFA에 비해 14.8%, HPSC에 비해 14.2%, TSAC에 비해 9.8%의 좋은 성능을 보이고 있다.

나. 4-Bit 리플캐리 가산기

리플캐리 가산기는 Cout의 동작속도를 높여 전체 4-Bit 회로의 동작속도를 높이는 것이 중요하다. 그림 7은 리플캐리 가산기의 구조를 나타내고 있으며 표. 2는 시뮬레이션 결과를 나타내고 있다. PDP 비율은 기존의 static CMOS에 비해 36.2%, CPL구조에 비해 24.9%,

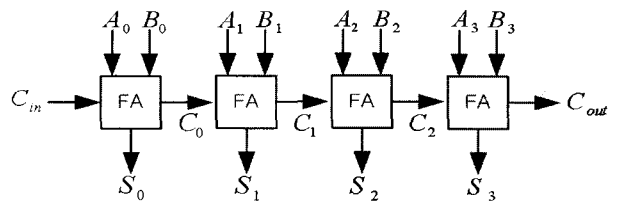


그림 7. 리플캐리 가산기의 구조

Fig. 7. RCA structures of adder.

표 2. 4-Bit 가산기의 시뮬레이션 결과

Table 2. Simulation results of 4-Bit RCA adder.

	전력소모(uW)	지연시간(ps)	PDP(e-17)
CMOS	14.70	585.04	8.60
CPL	17.03	429.54	7.31
TFA	13.94	488.62	6.81
HPSC	13.82	486.24	6.72
TSAC	13.59	464.45	6.31
Proposed	13.92	394.32	5.49

TFA에 비해 19.4%, HPSC에 비해 18.4% 그리고 TSAC에 비해 13.0%의 좋은 성능을 보이고 있다.

다. 16-Bit 리플캐리 가산기

16-Bit 리플캐리 가산기의 시뮬레이션 결과는 표. 3 과 같다. 16-Bit 리플캐리 가산기의 PDP 비율은 기존의 static CMOS에 비해 42.1%, CPL구조에 비해 27.7%, TFA에 비해 22.9%, HPSC에 비해 25.7%, TSAC에 비해 15.2%의 좋은 성능을 가지고 있다. 그림 8은 제안한 회로의 Cout 동작속도가 증가하여 1-Bit 전가산기에 비해 4-Bit 및 16-Bit 리플캐리 가산기의 PDP 비율이 더 좋은 성능을 나타내는 것을 보이고 있다.

표 3. 16-Bit 가산기의 시뮬레이션 결과
Table 3. Simulation results of 16-Bit RCA adder.

	전력소모(uW)	지연시간(ns)	PDP(e-18)
CMOS	72.44	3.01	21.85
CPL	81.04	2.16	17.50
TFA	66.98	2.44	16.35
HPSC	69.72	2.35	16.41
TSAC	66.22	2.25	14.92
Proposed	67.68	1.87	12.65

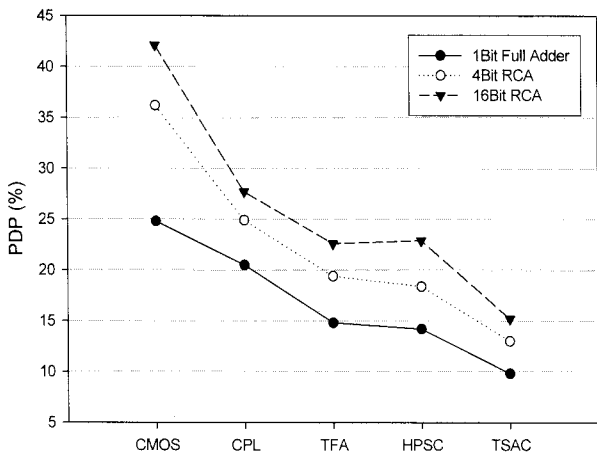


그림 8. 1-Bit 전가산기, 4-Bit 및 16-Bit 리플캐리 가산기의 PDP 비율
Fig. 8. PDP ratio of 1-Bit full adder, 4-Bit, and 16-Bit RCA adder.

2. 공급전압 변화에 따른 시뮬레이션 결과

공급 전압의 변화에 따른 시뮬레이션 결과는 표. 4와 같다. 그림 9는 공급전압 변화에 따른 전력소모를 나타

표 4. 공급전압 변화에 따른 시뮬레이션 결과
Table 4. Simulation results of supply voltage variation.

공급전압	전력소모 (uW)			지연시간 (ps)		
	1.8	1.5	1.2	1.8	1.5	1.2
CMOS	3.41	2.73	2.01	142.24	162.79	181.55
CPL	3.86	3.01	2.11	109.07	129.05	153.33
TFA	3.20	2.47	1.65	122.90	142.46	163.52
HPSC	3.19	2.42	1.67	122.53	159.22	192.24
TSAC	3.14	2.41	1.62	118.21	131.11	154.78
Proposed	3.21	2.45	1.68	104.42	124.51	143.22

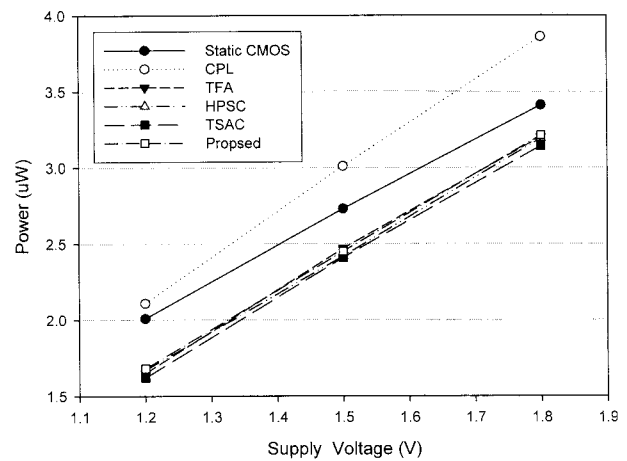


그림 9. 공급전압 변화에 따른 전력소모
Fig. 9. Power dissipation of supply voltage variation.

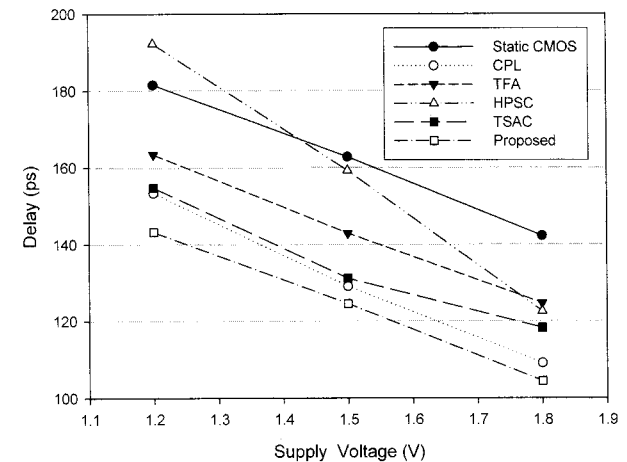


그림 10. 공급전압 변화에 따른 지연시간
Fig. 10. Delay time of supply voltage variation.

내고 있다. 전력소모는 공급전압이 낮아지면 전력소모도 선형적으로 줄어들게 된다. 그림 10은 공급전압 변화에 따른 지연시간을 나타내고 있다. 지연시간은 그림 10에서와 같이 가장 좋은 성능을 나타내고 있다. HPSC

전가산기는 공급전압이 낮아짐에 따라 지연시간의 증가율이 커지는 특징을 보이고 있다. HPSC 전가산기는 전압강하 문제로 인해 지연시간이 다른 전가산기에 비해 빠르게 증가한다. 제안한 전가산기는 전압강하의 문제점이 없고 풀스윙 하여 안정된 동작을 하며 공급전압 변화에 영향이 적다.

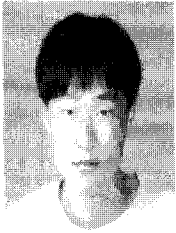
IV. 결 론

본 논문에서는 기존의 XOR-XNOR 구조와 달리 모듈 I 을 거치지 않고 입력 A, B, Cin에 의해 출력 Cout 을 갖는 전가산기를 제안하고 있다. 따라서 기존 회로의 동작의 최대 다섯 단계를 두 단계로 줄여 Cout 출력 속도가 빠르다. 모듈 III는 static CMOS로 구조로 장점인 풀스윙 동작을 가지며 안정적인 동작을 한다. 제안한 전가산기는 기존 전가산기에 비해 동작 속도가 빠르며 PDP 비율이 가장 좋다. 1Bit 전가산기의 PDP 비율은 기존 전가산기 회로에 비해 최대 24.8%에서 최소 9.8%의 좋은 성능을 갖는다. 또한 4Bit 리플캐리 가산기는 최대 36.2%에서 최소 13%의 좋은 성능을 갖는다. 16Bit 리플캐리 가산기의 PDP 비율은 기존의 static CMOS에 비해 42.1%, CPL구조에 비해 27.7%, TFA에 비해 22.9%, HPSC에 비해 25.7%, TSAC에 비해 15.2%의 좋은 성능을 보이고 있다. Cout의 출력 속도가 빨라 리플캐리 가산기와 같은 직렬연결의 경우 더 좋은 성능을 나타내고 있다. 또한 공급전압이 1.8V에서 1.2V로 낮아질 경우 HPSC 전가산기는 전압강하 문제점에 의해 지연시간이 급격히 증가하였으나 제안한 전가산기는 낮은 공급전압에서도 안정적인 동작을 한다.

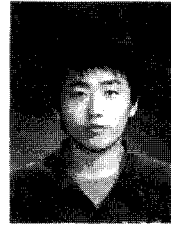
참 고 문 헌

- [1] R. Zimmermann and W. Fichtner, "Low-power logic styles: CMOS versus pass-transistor logic," *IEEE J. Solid-State Circuits*, vol. 32, no.7, pp. 1079-1090, Jul. 1997.
- [2] A. Rjoub and O. Koufopavlou, "Low-Power Domino Logic Multiplier Using Low-Swing Technique", in *Proceeding of IEEE International Conference on Electronics, Circuits and Systems*, vol. 2, pp. 45-48, 1998.
- [3] N. Zhuang and H. Wu "A New Design of the CMOS Full Adder", *IEEE Journal of Solid-Stats Circuits*, vol. 27, no. 5, pp. 840-844, May 1992.
- [4] Jyh-Ming Wang, Sung-Chuan Fang, and Wu-Shiung Feng, "New Efficient Design for XOR-XNOR Functions on the Transistor Level", *IEEE Journal of Solid-Stats Circuits*, vol. 29, no. 7, pp. 780-786, July 1994.
- [5] M. Zang, J. Gu, and C. H. Chang, "A novel hybrid pass logic with static CMOS output drive full-adder cell", in *Proc. IEEE Int. Symp. Circuit Syst.*, pp. 317-320, May. 2003.
- [6] D. Radhakrishnan, "Low-voltage low-power CMOS full adder", *IEEE Proc. Circuits Devices Syst.*, vol. 148, no. 1, pp. 19-24, Feb. 2001.
- [7] A. M. Shams, T. K. Darwish, and M. A. Bayoumi, "Performance analysis of low-power 1bit CMOS full adder cells", *IEEE Transactions VLSI Syst.*, Vol 10, no. 1, pp. 20-29, Feb. 2002.
- [8] C. H. Chang, J. Gu, and M. Zang, "A review of 0.18um full adder performances for tree structured arithmetic circuits", *IEEE Trans. VLSI syst.*, vol. 13, no. 6, pp. 668-695, Jun. 2005.
- [9] H. A. Mahmoud and M. Bayoumi, "A 10-tansistor low-power high-speed full adder cell", in *Proc. Int. Symp. Circuit syst.*, pp. I-43-46, 1999.
- [10] A. Fayed and M. A. Bayoumi, "A low-power 10 transistor full adder cell for embedded architectures", in *Proc. IEEE Int. Symp. Circuit syst.*, pp. IV-226-229, 2001.

저 자 소 개



김 영 운(학생회원)
2007년 충북대학교 전자공학과
학사 졸업
2009년 충북대학교 전자공학과
석사 졸업
<주관심분야 : 집적회로, CMOS
Image Sensor>



한 세 환(학생회원)
2009년 충북대학교 전자공학과
학사 졸업
2009년 충북대학교 전자공학과
석사 과정
<주관심분야 : 집적회로, 디지털
IC 설계, 메모리 설계>

서 해 준(정회원)
대한전자공학회 논문지
제43호 SD편 제3호 참조

조 태 원(평생회원)
대한전자공학회 논문지
제42호 SD편 제8호 참조