

논문 2009-46SD-12-5

고속 패킷 접속 규격 플랫폼 기반 연속적인 패킷 연결 프로토콜의 유연한 구조 설계

(The Flexible Design Architecture for a Continuous Packet
Connectivity Protocol on High Speed Packet Access Platform)

권현일*, 김경호**, 이충용***

(Hyunil Kwon, Kyungho Kim, and Chungyong Lee)

요약

본 논문에서는 3GPP (third generation partnership project) 릴리즈 7 고속 패킷 접속 에블루션 규격에 포함된 기능 중 기지국 수용 능력 향상, 지연 시간 단축, 그리고 단말소비 전력 감소를 목적으로 새롭게 추가된 연속적인 패킷 연결 프로토콜의 유연한 설계 구조에 대한 것이다. 상기 프로토콜이 3GPP 고속 패킷 접속 규격 기준으로 새롭게 추가된 기능에 착안하여, 기존 설계 및 검증된 고속 패킷 접속 플랫폼에서 최소한의 하드웨어 변경 및 추가만으로 상기 프로토콜이 구현되도록 고려하였다. 상기 제안된 연속적인 패킷 연결 프로토콜은 비연속적인 송/수신 모드 관련 신호 생성부와 기존 고속 패킷 접속 플랫폼과의 연동을 위한 인터페이스부로 구분된다. 마지막으로 제안된 연속적인 패킷 연결 프로토콜은 셀룰러 이동통신 분야에 적합하도록 규정화된 검증 단계에 따라 기존 고속 패킷 접속 FPGA 단말 모델 플랫폼 상에서 다양한 시나리오에 따라 검증되었다.

Abstract

In this paper, we propose the flexible design architecture for a continuous packet connectivity (CPC) protocol among additional features of 3GPP HSPA+. In order to meet a practical intellectual property (IP) reuse and the developing time reduction design goals, we utterly take a CPC protocol into account to be realized by reusing digital signal processor (DSP) IP of the proven high speed packet access (HSPA) platform with the minimum hardware modification and addition. Based on the Teak series DSP, the proposed CPC protocol is divided into discontinuous transmit and receive mode, CPC manager, and interface with the proven HSPA platform. According to the regularized verification flow for wireless cellular communication applications, the proposed CPC protocol has been verified in various test scenarios.

Keywords : HSPA, HSPA+, CPC, DTX, DRX

I. 서론

유럽형 3세대 이동통신 기술 가운데 하나로 광대역 코드 분할 다중 접속 (wideband code division multiple access, WCDMA)를 기술 표준으로 하는 Universal Mobile Telecommunication System (UMTS) 단말 전

화 통신 프로토콜의 성능 개선 및 확장을 위해 제안된 3GPP (third generation partnership project) 고속 패킷 접속 (High speed packet access, HSPA) 규격은 3GPP 릴리즈 (Release) 5 고속 하향링크 패킷 접속 (high speed downlink packet access, HSDPA)과 3GPP 릴리즈 6 고속 상향링크 패킷 접속 (high speed uplink packet access, HSUPA) 규격을 포함한다. 이후 다양한 무선 환경에서 멀티미디어 고속 데이터 처리 요구 및 사업자의 수익성 다양화를 만족시키고 동시에 3GPP 릴리즈 8 롱텀 에블루션 (LTE)와의 결절없는 천이를 위해 릴리즈 7 고속 패킷 접속 에블루션 (HSPA

* 학생회원, *** 정회원, 연세대학교 전기전자공학부
(Dept. of Electrical and Electronic Engineering,
Yonsei University)

** 정회원, 삼성전자
(Samsung Electronics)

접수일자: 2009년7월28일, 수정완료일: 2009년12월3일

evolution 또는 HSPA+ 또는 evolved HSPA 또는 eHSPA)이 제안되었는데, 무선 통신 용량 증대를 위한 다중 입출력 통신 방식 (multi-input multi-output, MIMO), 데이터 패킷을 다수 사용자들에게 동시에 전송하기 위한 멀티미디어 방송 멀티캐스트 서비스 (multimedia broadcast and multicast service, MBMS), 하향링크의 64 직교 진폭 변조와 상향링크의 16 직교 진폭 변조를 위한 고차원 변조 (higher order modulation, HOM), 그리고 CPC (continuous packet connectivity) 등의 특성이 포함된다.^[1~2] 상기 추가된 항목 중, 일시적으로 전송할 데이터가 없는 패킷 데이터 사용자의 지속적인 물리 제어채널 전송으로 발생하는 상향링크 잡음을 감소시키기 위한 연속적인 패킷 연결 프로토콜은 실제 전송할 실제 데이터의 유무와 상관없이 상향링크 전용 물리 제어채널이 지속적으로 전송되는 것을 방지함을 목적으로 제안되었으며, 상기 프로토콜의 구현을 본 논문의 목적으로 한다.

한편 기존 설계된 플랫폼에서 지원하는 항목이 일부 변경되거나 새롭게 추가되는 경우, 시간 및 비용적인 측면에서 하드웨어 재설계에 비해 쉽게 추가 및 변경이 가능한 소프트웨어 기반 구조 설계를 고려하는 것이 바람직하다. 이러한 흐름에 따라 상기 연속적인 패킷 연결 프로토콜은 기 검증된 고속 패킷 플랫폼 내 디지털 신호 프로세서를 재사용하여 구현하고자 한다.

본 논문은 II장에서 고속 패킷 접속 에볼루션에 새롭게 추가된 연속적인 패킷 연결 프로토콜에 대해 자세하게 설명하고, III장에서 본 논문에서 제안한 디지털 신호 프로세서 기반의 유연한 구조 설계에 대해 설명한다. 그리고 IV장에서 기존 패킷 연결 플랫폼 상에서 제안한 연속적인 패킷 연결 프로토콜의 검증 방법에 대해 기술 하고 마지막 V장에서 결론을 맺는다.

II. 연속적인 패킷 연결 프로토콜

일반적으로 셀룰러 이동통신 시스템에서, 일시적인 데이터 전송 비활성 구간을 위해 전용 채널들을 완전히 양도하는 것은 추후 데이터 전송 재개 시 상당한 시간 지연을 초래한다. 이를 해결하기 위해, 고속 패킷 접속 에볼루션의 연속적인 패킷 연결 프로토콜은 패킷 데이터 전송을 위한 고속 하향링크 패킷 접속 규격과 고속 상향링크 패킷 접속 규격을 지원하는 모든 FDD (frequency division duplex) 단말은 강제적으로 구현하

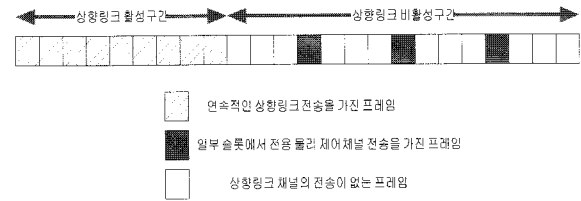


그림 1. 게이팅된 상향링크 전용 물리 제어채널 전송 예
Fig. 1. An uplink DPCCH transmission example with gating.

도록 규정되었다.^[3] 결국 일시적인 데이터 전송 비활성 구간 이후 전송 재개 시, 새로운 전용 채널 할당에 따른 지연 시간에 비해 약 50ms 이하의 짧은 시간 내 셀 처리율의 저하없이 데이터 전송 활성 전용 연결 (CELL_DCH) 상태에 있는 패킷 사용자 수 및 배터리 사용 시간을 증대시킨다. 시스템 용량 측면에서 기존 릴리즈 6 고속 상향링크 패킷 접속 규격 대비 연결 사용자 수를 최대 50% 증대시킬 수 있다. 이를 위해 새로운 전용 물리 제어채널을 위한 슬롯 구조, 비연속적인 송신 및 수신 (discontinuous transmission and reception, DTX and DRX) 그리고 고속 공유 제어채널의 사용없이 데이터 전송을 가능하게 하는 고속 공유 제어채널의 절약 모드 (high speed shared control channel less mode) 등이 제안되었다.^[3]

새로운 상향링크 전용 물리 제어채널 구조는 파일럿 비트 전송에 따른 상향링크 잡음 발생 및 단말 소비전력을 줄이고 전송 전력 제어 명령의 확장을 위해 각기 6 비트와 4 비트로 구성된다. 다음으로 비연속적인 송신 모드 지원을 위해 그림 1과 같은 게이팅 방식이 제안되었다. 데이터 전송의 활성 구간에서는 고속 상향링크 패킷 접속 시나리오가 그대로 적용되고, 비활성 구간에서는 전용 물리 제어채널 전송 대신 동기 유지를 위해 미리 정해진 게이팅된 버스트 패턴만이 전송된다. 한편 고속 하향링크 패킷 접속 주기에 따라 단말 수신기가 동작하지 않게 하는 하향링크 비연속적인 수신 모드는 상향링크 비연속적인 송신 모드 동작하에서만 추가적으로 적용된다.

III. 디지털 신호 프로세서 기반의 유연한 구조를 갖는 연속적인 패킷 연결 프로토콜

그림 2에서 보는 바와 같이, 제안된 구조의 연속적인

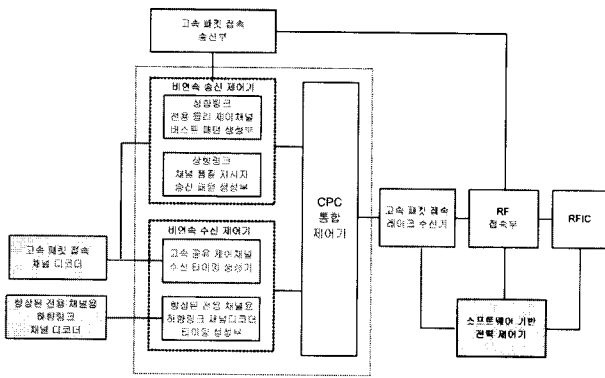


그림 2. 제안된 연속적인 패킷 연결 프로토콜의 블록도
 Fig. 2. A block diagram for the proposed CPC protocol design.

패킷 연결 프로토콜은 비연속 송수신 제어기와 이를 관리하는 CPC 통합 제어기, 그리고 기존 고속 패킷 접속 블록과의 인터페이스부로 구성된다. 한편 기 검증된 고속 패킷 접속 플랫폼에서 Teak 계열 디지털 신호 프로세서 IP는 음성 신호 처리 및 일부 복잡한 연산의 가속기 기능을 수행하며 추가적으로 제안된 구조에서는 연속적인 패킷 연결 프로토콜을 위해 재사용된다. CPC 통합 제어기는 미리 정해진 프레임 구간 동안 비연속적인 송수신 모드 설정에 따른 송수신 패턴을 예상하여 송수신 모두 동작하지 않는 구간을 기존 고속 패킷 접속 레이크 수신기에 전달해서 불필요한 동작을 미연에 방지한다. 또한 고속 패킷 접속의 파워 앰프 (power amplifier) 및 자동 이득 제어기 (automatic gain controller) 등의 RF (radio frequency) 소자들도 상기 제어기와 연결된 ARM MCU (micro controller unit)에 따라 제어된다.

한편 연속적인 패킷 연결 프로토콜은 상위 계층 혹은 고속 공유 제어채널 명령을 통해 직접 설정될 수 있다. 우선 상위 계층에 따라 설정되는 경우, 해당 명령이 수신된 후 MCU를 통해 비연속 송신 모드가 제어된다. 다음으로 고속 공유 제어채널 명령을 통해 설정되는 경우, 디지털 신호 프로세서가 비연속 송신 모드의 전반적인 동작 타이밍 등을 제어한다. 이때, 고속 공유 제어채널 명령 복조를 위해 고속 패킷 접속의 채널 디코더가 이용된다.

1. 비연속 송신 제어기

비연속 송신 제어기는 상향링크 전용 물리 제어채널 버스트 패턴과 채널 품질 저하 시점 전송 패턴을 제어하여 고속 패킷 접속의 송신부를 통해 해당 패턴을 생성한

다. 비연속 송신 모드가 설정되면, 상향링크 전송기준 타이밍인 전용 물리 채널에 따라 정렬된 슬롯 인터럽트를 모뎀에서 수신하고 디지털 신호 프로세서는 각 슬롯과 서브 프레임 경계 마다 관련 동작을 수행한다.

한편 고속 공유 제어채널 명령만으로 비연속 송신 모드가 설정 혹은 해제되는 경우, 대기 상태에서 고속 패킷 접속 채널의 디코더에 관련 명령이 수신되고 디코딩 결과 비연속 송신 모드가 설정되면, 해당 레지스터의 유효성 확인 후 초기 버스트 패턴을 생성하고 고속 공유 제어채널 명령에 의한 비연속 송신 모드 설정을 나타내는 레지스터를 추가적으로 설정한다. 그리고 상위 계층 또는 물리 채널을 통한 비연속 송신 모드 설정을 나타내는 레지스터를 설정되고 MCU에게 이를 보고한다. 다음으로 비연속 송신 모드가 해제되는 경우, 설정되었던 상위 계층 또는 물리 채널을 통한 비연속 송신 모드 설정을 나타내는 레지스터를 해제하고 이를 MCU에게 통보하고 관련 동작을 끝낸다.

가. 상향링크 전용 물리 제어채널 버스트 패턴 생성부
 비연속 송신 모드가 설정된 후, 전용 물리 제어채널 대신 전송되는 버스트 패턴은 아래 DpccH/D/Q/A에 해당되는 향상된 전용 채널 그리고 채널 품질 저하자 전송 등이 있는 경우에만 생성 및 전송된다. 한편, 버스트 패턴의 송신사이클은 정해진 문턱값에 따라 짧은 구간을 위한 비연속 송신사이클1과 긴 구간을 위한 비연속 송신사이클2 (비연속 송신사이클1의 배수)로 구분되는데, 송신사이클 개수 증감 동작은 디지털 신호 프로세서의 상태 머신 동작을 통해 이루어진다.

- DpccH : 상향링크 전용 물리 제어채널의 버스트 패턴 전송이 있는 경우
- DpccD : 향상된 전용 채널 전송이 있는 경우
- DpccQ : 고속 전용 물리 제어채널 내 채널 품질 저하자 전송이 있는 경우
- DpccA : 고속 전용 물리 제어채널 내 에러가 탐지된 패킷 재전송을 위한 HARQ (hybrid automatic request) 응답 전송이 있는 경우

디지털 신호 프로세서는 비연속 송신 모드가 설정되고 상향링크 전용 물리 제어채널이 상기 분류한 DpccH/D/Q/A와 결합되는 경우에만 해당 레지스터를 설정하고 고속 패킷 접속의 송신부와 연결되어 그림 3

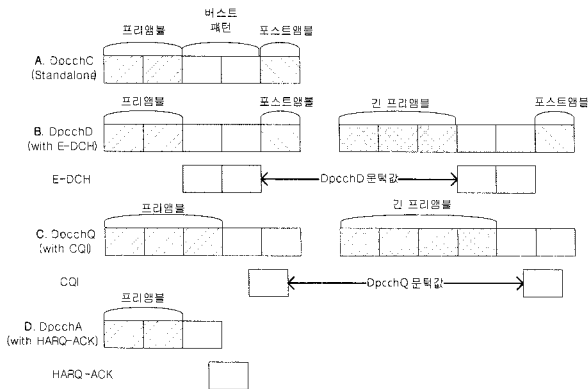


그림 3. (긴) 프리앰블과 포스트앰블 연결 과정을 포함한 상향링크 전용 물리 제어채널의 버스트 패턴 생성 예
 Fig. 3. An uplink DPCCH burst pattern generation example with the (long) preamble and postamble concatenation.

과 같이 해당 버스트 패턴들을 생성한다. 한편 DpcchD/Q 경우 향상된 전용채널 및 채널 품질 지시자의 전송 간격이 특정 비활성 문턱값 (InactThreshold)을 넘는 경우, 프래앰블 대신 긴 프리앰블이 적용된다. 한편, 버스트 패턴 전송 시 전력 제어를 위해 두 슬롯의 프리앰블과 한 슬롯 포스트앰블이 DpcchC/D/Q/A 구분에 따라 버스트 패턴마다 각기 연결된다.

나. 상향링크 채널 품질 지시자 전송 패턴 생성부

채널 품질 지시자 관련 동작은 우선순위에 따라 해당 레지스터 값이 0이면 비연속 송신 모드에서 채널 품질 지시자 (Channel Quality Indicator, CQI) 전송이 상향링크 전용 물리 제어채널 버스트 패턴보다 우선순위가 낮아 상향링크 전용 물리 제어채널 버스트 패턴과 겹치는 시작점에서만 채널 품질 지시자를 전송한다. 해당 레지스터 값이 1이면 채널 품질 지시자를 해당 전송 패턴을 만족하는 고속 전용 물리 제어채널 서브 프레임에 전송한다.

2. 비연속 수신 제어기

먼저 비연속 송신 모드가 설정된 후, 정해진 구간 동안 향상된 전용 채널 송신이 없는 경우 비연속 수신 모드가 추가적으로 설정된다. 비연속 수신 모드가 설정되면, 디지털 신호 프로세서는 단말의 수신 기능을 끄고 정해진 동작 사이클에서만 깨어나서 수신 기능의 재 동작 여부를 확인한다. 여기서 디지털 신호 프로세서는 비연속 송신사이클과 고속 공유 제어채널 수신 타이밍

에 따라 송신 타이밍을 관리한다. 이때 단편화된 전용 물리채널 외 비연속적인 고속 공유 제어채널과 향상된 전용 채널 (E-HICH/AGCH/RGCH) 관련 채널 수신을 위한 타이밍 생성이 디지털 신호 프로세서에 의해 제어된다. 한편, 비연속 송신 모드가 멈추면 비연속 수신 모드는 자동적으로 해제된다.

3. RF 소자들의 전력 제어

실제 전력 감소를 위해서는 비연속 송수신 모드 설정과 함께 고속 패킷 접속의 소프트웨어 기반 전력 제어기에 의해 비활성 데이터 전송 구간 동안 RF 소자들의 전원도 제어된다. 이에 해당되는 RF 소자들은 송신 전력 제어 이득기와 파워 앰프로 warm-up/down 시간을 고려하여 해당 신호가 생성되고 RF 소자들의 전원이 On/Off됨에 따라 실제적인 전력 감소 이득을 얻는다. 한편, 상기 비연속 송수신 모드의 구간이 충분히 길지 못해 이득을 얻지 못할 경우 기존 고속 패킷 접속의 전력 시나리오 기반 우선순위 및 스케줄링에 따라 전력 제어의 최종 적용 여부가 결정된다.

IV. 연속적인 패킷 연결 프로토콜 설계를 위한 규정화된 검증 기법

제안된 연속적인 패킷 연결 프로토콜의 정상 동작 여부 및 성능 개선을 확인하기 위해, 기존 고속 패킷 접속 FPGA (field programmable gate array) 단말 모델 플랫폼 상에서 단순 기능 검증 테스트, 디지털 신호 프로세서 주도 연동 테스트 그리고 시스템 레벨 연동 테스트로 구분되는 셀룰러 이동통신 환경에 적합한 규정화된 검증 기법을 고려하였다.^[4]

1. 단순 기능 검증 테스트

여기서는 MCU 혹은 디지털 신호 프로세서 주도하에 미리 정해진 레지스터 설정 값을 사용해서 설계된 연속적인 패킷 연결 프로토콜 동작을 버스트 패턴 위주로 검증한다. 프리앰블과 포스트앰블 연결 과정을 포함해서 전용 물리 제어채널 게이팅 패턴 생성을 DpcchC/D/Q/A 조건과 데이터 전송 간격, 프리앰블 길이, 비연속적인 전송 윌셋치, 비연속적인 송신사이클1/2 길이, 송신사이클 구분을 위한 임계치, 다중 입출력 모드 설정, 압축 모드 설정 등을 바꾸어 가며 다양한 조합에 따라 FPGA 플랫폼 상에서 생성된 상향링크 전용

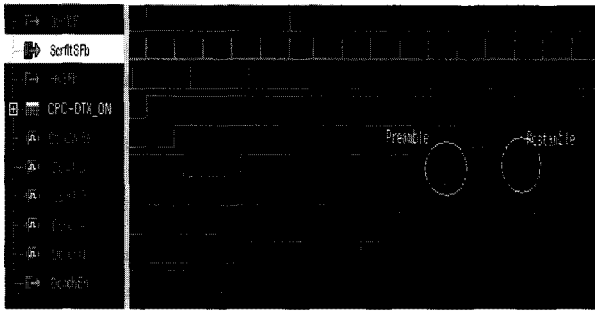


그림 4. 비연속적인 송신 동작 신호 생성 시뮬레이션 예
 Fig. 4. The simulation results on the CPC-DTX enable signal generation.

물리 제어채널의 버스트 패턴을 시뮬레이션 결과와 비교하여 정상 동작 여부를 판단한다. 그림 4는 2ms의 데이터 전송 간격, 비연속적인 송신 전송사이클1/2가 각기 하나 그리고 두 서브 프레임, 그리고 이의 구분을 위한 임계치가 1인 데이터 전송 간격인 경우의 실제 버스트 패턴을 나타낸다. 한편 그림에서 DpcchEn는 생성된 모든 DpcchC/D/Q/A 신호들의 논리적인 OR 연산결과를 나타내며 상기 값에 따라 단말에서의 상향링크 전용 물리 제어채널의 실제 전송 여부가 결정된다.

2. 디지털 신호 프로세서 주도 연동 테스트

여기서는 디지털 신호 프로세서 주도적인 비연속 송신 동작이 규격에서 정한 시나리오에 따라 정상적인 설정 및 동작 여부를 검증한다. 이는 단순 기능 검증 테스트와 같이 레지스터를 미리 정해진 값으로 설정하는 대신 의해 정해진 시나리오 안에서 레지스터가 디지털 신호 프로세서 자체적으로 설정된다. 또한, 제안된 연속적인 패킷 연결 프로토콜 설계의 다양한 검증 범위와 완결성을 충분히 확보하기 위해서 SystemVerilog 검증 단계가 적용되는데, 사전에 설정된 코드 수용 목표치가 만족되도록 디지털 신호 프로세서에 의해 제어되는 해당 레지스터들을 반복적으로 바꾸어가며 상기 테스트를 진행하였다. 특히, 기 검증된 고속 패킷 접속과의 연결부, 각종 레지스터 변경 및 경계 시점, 타이밍 제어 관련 경로들이 주로 검증된다.

3. 시스템 레벨 연동 테스트

단말 모뎀 SoC (system on a chip)개발을 위해서는 단순 기능 검증 테스트 및 일부 소프트웨어 기반의 연동 테스트를 충분히 진행한 후, 최종적으로 실제 기지

국 상용화 망들과의 연동 테스트가 이루어진다.^[4] 이러한 경우 일반적으로 FPGA 플랫폼이 단말을 대신해서 사용되며 해당 제품의 성능이 반드시 만족하도록 정해진 적합 규격^[5]에 따라 기본 음성/데이터 호 처리 및 데이터율 등이 검증된다. 이때, 물리 계층 연동 소프트웨어, 프로토콜 스택까지 포함한 전체 소프트웨어 플랫폼을 사용하여 모뎀의 전반적인 동작을 인터럽트 우선순위 그리고 스케줄링 등을 통해 설계된 하드웨어와의 정상적인 연동 여부가 검증된다. 이러한 과정에 따라 제안된 연속적인 패킷 연결 프로토콜 적용에 따른 상향링크 간섭치, 사용자 용량 및 전력 이득에 따른 시스템 성능 개선치 등은 시스템 연동 테스트 일정에 따라 추후 검증될 예정이다.

IV. 결 론

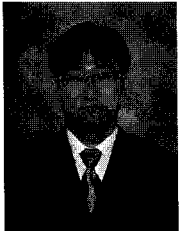
본 논문에서는 3GPP 릴리즈 7 고속 패킷 접속 에볼루션 기능 중 연속적인 패킷 연결 프로토콜의 설계 구조를 제안하였다. 보편적인 하드웨어 설계의 개발 기간 및 위험 부담을 줄이는 동시에 IP 재사용에 따른 비용 절감을 고려하여, 기 검증된 고속 패킷 접속 플랫폼상의 디지털 신호 프로세서를 재사용하여 유연한 구조의 설계 방법을 제안하였다. 제안된 연속적인 패킷 연결 프로토콜은 단순 기능 검증 테스트, 모뎀 일부 기능만을 정해진 시나리오에 따라 수행된 디지털 신호 프로세서 기반 연동 테스트, 그리고 모뎀의 모든 기능을 포함한 전체 구동 소프트웨어를 구동하는 시스템 연동 테스트를 통해 검증되었다. 한편 시스템 레벨에서의 다양한 성능 검증을 위한 상용 기지국 장비와의 연동 테스트는 현재 진행 중이며 그 성능 분석 결과에 따라 하드웨어와 소프트웨어 간 구현에 따른 최적화 작업이 추가적으로 진행될 예정이다.

참 고 문 헌

- [1] 3GPP TR 25.999, High Speed Packet Access (HSPA) Evolution; Frequency Division Duplex (FDD)
- [2] Harri Holma and Antti Toskala, WCDMA for UMTS : HSPA Evolution and LTE, John Wiley & Sons, 2007.
- [3] 3GPP TR 25.903, Continuous connectivity for packet data users

- [4] 권현일, 김경호, 이충용, “eHSPA 규격을 만족하는 FPGA 모델 플랫폼 설계 및 검증기법,” 전자공학회 논문지, 제46권 SD편 제2호 2009년 2월
- [5] 3GPP TR 34.108, Common test environment for User Equipment (UE) conformance testing

저 자 소 개



권 현 일(학생회원)
 1996년 숭실대학교 정보통신 공학과 학사 졸업.
 1998년 포항공과대학교 정보통신 대학원 석사 졸업.
 1998년~2000년 고등기술연구원 주임연구원
 2000년~현재 삼성전자 책임연구원
 2006년~현재 연세대학교 전기전자공학과 박사과정
 <주관심분야 : MIMO 시스템, 통신용 SoC 설계>



김 경 호(정회원)
 1984년 연세대학교 전자공학과 학사 졸업.
 1987년 KAIST 전기전자공학과 석사 졸업.
 1991년 KAIST 전기전자공학과 박사 졸업.
 현재 삼성전자 DMC연구소 상무
 <주관심분야 : 이동통신용 모델칩, 단말 무선 부품>



이 충 용(정회원)
 1987년 연세대학교 전자공학과 학사 졸업.
 1989년 연세대학교 전자공학과 학사 졸업.
 1995년 Georgia Tech. 전자공학과 박사 졸업.
 1996년~1997년 삼성전자 선임연구원
 1997년~현재 연세대학교 전기전자공학부 교수
 <주관심분야 : 통신 신호처리, MIMO 시스템>