

논문 2009-46SD-12-15

# 가드링 구조에서 전류 과밀 현상 억제를 위한 온-칩 정전기 보호 방법

( An On-chip ESD Protection Method for Preventing Current Crowding  
on a Guard-ring Structure )

송 종 규<sup>\*\*\*</sup>, 장 창 수<sup>\*\*</sup>, 정 원 영<sup>\*\*</sup>, 송 인 채<sup>\*</sup>, 위 재 경<sup>\*\*\*</sup>

( Jong-Kyu Song, Chang-Soo Jang, Won-Young Jung, In-chae Song, and Jae-Kyung Wee )

## 요 약

본 논문에서는 0.35 $\mu$ m Bipolar-CMOS-DMOS(BCD)공정으로 설계한 스마트 파워 IC 내의 가드링 코너 영역에서 발생하는 비정상적인 정전기 불량을 관측하고 이를 분석하였다. 칩내에서 래치업(Latch-up)방지를 위한 고전압 소자의 가드링에 연결되어 있는 Vcc단과 Vss 사이에 존재하는 기생 다이오드에서 발생한 과도한 전류 과밀 현상으로 정전기 내성 평가에서 Machine Model(MM)에서는 200V를 만족하지 못하는 불량이 발생하였다. Optical Beam Induced Resistance Charge(OBIRCH)와 Scanning Electronic Microscope(SEM)을 사용하여 불량 발생 지점을 확인하였고, 3D T-CAD 시뮬레이션으로 원인을 검증하였다. 시뮬레이션 결과를 통해 Local Oxidation(LOCOS)형태의 Isolation구조에서 과도한 정전기 전류가 흘렀을 때 코너영역의 형태에 따라 문제가 발생하는 것을 검증하였다. 이를 통해 정전기 내성이 개선된 가드링 코너 디자인 방법을 제안하였고 제품에 적용한 결과, MM 정전기 내성 평가에서 200V이상의 결과를 얻었다. 통계적으로 Test chip을 분석한 결과 기존의 결과 대비 20%이상 정전기 내성이 향상된 것을 확인할 수 있었다. 이 결과를 바탕으로 BCD공정을 사용하는 칩 설계 시, 가드링 구조의 정전기 취약 지점을 Design Rule Check(DRC) 툴을 사용하여 자동으로 찾을 수 있는 설계 방법도 제안 하였다. 본 연구에서 제안된 자동 검증방법을 사용하여, 동종 제품에 적용한 결과 24개의 에러를 검출하였으며, 수정 완료 제품은 동일한 정전기 불량은 발생하지 않았고 일반적인 정전기 내성 요구수준인 HBM 2000V / MM 200V를 만족하는 결과를 얻었다.

## Abstract

In this paper, we investigated abnormal ESD failure on guard-rings in the smart power IC fabricated with 0.35 $\mu$ m Bipolar-CMOS-DMOS (BCD) technology. Initially, ESD failure occurred below 200 V in the Machine Model (MM) test due to current crowding in the parasitic diode associated with the guard-rings which are generally adopted to prevent latch-up in high voltage devices. Optical Beam Induced Resistance Charge (OBIRCH) and Scanning Electronic Microscope (SEM) were used to find the failure spot and 3-D TCAD was used to verify cause of failure. According to the simulation results, excessive current flows at the corner of the guard-ring isolated by Local Oxidation of Silicon (LOCOS) in the ESD event. Eventually, the ESD failure occurs at that corner of the guard-ring. The modified corner design of the guard-ring is proposed to resolve such ESD failure. The test chips designed by the proposed modification passed MM test over 200 V. Analyzing the test chips statistically, ESD immunity was increased over 20 % in MM mode test. In order to avoid such ESD failure, the automatic method to check the weak point in the guard-ring is also proposed by modifying the Design Rule Check (DRC) used in BCD technology. This DRC was used to check other similar products and 24 errors were found. After correcting the errors, the measured ESD level fulfilled the general industry specification such as HBM 2000 V and MM 200V.

**Keywords :** ESD(ElectroStatic Discharge), MM(Machine-Model), BCD(Bipolar-CMOS-DMOS), T-CAD

\* 정회원, \*\*\* 정회원-교신저자, 송실대학교 전자공학과(School of Elec. Engineering Soongsil University)

\*\* 정회원, (주)동부하이텍(Dongbu HiTek)

※ 본 논문은 지식경제부 하의 차세대 성장 동력사업의 후원으로 연구 되었습니다.

접수일자: 2009년11월3일, 수정완료일: 2009년12월3일

I. 서론

공정기술이 발전함에 따라 Analog나 Mixed-signal block과 같은 고집적 회로(IC)를 구성하는 반도체 소자들은 더욱 작아지고 복잡해지고 있어 고집적 회로에서 높은 불량률을 야기하는 치명적인 정전기현상으로 파괴될 가능성이 점점 높아지고 있다. 그러므로 IC회로의 신뢰성을 보장하기 위해 고 신뢰도의 정전기 보호회로를 개발하는 것이 성공적인 칩 설계를 위한 중요한 요인 중 하나로 인식되고 있다<sup>[1]</sup>. 특히, 고전압 IC의 경우, 큰 전계와 높은 전류밀도로 인해 정전기로부터 보호할 정전기 소자를 개발하는데 어려움을 겪고 있으며 적합한 정전기 보호 소자를 고집적 회로에 적용하였다고 하여도 공급전원에 연결되어 있는 가드링(Guard ring)과 접지 사이에 존재하는 기생 다이오드와 같이 원하지 않는 경로를 통해 정전기가 들어와 내부 회로가 파괴되는 현상을 볼 수 있었다. 이런 문제점을 극복하기 위해 정전기소자에 보호성을 향상 시키거나 회로 상에서 정전기를 보호하는 회로를 삽입하여 설계하고 있다<sup>[2]</sup>. 그러나 기존의 경우 고전압 고 신뢰도를 요구하는 반도체의 경우 설계 레이아웃(Layout)이 정전기 내성에 미치는 효과 및 이를 설계단계에서 검출할 수 있는 설계방법론이 확립되어 있지 못한 실정이다. 특히 Machine Model(MM) 경우 평가 장비에서 만들어진 정전기 전류가 외부 접지로 빠져 나오는 순간, MM의 정전기 전류는 Human Body Model(HBM)보다 2~3배 많은 전류가 순간적으로 흐른다. 그렇기 때문에 내부회로가 받을 수 있는 피해 가능성은 HBM보다 더 클 수 있다<sup>[3]</sup>.

본 논문에서는 이러한 고 전력 반도체의 정전기 내성 신뢰성 보장을 레이아웃 단계에서 검증 반영하기 위한 실험을 실제 칩 기반에서 진행하였다. 이를 위해 0.35 $\mu$ m급 Bipolar-CMOS-DEMOS(BCD) 공정에서 Local Oxidation of Silicon (LOCOS) 기반의 스마트 파워 IC제품을 제작 HBM과 MM 정전기 내성을 평가하고 분석하였다<sup>[2-3]</sup>. 정전기 파괴 메커니즘을 분석하기 위해 Scanning electronic microscope(SEM)을 사용하여 파괴된 지점을 확인하고 3D-TCAD 시뮬레이션을 이용하여 정전기 불량률의 물리적 현상을 분석 및 검증하였다.

II. 정전기 평가방법 및 결과

1. HBM과 MM의 정전기 전류에 대한 파형 분석

그림 1은 정전기 현상을 모델화한 등가회로이다. 회로구성은 간단하게 Switch(SW), C0, L0 그리고 R0로 구성된다. 정전기 내구성 실험원리는 먼저 커패시터 C0에 전하를 저장하고, 저장된 전하를 저항 R0을 통해 DUT(Device under test)에 짧은 시간 동안에 방출하게 한다. HBM모델의 경우에는 C0는 100pF이고 R0는 1500 $\Omega$ 이고, MM모델은 C0가 200pF이고 R0는 0 $\Omega$ 이다. L0는 정전기 측정시스템에 존재하는 기생 인덕턴스 성분해당된다<sup>[4-5]</sup>.

그림 2에서와 같이 정전기전류의 첫 주기에서 볼 수 있듯이, MM모델의 정전기 전류는 HBM모델보다 2~3배 많은 전류를 순간적으로 방출하기 때문에 내부회로에는 더욱 치명적일 수 있다. 이는 MM모델 정전기 전류는 작은 임피던스를 통과해 흐르기 때문이다<sup>[6-7]</sup>.

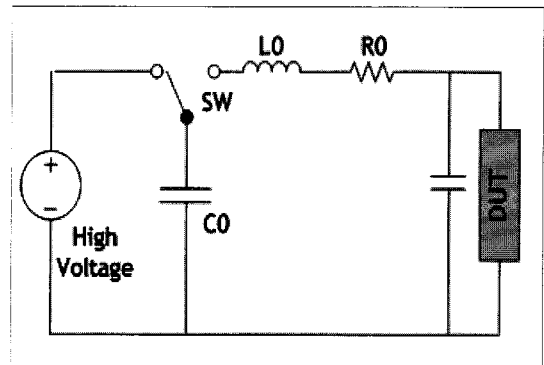


그림 1. HBM, MM의 등가회로  
Fig. 1. A simplified equivalent circuit diagram of HBM and MM.

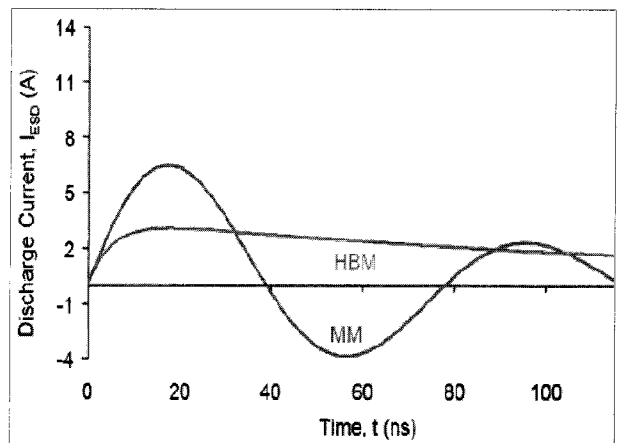


그림 2. HBM, MM의 방출 전류 파형  
Fig. 2. Discharge current waveforms of HBM and MM.

2. 정전기 평가결과

본 논문에서는 0.35 $\mu$ m BCD 공정을 사용하여 기존의 정전기보호 회로 및 실험을 통해 개선된 회로로 제작한 스마트 파워 IC제품에 HBM과 MM 모드의 정전기 테스트를 실시하였다. 표 1은 기존의 정전기보호 회로의 평가 결과로써 HBM과 MM 중 MM 모드에서 규격을 만족시키지 못하는 불량률이 발생하였다. HBM 모델 테스트에서는 모든 정전기 테스트 모드에서 2kV이상 만족하였지만, MM모델 테스트에서는 특히 Vcc단자를 접지에 연결하고 Vss 단자에 음(-)으로 정전기 전류를 인가했을 때 200V 이하에서 불량률이 발생하였다.

표 1. 기존 보호회로의 HBM, MM 모드에서의 정전기 평가결과

Table 1. HBM and MM ESD Robustness of a conventional ESD protection circuit

ESD-Test Mode	HBM	MM
Vss(+)_Vcc	> 2000V	250V
Vss(-)_Vcc	> 2000V	160V

III. 불량 분석을 위한 실험

1. 현상분석 및 원인분석

가. Vss(-)\_Vcc모드에서 정전기 파괴현상.

기존회로의 MM 불량분석을 위해 Optical Beam Induced Resistance Charge(OBIRCH)와 Scanning Electronic Microscope (SEM)를 사용하였다. 그림 3 은

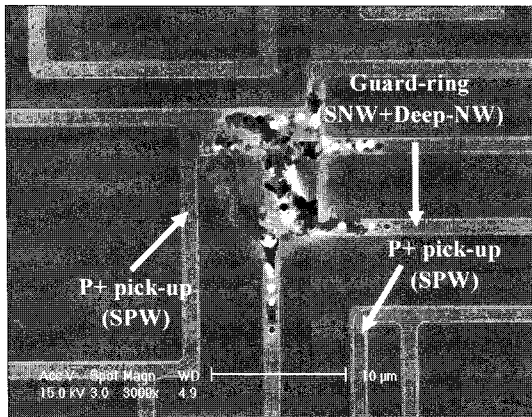


그림 3. 가드링구조에서 불량률이 발생한 SEM 사진  
Fig. 3. The SEM image of failure spot located at the guard-ring structure.

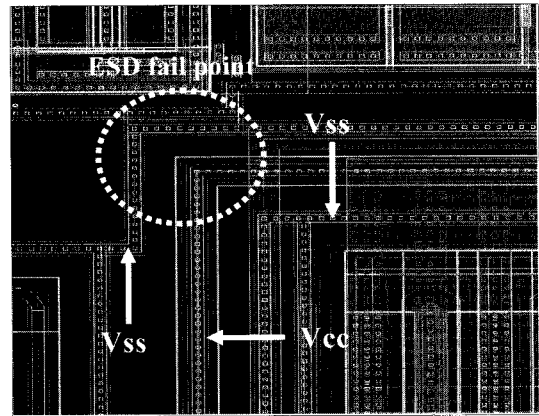


그림 4. 불량률이 발생한 드라이버 영역의 레이아웃  
Fig. 4. The layout of the power driver IC.

SEM을 이용한 불량 위치를 보여준다. 정전기 불량률이 발생한 지점은 정전기 보호회로 또는 내부 회로가 아닌 가드링 영역이라는 것이 확인되었다. 가드링의 목적은 특정 회로를 격리시키기 위한 방법으로 사용되기도 하지만 CMOS공정에서 기생적으로 생기는 래치업 구조를 막기 위해 주로 사용한다.<sup>[8]</sup> 일반적인 정전기 불량은 정전기 보호회로가 과도한 정전기 전류를 충분히 감당하지 못하여 발생하거나, 정전기 과도 전류가 내부 회로로 유입되었을 경우 발생한다. 그림 3의 경우는 과도한 정전기 전류가 전계(electric field)가 크게 걸리는 가장 자리의 기생 다이오드를 통해 Vcc에서 Vss로 내부회로에 유입되어 가드링의 가장자리영역에서 비정상적인 불량률이 발생한 것이다. 그림 4는 불량률이 발생한 더블 가드링 구조를 갖는 출력 드라이버 부분의 레이아웃이다.

2. 고전압 소자를 보호하기 위한 가드링구조.

스마트 파워 IC는 로직 IC에 비해 고전압을 사용하는데, 이로 인해 로직 IC에서 문제없이 사용되던 가드링 구조를 동일하게 스마트 파워 IC에 적용할 경우, 비정상적인 불량률이 나타날 수가 있다. 본 논문에서 연구된 가드링 구조는 일반적인 더블 가드링 구조이다. 이런 더블 가드링 구조의 경우 정전기 전류통로가 되어 불량을 유발하였다. 그림 5는 본 논문에서 연구된 일반적인 더블 가드링 구조로 이것은 파운드리에서 제공되는 공정 디자인을 사용하여 제작되었다. 일반 로직 NMOS소자에서 가드링 구조는 Pwell과 연결하기 위해 P+가 안에 있고, 외부소자와 분리하기 위해 N+가 밖에 있는 구조를 사용하고 있다. 그림 5에서와 같이 스마트 파워 IC의 경우에도 LDMOS를 외부소자와 분리하기

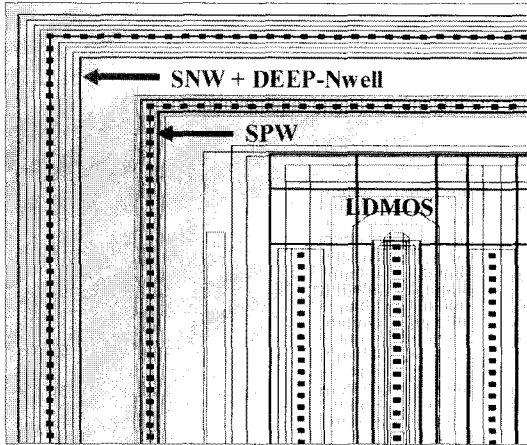


그림 5. LDMOS소자의 더블가드링 구조  
Fig. 5. The layout image of double guard-ring structure for LDMOS.

위해 더블 가드링 구조를 사용했다. 고전압을 견디기 위해 N+영역 안에 Deep-nwell과 Shallow-nwell(SNW)을 사용하여 내압을 유지하였다. 이와 같은 가드링 구조는 스마트 파워 IC에서 많이 사용되는 구조로 정상 상태의 누설 전류와 래치업 측면에서 우수하다.

3. 정전기 전류에 취약한 LOCOS 공정의 가드링 코너구조

고전압에 사용되는 소자 간 격리를 위한 공정 방법인 Local Oxidation(LOCOS) 공정은 접합의 깊이가 스케일 다운되면서, 곡률이 큰 야금학적 접합 가장자리에는 높은 전계가 발생하기 쉽다. 높은 전계는 접합의 한계전압을 낮추거나 Hot-electron 효과를 발생시킬 수 있으며, 전류가 균일하게 흐르는 것을 방해할 수 있다. 또한 곡률 반지름이 감소함으로 인해 그림 6에서 보이는 Cylindrical edge와 Spherical corner의 한계전압은 낮아

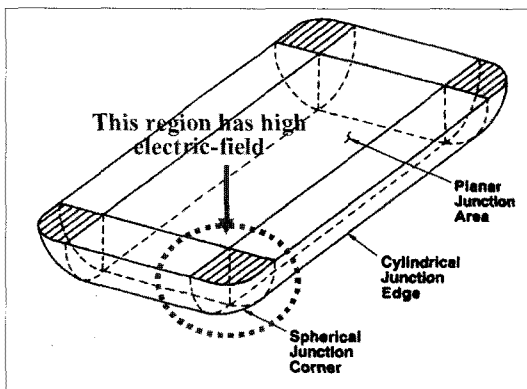


그림 6. LOCOS공정의 Isolation structure  
Fig. 6. The LOCOS isolation structure.

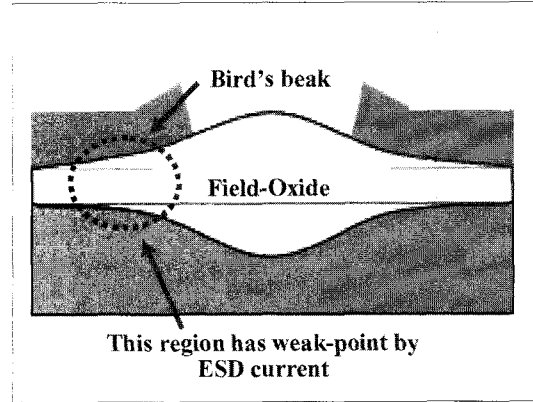


그림 7. LOCOS공정의 Bird's beak 형성 구조  
Fig. 7. The bird's beak figure in the LOCOS process.

진다. 그리고 LOCOS 공정에서 생기는 Bird's beak은 제조과정에서 PN접합의 가장자리와 Salicide 가장자리가 공정과정에서 틀어짐에 따라 Isolation측면에서 Shallow Trench Isolation(STI)구조에 비해 정전기 불량을 유발시킬 수 있는 원인이 될 수도 있다.(그림 7).<sup>[9]</sup> 위에서 언급한 이유로 인해 LOCOS 공정의 가드링 구조에서 가장자리 영역은 높은 전계가 걸리기 쉽다는 것을 알 수 있다. 본 실험에 사용한 가드링의 기본구조는 Vcc를 Shallow-Nwell(SNW)과 Deep-Nwell(Deep-NW)로 형성된 가드링에 연결하고 Vss는 Shallow-Pwell(SPW)에 연결을 하였다. 그렇기 때문에 가드링과 P+ pick-up(SPW)사이에는 Parasitic diode가 형성되게 된다. 만약 정전기 전류가 Vcc 라인을 타고 들어왔을 때에는 기생 다이오드에 역방향 전압이 걸린 상태와 같게 된다. Vss(-)\_Vcc 모드 조건에서 MM 테스트한 결과, 초기 전압이 낮은 영역에서 순간적으로 과도한 정전기 전류가 가드링의 기생 다이오드를 통해 어느 정도 흐르다가 한계전류 이상을 넘어가면 전류밀도 과밀 현상(Current crowding)으로 정전기 불량이 발생되었다. 특히 LOCOS 공정에서 곡률이 큰 야금학적 접합 가장자리(Spherical corners)에는 높은 전계가 발생하기 쉽고 공정에서 생기는 Bird's beak의 취약 지점은 가드링 코너에서 정전기불량을 더욱 더 쉽게 발생시키는 원인이 되었다.<sup>[10]</sup>

4. 불량현상을 분석하기 위한 Simulation결과

가드링의 가장자리 영역에서 비정상적으로 발생한 정전기 불량현상을 전기적으로 분석하기 위해 3D-TCAD(3-Dimensional Technology Computer Aided Design) 시뮬레이터를 사용하였다. 과도한 정전기 전류

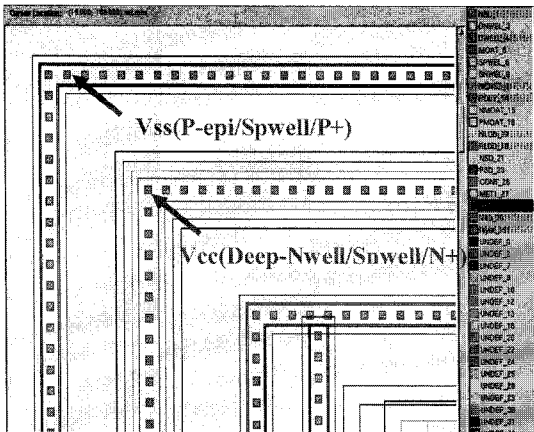


그림 8. 3D T-CAD시뮬레이션을 위해 제작된 가드링 구조  
 Fig. 8. The guard-ring structure of the T-CAD simulation.

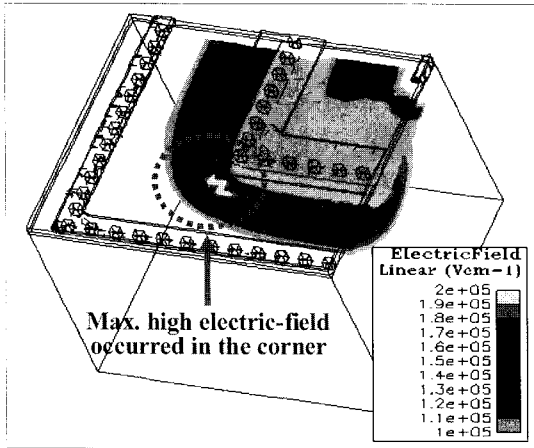


그림 9. 가드링 구조에서의 전계 분포  
 Fig. 9. Electric field in the corner of a guard-ring structure after T-CAD simulation.

가 내부 회로로 유입될 경우, 가드링 가장자리 영역의 전계와 전류 흐름을 3D 시뮬레이션 결과를 통해서 파악할 수 있었다.

그림 8은 공정 시뮬레이터를 사용하여 제작한 마스크 패턴이다. 최외각의 P-epi/Spwell/P+는 회로 상의 가장 낮은 전압인 Vss와 연결되고, 안쪽의 Deep-Nwell/Snwell/N+ 가드링은 정전원인 Vcc단과 연결되었다.

Vcc단에 순차적으로 정전기 과도 전류를 인가하면 전압 상승이 발생하며 그에 따른 전계와 전류 흐름이 관측되었다. 그림 9는 정전기 현상 발생 시에 전계를 나타내는 시뮬레이션 결과이며 코너 효과(Corner effect)가 발생하여 가드링의 가장자리로 전계가 집중되는 것을 알 수 있다. 역-바이어스 된 상태인 두 가드링 사이에는 일반적으로는 누설전류 외에는 전류가 흐르지

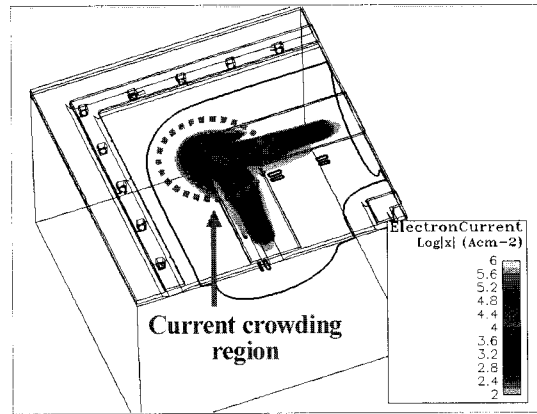


그림 10. 가드링에서의 정전기 전류의 집중현상  
 Fig. 10. ESD current flow in the corner of a guard-ring structure after T-CAD simulation.

않아야 하지만, 가장자리 효과에 의해 전계가 집중되어 한계전압을 넘어서 항복(Breakdown)이 발생한다. 이 항복이 발생한 후에 많은 양의 항복 전류가 흐르게 된다. 그림 10은 정전기 현상 발생 시의 전류 흐름을 나타낸 것으로 대부분의 과도 전류가 가드링의 가장자리로 집중된다. 이것은 전류 과밀 현상을 유발하여, 실리콘 기판의 한 부분에 많은 양의 전류가 집중되면 실리콘의 용융온도인 1500도 이상의 열이 발생하게 되어 그 지점을 녹게 만들어 불량 발생하게 된다. 이것은 그림 3에서 Vss에 연결된 최외각의 P-epi/Spwell/P+ 픽업라인과 Vcc에 연결된 안쪽의 Snwell/Deep-Nwell/N+ 가드링 사이에 전류가 밀집되어 실리콘 기판이 녹은 부분과 일치함을 확인할 수 있었다. 실험과 시뮬레이션을 통해 LOCOS 공정의 Isolation 구조에서 구형의 코너 영역에 높은 전계가 발생하여 취약한 코너 영역에서 과도전류로 인해 실리콘 기판 상에서 흠집이 발생하는 것을 확인할 수 있으며, Contact 역시 열에 의해 파괴됨을 알 수 있다.

#### IV. 정전기 불량 방지 설계 방법

##### 1. 전계의 집중현상 최소화

정전기 불량을 해결하기 위한 방법으로 LOCOS 공정 상 가장 취약한 가드링 코너영역에 전류 과밀현상이 발생하는 것을 방지하기 위해 그림 11에서와 같이 Vcc에 연결되어 있는 Snwell/Deep-Nwell/N+를 45도 각도로 라운딩 처리하였고 그 부분의 contact을 제거하여 전계의 집중 현상을 최소화하도록 레이아웃을 변경하였다. 추가로 효과를 예측하기 위하여 3D T-CAD 시뮬레이

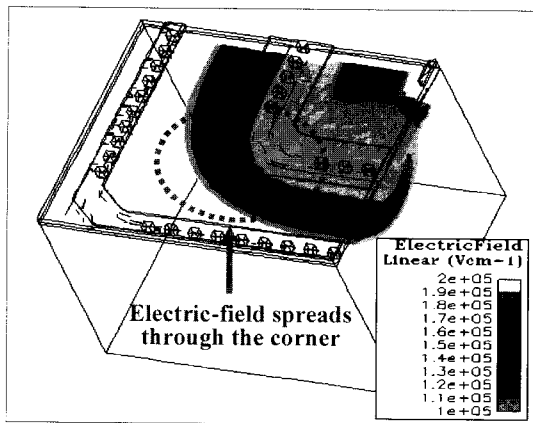


그림 11. 수정된 가드링 구조의 시뮬레이션 결과  
Fig. 11. Electric field in the corner of the modified guard-ring structure after T-CAD simulation.

선을 진행한 결과 라운딩 처리된 영역의 전계는 라운딩 가장자리 주변으로 퍼지는 것을 확인할 수 있었으며 라운딩 영역에 contact이 없는 경우 그 전계 분산 효과가 더 커짐을 알 수 있었다. 동일한 구조를 Test Element Group(TEG)로 구성하여 검증을 하였고 실제 제품에 적용하여 정전기 내성 평가에서 MM모델 테스트에서 200V 이상의 결과를 얻었다.

### 2. DRC를 활용한 자동 설계 검증 방법

다른 제품에서 동일한 정전기 불량을 막기 위해서 레이아웃 완료 후에 실시하는 Design Rule Check(DRC)을 보완하였다. 그림 12에서와 같이 가드링을 DRC상에서 정의하기 위해서 가드링 안쪽 면적이  $100\mu\text{m} \times 100\mu\text{m}$  이상 되는 영역을 먼저 체크한다. 레이아웃에서 보면 일반소자의 픽업라인을 가드링으로 인식할 수 있기 때문에 안쪽 면적이 조건과 같은 최소면적이 되어야 한다. 그리고 고전압 소자의 가드링은 Deep-Nwell과 Shallow-Nwell을 사용하기 때문에 가드링 폭이 최소  $5\mu\text{m}$  이상이 된다. 그러므로 일반 픽업라인과 가드링을 구별하기 위해서는 가드링의 폭이 최소  $5\mu\text{m}$  이상인 경우에 액티브를 찾도록 하였다. 그 액티브 영역에서 90도로 각진 가장자리영역이 있다면 DRC 에러가 발생한다. 만약 가드링 가장자리가 45도로 라운딩 처리 되었다고 해도 가장자리영역 안에 Contact이 있다면 DRC 에러가 발생하게 된다. 수정된 DRC를 정전기 불량이 발생한 제품에 적용한 결과 16개의 DRC 에러가 검출되었고 검출된 DRC 에러는 모두 유효한 에러임을 확인할 수 있었다. DRC 에러 검출률을 높이는 방법을 보완하면 타 스마트 파워 제품에 적용할 수 있다.

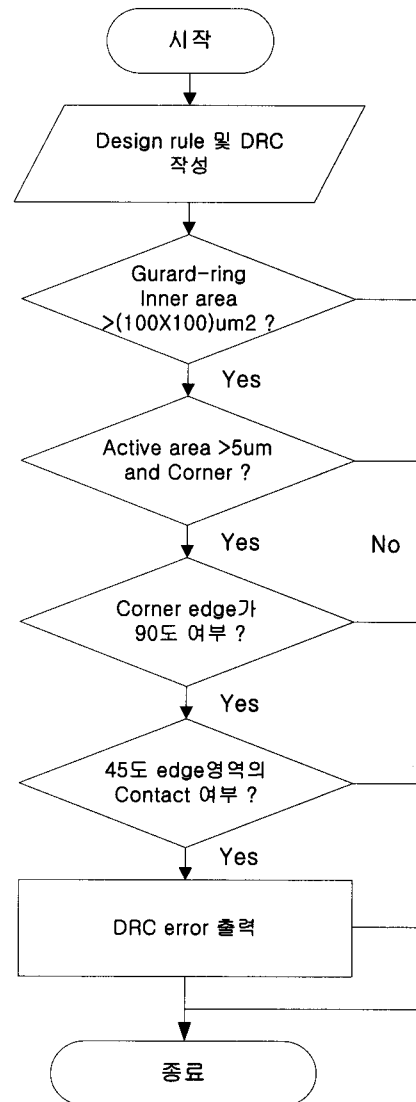


그림 12. DRC를 활용한 자동체크 방법 순서도  
Fig. 12. The flow-chart using the electrical Design Rule Check.

### V. 결 론

기존의 정전기 방지회로의 가장 큰 문제인 MM에서 200V 규격을 만족하지 못하는 이유를 SEM 및 T-CAD 시뮬레이션을 통해 정전기 불량 원인을 분석하였다. 그 결과 과도한 정전기 전류가 원하지 않는 경로를 통해 들어와 내부 회로의 가드링 가장자리 영역에 전류 과밀 현상으로 파괴된 것을 알 수 있었다. 특히 제품에 사용한 LOCOS공정의 경우 Vcc가 걸리는 가드링 코너영역에서 정전기 전류에 더 취약한 구조라는 것을 시뮬레이션으로 확인하였다. 이를 해결하기 위해 정전기 전류 과밀 현상을 완화시키기 위해서 가드링 가장자리영역을

45도로 라운딩 처리하고 그 부분의 Contact을 제거하도록 레이아웃을 변경하였다. 개선된 방법을 실제 제품에 적용한 결과, MM평가에서 200V이상으로 정전기 내성이 향상된 것을 검증하였다. 또한 BCD공정을 사용하고 있는 다른 제품에서 동일한 정전기 불량을 방지하기 위해 DRC를 활용한 자동 설계 검증 방법을 사용하였다. 동일 제품에 적용한 결과 24개의 에러를 검출하였으며 수정 완료한 제품은 가드링 코너에서 동일한 정전기 불량은 발생하지 않았고 일반적인 정전기 내성 요구수준인 HBM 2000V, MM 200V를 만족하는 결과를 얻었다.

### 참 고 문 헌

- [1] Ban P. Wong, Nano-CMOS Circuit and Physical Design, A John Wiley & Sons, INC., Publication, England, 2005. p. 157-158
- [2] 박재영, 송종규, 장창수, 김산홍, 정원영, 김택수, “고전압 집적회로를 위한 래치업-프리 구조의 HBM 12kV ESD 보호회로”, 전자공학회논문지, 제 46권 SD편 제1호, pp.1-5, 2009년 1월
- [3] Ajith Amerasekera, Charvaka Duvvury, ESD in Silicon Integrated Circuits, John Wiley & Sons, LTD Publication, England, 2002.. pp.27-28.
- [4] R.G. Wagner. J. Soden, C.F. Hawkins, “Extent and Cost of EOS/ESD Damage In An IC Manufacturing Process”, in proceedings of the 15<sup>th</sup> EOS/ESD symposium, pp.49-55, 1993.
- [5] JEDEC Standard JESD22-A114-B, “Electrostatic discharge(ESD) sensitivity testing human body model” June, 2000.
- [6] EIA/JEDEC Standard Test Method A115-A, “Electrostatic discharge(ESD) sensitivity testing machine model(MM)” EIA/JEDEC, 1997.
- [7] Mankoo Lee, “Influence of Machine Model ESD Stress on the Failure Thresholds of CMOS Protection Circuit Elements” circuits and systems, vol. 4, pp. 117-120, 1996.
- [8] Steven H. Voldman, ESD Physics And Devices, John Wiley & Sons, LTD Publication, England, 2004. pp.221-224.
- [9] Steven H. Voldman, ESD Physics And Devices, John Wiley & Sons, LTD Publication, England, 2004. pp.203-213.
- [10] Steven H. Voldman, ESD Physics and Devices, John Wiley & Sons, LTD Publication, England, 2004. p. 203-207

저 자 소 개



송 종 규(정회원)  
 2004년 방송통신대학교  
 미디어영상학과 학사졸업  
 2009년~현재 숭실대학교  
 전자공학과 석사재학  
 2009년~현재 (주)동부하이텍  
 반도체부문 책임연구원

<주관심분야 : ESD 보호회로설계>



송 인 채(정회원)  
 1981년 서울대학교  
 전자공학과 학사.  
 1984년 U.C.L.A. Electrical  
 Engineering 석사.  
 1991년 U.C.L.A. Electrical  
 Engineering 박사.

1985년~1992년 Hughes Aircraft Company, Staff Engineer.

1992년~현재 숭실대학교 정보통신전자공학부 교수.

<주관심분야 : 반도체소자 Modeling, 집적회로설계>



장 창 수(정회원)  
 1994년 유한대학교 전문학사  
 졸업  
 1994년 현대전자 System IC  
 연구소 주임연구원  
 2000년~현재 (주)동부하이텍  
 반도체 부문  
 수석연구원

<주관심분야 : 반도체, ESD 보호회로설계>



위 재 경(정회원)-교신저자  
 1998년 연세대학교  
 물리학과 학사 졸업.  
 1990년 서울대학교  
 물리학과 석사 졸업.  
 1998년 서울대학교  
 전자공학과 박사 졸업.

1990년~2002년 하이닉스 메모리 연구소 근무

2002년~2004년 한림대학교 정보통신공학부 조교수

2004년~2007년 숭실대학교 정보통신전자공학부 조교수

2008년~현재 숭실대학교 정보통신전자공학부 부교수

<주관심분야 : System-in-Package 설계 및 고속 SoC, high speed I/O interface, DLL/PLL, Mixed Mode 설계>



정 원 영(평생회원)  
 1988년 성균관대학교 물리학과  
 학사 졸업  
 1996년 한양대학교 전자공학  
 석사 졸업  
 2008년 숭실대학교 전자공학  
 박사 졸업

1988년~1998년 LG반도체 선임연구원

1998년~2000년 미국 Ingenuus Cooperation 수석 연구원

2000년~2003년 미국 Cadence Design System Sr. Engineering Manager

2003년~2007년 미국 Nanno Solution, Inc. Exe. VP/CTO

2007년~현재 (주)동부하이텍 반도체 부문 DE팀 팀장

<주관심분야: CAD & VLSI, DFM/DFY, TCAD/ESD Simulation & Modeling>