

논문 2009-46SD-11-1

Short-Channel Intrinsic-Body SDG SOI MOSFET의 문턱전압 도출을 위한 해석적 모델

(An Analytical Model for Deriving The Threshold Voltage of A
Short-channel Intrinsic-body SDG SOI MOSFET)

장 은 성*, 오 영 해*, 서 정 하**

(Eun-Sung Jang, Young-Hae Oh, and Chung-Ha Suh)

요 약

본 논문에서는 short-channel intrinsic-body SDG SOI MOSFET의 문턱전압 도출을 위한 간단한 해석적 모델을 제시하였다. Intrinsic silicon 채널 영역 및 gate oxide 내에서의 2차원 Laplace 방정식을 반복법(iteration method)으로 풀어 각 영역 내에서의 전위 분포를 채널에 수직인 방향의 좌표에 대해 4차 및 5차 다항식으로 표현하였으며 이로부터 표면전위를 도출하였다. 표면전위의 최소치가 0이 되는 게이트 전압을 문턱전압으로 제안하여 closed-form의 문턱전압 식을 도출하였다. 도출된 문턱전압 표현식을 모의 실험한 결과, 소자의 parameter와 가해진 bias 전압에 대한 정확한 의존성을 확인할 수 있었다.

Abstract

In this paper, a simple analytical model for deriving the threshold voltage of a short-channel intrinsic-body SDG SOI MOSFET is suggested. Using the iteration method, both Laplace equations in intrinsic silicon body and gate oxide are solved two-dimensionally. Obtained potential distributions in both regions are expressed in terms of fourth and fifth-order of the coordinate perpendicular to the silicon channel direction. Making use of them, the surface potential is obtained to derive the threshold voltage in a closed-form. Simulation results show the fairly accurate dependencies of the threshold voltage on the various device parameters and applied bias voltages.

Keywords : intrinsic SDG SOI MOSFET, threshold voltage roll-off, short channel effect

I. 서 론

최근 ULSI(Ultra Large Scale Integration)의 기본 소자로서 FD SOI(Fully Depleted Silicon On Insulator)형 MOSFET이 기존의 bulk형 MOSFET을 대체하고 있는 추세이다.^[1] 이는 subquarter micrometer급 scale down을 구현하는 데에 있어, 기존의 bulk형 MOSFET에 비해 SOI형 MOSFET이 기판 정전 용량 감소, 단 채널

효과 (short-channel effect: SCE) 완화, 캐리어 mobility degradation 억제, CMOS latch-up 내성 증대 등의 우수한 전기적 특성을 보이고 있기 때문이다.^[2] FD SOI MOSFET의 thin silicon body가 n 또는 p dope된 경우가 주종을 이루고 있으나, 최근 thin silicon body가 intrinsic(undoped)이며 대칭 dual gate (symmetric dual gate: SDG)구조의 소자가 크게 주목되고 있다. 이 소자는 소자의 정전 용량이 작고 전기적 절연이 매우 우수하며 Si body가 충분히 얇은 경우 volume inversion이 발생하여 더 높은 current drive 능력을 가질 수 있으며, n 또는 p-doped silicon body 보다 mobility degradation이 완화될 뿐 아니라, small geometry를 갖는 silicon body의 doping에서 대두되는 RDF(random doping

* 학생회원, ** 정회원, 홍익대학교 전자전기공학부
(School of Electronic & Electrical Eng., Hongik Univ.)

※ 본 연구는 홍익대학교 2008년도 학술연구진흥과제에 의해 지원되었음.

접수일자: 2008년12월3일, 수정완료일: 2009년10월25일

fluctuation) 현상을 피할 수 있는 장점을 갖고 있다. 또한 source/body간 $n^+ - i$ 접합이 $n^+ - p$ 접합에 비해 정전 용량이 작으며 barrier height도 낮아 source로부터 silicon body channel로의 전자 주입이 용이하여 초고속 및 low power application에 더 넓은 응용범위를 제공하여 줄 수 있다.

일반적으로 FET의 문턱전압을 정확하게 추정하는 것은 소자의 최적화 회로 설계에 있어서 필수적이다. 특히 단 채널 소자에서 DIBL(drain-Induced barrier lowering)에 따른 threshold voltage roll-off 현상을 정확하게 estimation하는 것은 매우 중요하다. MEDICI 및 ATLAS 등의 수치 해석 모델(numerical model)은 단 채널 소자 특성을 정확하게 추정할 수 있으나 비교적 긴 computation 시간을 필요로 하여 회로 simulator에 탑재하는 데에는 부적절하므로 computation 시간이 짧은 여러 해석적 모델들이 제안되어 왔다. 그러나 SDG SOI MOSFET에 대한 기존의 문턱 전압 도출 모델^[3-7]에서는 GCA(gradual channel approximation)을 근간으로 사용하고 있다. 그러나 GCA는 subquarter micrometer급 소자에서 상당한 오차를 수반하므로 이들 모델은 단 채널 소자에서는 정확도가 결여되는 단점을 갖고 있다. 본 논문은 이러한 기존 모델들의 미비점을 보완하기 위하여 완화된 GCA를 사용, intrinsic body를 갖는 SDG SOI MOSFET의 문턱전압을 매우 짧은 channel 길이를 갖는 소자에 대해서도 비교적 정확하게 도출할 수 있는 간편한 해석적 모델을 제안하고자 한다.

또한 통상의 extrinsic silicon body의 경우 일반적으로 고려되는 strong inversion의 개념 도입에 의해 문턱전압의 정의가 유효하지만, silicon body가 intrinsic인 경우 strong inversion의 개념 도입이 불가하므로 기존의 모델들은 drain 전류가 일정 기준치에 도달하는 게이트 전압으로 문턱전압을 정의하여 그 정의가 모호한 단점을 갖는다. 본 모델은 이러한 애매성을 극복하고자 제안된 모델로서 intrinsic body의 경우 2차원 전위 분포를 도출하여 표면 전위의 최소치가 0이 되는 게이트 전압을 문턱전압으로 정의할 수 있음을 보이고 있다.

II. Intrinsic SOI MOSFET의 문턱 전압 모델

1. Short-channel SOI MOSFET의 전위 분포 식

본 논문의 해석적 모델링을 위한 short-channel SDG (symmetric dual gate) SOI MOSFET의 단면도가 그림

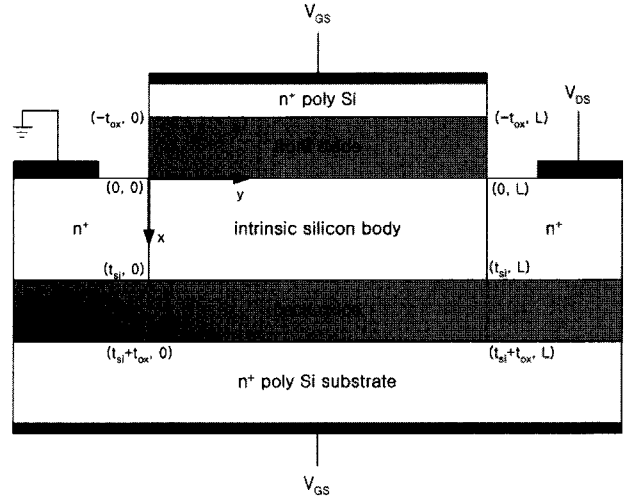


그림 1. intrinsic-body SDG SOI MOSFET의 단면도
Fig. 1. Cross-section of an intrinsic-body SDG SOI MOSFET to be modeled.

1에 도시되어 있다. 여기서 x 는 게이트와 실리콘의 접합면으로부터 채널을 가로지르는 좌표이고, y 는 소스 끝에서 드레인 쪽으로 향하는 좌표, t_{si} 는 silicon body의 두께, t_{ox} 는 front 및 back oxide층의 두께, 그리고 V_{GS} 및 V_{DS} 는 각각 소스를 기준으로 한 게이트 전압 및 드레인 전압을 나타낸다. 문턱전압 모델 도출의 경우 소자가 cut-off 또는 sub-threshold 영역에서 동작되므로 silicon body 내의 캐리어 밀도는 무시 가능하다. 본 논문에서는 소자 modeling의 단순화를 위해 oxide 내의 fixed charge는 무시하였다. 그러면 front 및 back oxide층과 silicon body 내의 전위 $\Psi(x, y)$ 는 다음의 2차원 Laplace 방정식을 만족하게 된다.

$$\frac{\partial^2 \Psi}{\partial x^2} + \frac{\partial^2 \Psi}{\partial y^2} = 0. \quad (1)$$

편의상 oxide층 내의 전위 분포를 $\Psi^{ox}(x, y)$ 로, intrinsic silicon body 내의 전위 분포를 $\Psi^{si}(x, y)$ 로 구분하자. 소자 구조의 대칭성으로 $-t_{ox} \leq x \leq t_{si}/2$ 영역만 고려하면 되므로, 이에 필요한 경계조건들은 다음과 같다.

$$\Psi^{ox}(-t_{ox}, y) = V_{GS} - \Phi_{MS} \equiv V_{GS}' \quad (2)$$

$$\Psi^{ox}(0, y) = \Psi^{si}(0, y) \equiv \Psi_s(y) \quad (3)$$

$$\left. \frac{\partial \Psi^{si}}{\partial x} \right|_{x=t_{si}/2} = 0, \quad (4)$$

$$\epsilon_{ox} \frac{\partial \Psi^{ox}}{\partial x} \Big|_{x=0} = \epsilon_{si} \frac{\partial \Psi^{si}}{\partial x} \Big|_{x=0} - Q_{ss}, \quad (5)$$

단, Φ_{MS} 는 게이트와 실리콘 채널 사이의 일함수의 차, $\Psi_s(y)$ 는 채널 표면전위, ϵ_{si} 는 silicon의 유전 상수, ϵ_{ox} 는 oxide의 유전 상수, 그리고 Q_{ss} 는 oxide/silicon interface에서의 전하 밀도이다. front oxide층 내의 전위 분포를 구하기 위해 초기 추정(initial guess)으로 GCA, 즉 $|\partial^2 \Psi / \partial x^2| \gg |\partial^2 \Psi / \partial y^2|$ 를 고려하고 식(2) 및 (3)을 이용하면 $\Psi^{ox}(x,y)$ 는 다음과 같이 쓸 수 있다.

$$\Psi^{ox}(x,y) \cong V_{GS}' + \frac{x'}{t_{ox}} [\Psi_s(y) - V_{GS}'] \quad (6)$$

단, $x' = x + t_{ox}$ 이다. 상기 식은 $\Psi^{ox}(x,y)$ 가 x 의 1차 함수로 표현된다고 가정한 기존 모델의 결과에 대응되며 채널 길이가 oxide층의 폭에 비해 상당히 긴 경우에만 GCA가 유효하므로 short-channel 소자에서는 정확성이 결여된다. 이를 해결하기 위해 식(6)을 y 에 대하여 두 번 미분하여

$$\frac{\partial^2 \Psi^{ox}}{\partial y^2} \cong \frac{x'}{t_{ox}} \frac{d^2 \Psi_s}{dy^2} \quad (7)$$

을 얻고 이를 식(1)에 대입하면 초기 추정(initial guess)에서 도입된 GCA가 완화된 다음 식을 얻을 수 있다.

$$\frac{\partial^2 \Psi^{ox}}{\partial x^2} \cong -\frac{x'}{t_{ox}} \frac{d^2 \Psi_s}{dy^2} \quad (8)$$

경계 조건을 고려하여 식(8)을 만족하는 해 $\Psi^{ox}(x,y)$ 는 다음과 같다.

$$\Psi^{ox}(x,y) \cong V_{GS}' + \frac{x'}{t_{ox}} [\Psi_s(y) - V_{GS}'] - \frac{1}{6t_{ox}} (x'^3 - t_{ox}^2 x') \frac{d^2 \Psi_s}{dy^2} \quad (9)$$

식 (9)를 다시 y 에 대하여 두 번 미분하여

$$\frac{\partial^2 \Psi^{ox}}{\partial y^2} \cong \frac{x'}{t_{ox}} \frac{d^2 \Psi_s}{dy^2} - \frac{1}{6t_{ox}} (x'^3 - t_{ox}^2 x') \frac{d^4 \Psi_s}{dy^4} \quad (10)$$

을 얻고 이를 식(1)에 대입하고, 식(2) 및 (3)을 만족하는 oxide층 내의 2차원 전위 분포 식은 당초에 도입되었던 GCA가 거의 제거된 다음의 식으로 도출된다.

$$\begin{aligned} \Psi^{ox}(x,y) &= V_{GS}' + \frac{x'}{t_{ox}} [\Psi_s(y) - V_{GS}'] \\ &\quad - \frac{1}{6t_{ox}} (x'^3 - t_{ox}^2 x') \frac{d^2 \Psi_s}{dy^2} \\ &\quad + \frac{1}{120t_{ox}} \left(x'^5 - \frac{10}{3} t_{ox}^2 x'^3 + \frac{7}{3} t_{ox}^4 x' \right) \frac{d^4 \Psi_s}{dy^4} \end{aligned} \quad (11)$$

같이 하여 실리콘 영역의 2차원 전위 분포를 구하기 위해 초기 추정으로 GCA를 고려하면, $\Psi^{si}(x,y)$ 는 식(3) 및 식(4)를 만족하도록 다음과 같이 표현된다.

$$\Psi^{si}(x,y) \cong \Psi_s(y) \quad (12)$$

식(12)를 y 에 대하여 두 번 미분하여

$$\frac{\partial^2 \Psi^{si}}{\partial y^2} \cong \frac{d^2 \Psi_s}{dy^2} \quad (13)$$

을 얻고 이를 식(1)에 대입하면 식(3) 및 식(4)를 만족하는 $\Psi^{si}(x,y)$ 는 다음과 같다.

$$\Psi^{si}(x,y) \cong \Psi_s(y) - \frac{1}{2} (x^2 - t_{si} x) \frac{d^2 \Psi_s}{dy^2} \quad (14)$$

식(14)를 다시 y 에 대하여 두 번 미분하여

$$\frac{\partial^2 \Psi^{si}}{\partial y^2} \cong \frac{d^2 \Psi_s}{dy^2} - \frac{1}{2} (x^2 - t_{si} x) \frac{d^4 \Psi_s}{dy^4} \quad (15)$$

을 얻고 이를 식(1)에 대입하여 식 (3) 및 (4)를 만족하는 해 $\Psi^{si}(x,y)$ 는 다음과 같다.

$$\begin{aligned} \Psi^{si}(x,y) &= \Psi_s(y) - \frac{1}{2} (x^2 - t_{si} x) \frac{d^2 \Psi_s}{dy^2} \\ &\quad + \frac{1}{24} (x^4 - 2t_{si} x^3 + t_{si}^3 x) \frac{d^4 \Psi_s}{dy^4} \end{aligned} \quad (16)$$

2. SDG SOI MOSFET의 채널 표면 전위

식(11)과 식(16)을 각각 x 에 대하여 미분하고 $x=0$ 을 대입한 식들을 식(5)에 대입하면, 다음을 얻게 된다.

$$\begin{aligned} \frac{1}{t_{ox}} [\Psi_s(y) - V_{GS} + V_{FB}] - \left(\frac{t_{ox}}{3} + \frac{\eta t_{si}}{2} \right) \frac{d^2 \Psi_s}{dy^2} \\ - \left(\frac{1}{45} t_{ox}^3 + \frac{1}{24} \eta t_{si}^3 \right) \frac{d^4 \Psi_s}{dy^4} = 0 \end{aligned} \quad (17)$$

단, $\eta = \epsilon_{si} / \epsilon_{ox}$ 이고, V_{FB} 는 flat-band 전압으로서 다음

과 같다.

$$V_{FB} = \Phi_{MS} - \frac{t_{ox}}{\epsilon_{ox}} Q_{ss}. \quad (18)$$

식(17)은 y 에 대해 4차 선형 미분 방정식으로서 그 해는 다음의 형태로 표현될 수 있다.

$$\frac{d^2 \Psi_s}{dy^2} = \frac{1}{\lambda^2} [\Psi_s(y) - V_{GS} + V_{FB}] \quad (19)$$

단, λ 는 natural length로서 다음과 같이 도출된다.

$$\lambda = t_{ox} \sqrt{\frac{1}{6} + \frac{\eta t_{si}}{4 t_{ox}} + \sqrt{\left(\frac{1}{6} + \frac{\eta t_{si}}{4 t_{ox}}\right)^2 + \frac{1}{45} + \frac{\eta t_{si}^3}{24 t_{ox}^3}}} \quad (20)$$

식(19)로부터 $\Psi_s(y)$ 는 다음과 같이 얻어진다.

$$\begin{aligned} \Psi_s(y) = & V_{GS}'' + (\Psi_{sL} - V_{GS}'') \operatorname{csch}\left(\frac{L}{\lambda}\right) \sinh\left(\frac{y}{\lambda}\right) \\ & + (\Psi_{s0} - V_{GS}'') \operatorname{csch}\left(\frac{L}{\lambda}\right) \sinh\left(\frac{L-y}{\lambda}\right) \end{aligned} \quad (21)$$

상기 식에서 $V_{GS}'' = V_{GS} - V_{FB}$, $\Psi_{s0} = \Psi_s(0)$, 및 $\Psi_{sL} = \Psi_s(L)$ 이다. sub-threshold 영역에서는 드레인 전류가 거의 0이므로 소스와 드레인의 기생 저항에 의한 ohm성 전압 강하를 무시할 수 있어 Ψ_{s0} 와 Ψ_{sL} 은 다음과 같이 표현할 수 있다.

$$\Psi_{s0} \approx V_{bi} \quad (22)$$

$$\Psi_{sL} \approx V_{bi} + V_{DS} \quad (23)$$

단, V_{bi} 는 n^+ -소스(드레인)와 intrinsic silicon body 사이의 built-in 전압으로서, 소스와 드레인 영역의 도핑 농도가 균일한 값 N_D 이라면 V_{bi} 는 다음과 같다.

$$V_{bi} = \frac{k_B T}{q} \ln\left(\frac{N_D}{n_i}\right) \quad (24)$$

단, k_B 는 볼츠만 상수, T 는 절대 온도, q 는 전자의 전하량이고, n_i 는 silicon 내의 진성 캐리어 밀도이다.

3. SDG SOI MOSFET의 문턱 전압 표현 식

식 (21)을 y 에 대해 미분하고 $\Psi_s(y)$ 이 최소치가 되는 y 의 값을 y_m 이라고 하면 다음 식을 얻게 된다.

$$\frac{\cosh\left(\frac{L-y_m}{\lambda}\right)}{\cosh\left(\frac{y_m}{\lambda}\right)} = \frac{\Psi_{sL} - V_{GS}''}{\Psi_{s0} - V_{GS}''} \quad (25)$$

식(21)에 $y=y_m$ 을 대입하고 식(25) 및 hyperbolic sine 함수의 가법정리를 이용하면 $\Psi_s(y)$ 의 최소 값 $\Psi_{s,\min} = \Psi_s(y_m)$ 은 다음 식으로 얻어진다.

$$\begin{aligned} \Psi_{s,\min} = & V_{GS}'' + (\Psi_{s0} - V_{GS}'') \operatorname{sech}\left(\frac{y_m}{\lambda}\right) \\ = & V_{GS}'' + (\Psi_{s0} - V_{GS}'') \sqrt{1 - \tanh^2\left(\frac{y_m}{\lambda}\right)} \end{aligned} \quad (26)$$

식(25)에 hyperbolic cosine함수의 가법정리를 이용하면

$$\begin{aligned} \tanh\left(\frac{y_m}{\lambda}\right) = & \tanh\left(\frac{L}{2\lambda}\right) - \frac{V_{DS}}{\Psi_{s0} - V_{GS}''} \operatorname{csch}\left(\frac{L}{\lambda}\right) \end{aligned} \quad (27)$$

을 얻게 된다. $L \gg \lambda$ 인 경우, $\operatorname{csch}(L/\lambda) \approx 0$ 을 식(27)에 대입하면 $y_m \approx L/2$ 이 얻어지며 $L/2 \gg \lambda$ 를 식(26)에 대입하고 $\tanh(y_m/\lambda) \approx 1$ 을 고려하면

$$\Psi_{s,\min} \approx V_{GS}'' \quad (28)$$

을 얻는다. 상기 결과로부터 sub-threshold 조건, 즉 $V_{GS} \leq V_T$ 을 다음과 같이 제안하기로 하자.

$$\Psi_{s,\min} \leq V_{T00} - V_{FB} \quad (29)$$

단, V_{T00} 는 장 채널 소자의 문턱전압을 나타낸다. 식 (26)을 고려하면 상기 부등식은 다음과 같이 된다.

$$\begin{aligned} \tanh^2\left(\frac{L}{2\lambda}\right) X^2 - 2 \left[\Psi_{s0} + \tanh\left(\frac{L}{2\lambda}\right) \operatorname{csch}\left(\frac{L}{\lambda}\right) V_{DS} \right] X + \Psi_{s0}^2 + V_{DS}^2 \operatorname{csch}^2\left(\frac{L}{\lambda}\right) & \geq 0 \end{aligned} \quad (30)$$

단, $X = \Psi_{s0} - V_{GS}''$ 이다. 상기 부등식은 $V_{GS} \leq V_T$ 의 조건을 다음과 같이 표현하게 된다.

$$X \geq \frac{\Psi_{s0} + \tanh\left(\frac{L}{2\lambda}\right) \operatorname{csch}\left(\frac{L}{\lambda}\right) V_{DS} + \sqrt{D}}{\tanh^2\left(\frac{L}{2\lambda}\right)} \quad (31)$$

단, D 는 다음과 같다.

$$D = \left[\begin{aligned} &\Psi_{s0} + \tanh\left(\frac{L}{2\lambda}\right) \operatorname{csch}\left(\frac{L}{\lambda}\right) V_{DS}^2 \\ &-\tanh^2\left(\frac{L}{2\lambda}\right) \left[\Psi_{s0}^2 + V_{DS}^2 \operatorname{csch}^2\left(\frac{L}{\lambda}\right) \right] \end{aligned} \right] \quad (32)$$

$$= \Psi_{s0} \Psi_{sL} \operatorname{sech}^2\left(\frac{L}{2\lambda}\right)$$

따라서 문턱전압 V_T 는 다음과 같이 도출될 수 있다.

$$V_T = V_{FB} - \frac{1}{2}(\Psi_{s0} + \Psi_{sL}) \operatorname{csch}^2\left(\frac{L}{2\lambda}\right) - \sqrt{\Psi_{s0} \Psi_{sL}} \coth\left(\frac{L}{2\lambda}\right) \operatorname{csch}\left(\frac{L}{2\lambda}\right) \quad (33)$$

III. 모의 실험 결과 및 검토

앞서 구한 수식에 따라 $\Psi_s(y)$ 및 V_T 를 모의 실험한 결과가 그림 2에서 5까지 도시되었다. 계산을 위해 $k_B T/q = 0.026 [V]$, $\epsilon_{ox} = 3.9 \times 8.85 \times 10^{-14} [F/cm]$, $\epsilon_{si} = 11.8 \times 8.85 \times 10^{-14} [F/cm]$, $N_D = 1 \times 10^{20} [cm^{-3}]$, $n_i = 1.45 \times 10^{10} [cm^{-3}]$ 를 사용하였다. 그림 2는 단 채널 소자(50nm)에 대해 드레인 전압(V_{DS})이 0V, 1V, 2V로 증가함에 따른 표면 전위의 변화를 나타낸다. 단 채널 소자의 경우 표면 전위의 최소가 V_{DS} 의 증가에 따라 작아지는 것을 보이고 있어 단 채널 소자에서 DIBL 효과가 뚜렷이 나타나고 있음을 확인할 수 있다. 그림 3

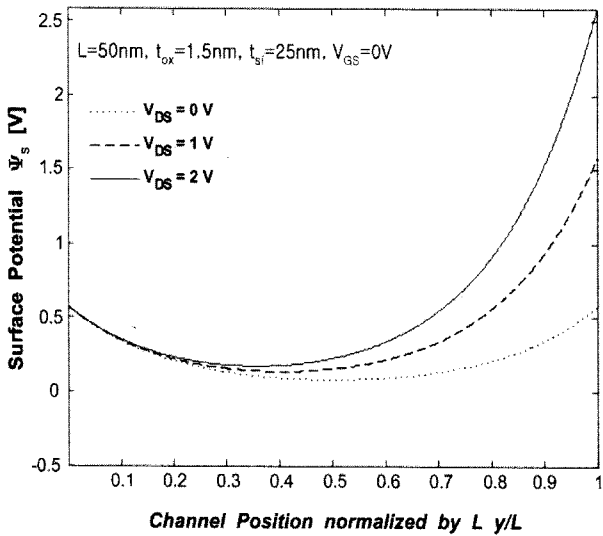


그림 2. 단채널 intrinsic-body SDG SOI MOSFET의 채널 위치에 따른 표면 전위의 변화
Fig. 2. surface potential along the channel position of a short channel intrinsic body SDG SOI MOSFET for various values of drain voltage.

은 여러 채널 길이에 대한 드레인 전압에 따른 채널 표면 전위가 최소가 되는 채널 위치(y_m)의 변화를 보이고 있다. 그림 2와 마찬가지로 드레인 전압이 증가할수록 단 채널에서의 y_m 위치가 소스 쪽으로 이동하는 것을 보이고 있다. 그림 4와 그림 5는 각각 t_{ox} 가 1nm와 1.5nm일 때 t_{si} 의 변화(1.5nm, 5nm, 10nm, 25nm)에 따

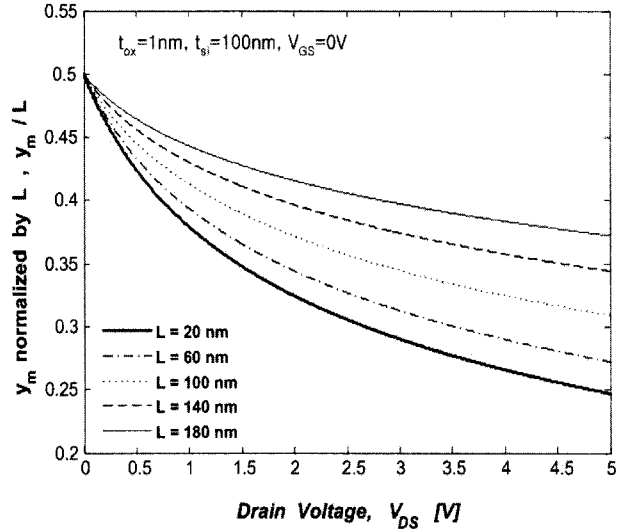


그림 3. 여러 채널 길이에 대한 드레인 전압에 따른 표면 전위가 최소가 되는 채널 위치의 변화
Fig. 3. y_m normalized by L versus V_{DS} for various values of channel length.

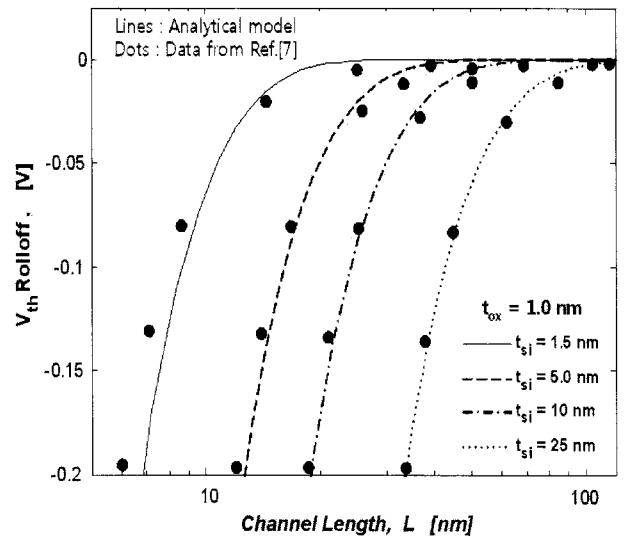


그림 4. $t_{ox} = 1nm$ 일때 여러 t_{si} 에 대한 단 채널 intrinsic-body SDG SOI MOSFET의 채널 길이에 따른 문턱 전압의 변화
Fig. 4. Threshold voltage versus channel length at $t_{ox} = 1nm$ for various values of t_{si} in intrinsic body SDG SOI MOSFETs.

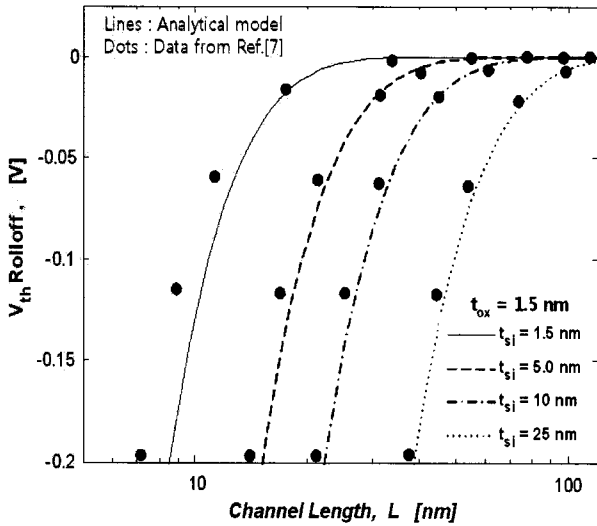


그림 5. $t_{ox} = 1.5nm$ 일때 여러 t_{si} 에 대한 단 채널 intrinsic-body SDG SOI MOSFET의 채널 길이에 따른 문턱 전압의 변화

Fig. 5. Threshold voltage versus channel length at $t_{ox} = 1.5nm$ for various values of t_{si} in intrinsic body SDG SOI MOSFETs.

른 문턱전압의 변화를 Qing Chen et al. (Ref. [7])이 보고한 data와 비교하여 도시하였으며, 본 모델의 결과와 상당 부분 일치함을 보이고 있다. t_{si} 의 두께가 증가하면서 문턱전압이 감소함을 보이고 있고 이는 t_{si} 와 t_{ox} 의 변화에 따른 문턱전압의 roll-off 현상을 잘 나타내고 있다. 또, t_{si} 가 얇아지면 Ref. [7]의 데이터와 차이가 커지는 것을 볼 수 있는데, 이는 Ref. [7]의 모델이 silicon body 양 측면의 경계 조건을 각각 등전위인 $\Psi(x,0) = V_{bi}$, $\Psi(x,L) = V_{bi} + V_{DS}$ 로 정의한 반면, 본 논문에서는 $\Psi(x,0)$ 및 $\Psi(x,L)$ 을 x 의 4차 함수로 도출하였으며, 이 두 차이는 t_{si} 가 얇아질수록 더 크게 나타나게 된다. 그러므로 2차원 전위 분포를 보다 충실히 고려한 본 논문이 threshold voltage roll-off 현상을 더 정확하게 보여주는 결과라고 판단할 수 있다.

IV. 결 론

본 논문에서는 short-channel intrinsic-body SDG SOI MOSFET의 문턱전압 도출에 관한 비교적 간단하고 정확한 해석적 모델을 제안하였다. 기존의 논문들 [3]-[7]의 경우 단 채널에서 오차를 수반할 수 밖에 없는 단순한 GCA를 통해 문턱전압의 표현 식을 도출한 데 비해 본 논문에서 제안한 해석적 모델은 완화된 GCA를

이용, 문턱전압의 표현 식을 간편한 closed-form으로 도출하고 있다. 또한 구해진 문턱전압 식으로부터 모의실험을 수행한 결과, 여러 소자 구조 파라미터와 인가 바이어스 전압에 대해 비교적 정확한 의존성을 보이고 있으므로, 본 모델이 intrinsic body SDG SOI MOSFET의 문턱전압 roll-off를 기술하는데 있어 유용하게 적용될 수 있으리라 기대된다.

참 고 문 헌

- [1] W. Z. Shangguan, T. C. Au Yeung, Z. M. Zhu, X. Zhou "General analytical Poisson solution for undoped generic two gated metal oxide semiconductor field effect transistors", *Appl. Phys. Lett.* vol 90, 012110 2007.
- [2] Wei-Yuan Lu, Yuan Taur, "On the Scaling Limit of Ultrathin SOI MOSFETs", *IEEE Trans. Electron Devices*, vol. 53(5), pp. 1137, 2006.
- [3] O. Cobianu, O. Soffke, M. Glesner, "A Verilog A-model of an undoped symmetric dual gate MOSFET", *Adv. Radio Sci.*, 4, 303-306, 2006.
- [4] Slavica Malobabic, Adelmo Ortiz Conde, Francisco J. Garcia Sanchez, "Modeling the Undoped Body Symmetric Dual Gate MOSFET", *Fifth IEEE International Caracas Conference on Devices, Circuits and Systems*, Nov, 2004.
- [5] Qiang Chen, James D. Meindl, "A Comparative Study of Threshold Variations in Symmetric and Asymmetric undoped double gate MOSFETs", *IEEE International SOI Conference*, pp. 30, 2002.
- [6] Yuan Taur, "An Analytical Solution to a Double Gate MOSFET with Undoped Body", *IEEE Electron Lett.*, vol 21, pp. 245 2000.
- [7] Qiang Chen, Evans M. Harrell, James D. Meindl. "A Physical Short Channel Threshold Voltage Model for Undoped Symmetric Double Gate MOSFETs" *IEEE Trans. Electron Devices*, vol. 50, pp. 1631, Jul 2003.
- [8] 이정호, 서정하, "SOI형 대칭 DG MOSFET의 문턱전압 도출에 대한 간편한 해석적 모델", *대한전자공학회 논문지 제44권 SD편 제7호*, pp. 16, 2007.

저 자 소 개



장 은 성(학생회원)
2007년 홍익대학교 전자전기
공학부 졸업 (공학사).
2009년 현재 홍익대학교 전자정보
통신공학과 석사.
<주관심분야: MOSFET, IGBT>



오 영 해(학생회원)
2007년 홍익대학교 전자정보통신
공학과 졸업
(공학석사).
2009년 현재 홍익대학교 전자정보
통신공학과 박사과정.
<주관심분야: 반도체 소자 설계,
PRAM>



서 정 하(정회원)
대한전자공학회 논문지
제41권 SD편 제3호 참조