

논문 2009-46SD-11-3

기준 전압 스케일링을 이용한 12비트 10MS/s CMOS 파이프라인 ADC

(A 12b 10MS/s CMOS Pipelined ADC Using a Reference Scaling Technique)

안길초*

(Gil-Cho Ahn)

요약

본 논문에서는 낮은 전압 이득 특성을 갖는 증폭기를 이용한 12비트 10MS/s 파이프라인 ADC를 제안한다. 증폭기의 낮은 전압 이득 특성에 의한 MDAC의 잔류 전압 이득 오차를 보상하기 위해 기준 전압 스케일링 기법을 적용한 파이프라인 ADC 구조를 제안하였다. 증폭기 오프셋에 의한 제안하는 ADC의 성능 저하를 개선하기 위해 첫 단 MDAC에 오프셋 조정이 가능한 증폭기를 사용하였으며, 낮은 증폭기 전압 이득으로 인해 발생하는 메모리 효과를 최소화하기 위해 추가적인 리셋 스위치를 MDAC에 적용하였다. 한편, 45dB 수준의 낮은 전압 이득을 갖는 증폭기를 기반으로 구성된 시제품 ADC는 0.35 μ m CMOS 공정으로 제작되었으며, 측정된 최대 DNL 및 INL은 각각 0.7LSB 및 3.1LSB 수준을 보인다. 또한 2.4V의 전원 전압과 10MS/s의 동작 속도에서 최대 SNDR 및 SFDR이 각각 62dB와 72dB이며, 19mW의 전력을 소모한다.

Abstract

A 12b 10MS/s pipelined ADC with low DC gain amplifiers is presented. The pipelined ADC using a reference scaling technique is proposed to compensate the gain error in MDACs due to a low DC gain amplifier. To minimize the performance degradation of the ADC due to amplifier offset, the proposed offset trimming circuit is employed in the first-stage MDAC amplifier. Additional reset switches are used in all MDACs to reduce the memory effect caused by the low DC gain amplifier. The measured differential and integral non-linearities of the prototype ADC with 45dB DC gain amplifiers are less than 0.7LSB and 3.1LSB, respectively. The prototype ADC is fabricated in a 0.35 μ m CMOS process and achieves 62dB SNDR and 72dB SFDR with 2.4V supply and 10MHz sampling frequency while consuming 19mW power.

Keywords: 증폭기 전압이득, 오프셋, 기준전압 스케일링, ADC, CMOS

I. 서론

반도체 공정기술의 발달로 시스템의 집적도가 증가함과 동시에 복잡하고 다양한 기능의 디지털 신호처리 회로 구현이 가능해 졌다. 또한, 유사 공정에 따른 재설계의 용이함과 수십 나노미터의 선폭을 갖는 미세 공정

의 개발에 따라 저전압, 저전력 동작 특성을 지닌 다기능의 디지털 신호처리 회로가 무선통신 및 멀티미디어 시스템과 같은 다양한 응용분야에 사용되고 있다. 그러나 아날로그로 이루어진 자연계의 원 신호를 디지털 신호로 변환시켜주기 위해서는 A/D 변환기 (ADC)가 반드시 필요하며, 시스템의 성능이 향상됨에 따라 요구되는 ADC의 성능 역시 높아지고 있다. 동시에 배터리를 이용한 휴대용 시스템의 수요가 급격히 증가하면서, 동작 시간 연장을 위해 저전력 회로 설계의 중요성이 점차 부각되고 있다. 특히, 파이프라인 ADC는 동작 속도

* 정회원, 서강대학교 전자공학과
(Dept. of Electronic Engineering, Sogang University)

접수일자: 2009년6월8일, 수정완료일: 2009년10월25일

와 소비 전력 간에 최적의 trade-off 특성을 지니고 있어 무선통신 및 비디오 신호처리를 위한 front-end 회로에 보편적으로 이용되고 있다.

일반적으로 고해상도 파이프라인 ADC 설계를 위해서는 정확한 잔류 전압 이득 (residue voltage gain)을 갖는 multiplying digital-to-analog converter (MDAC)가 필수적으로 요구되며, 이 때 MDAC의 잔류 전압 이득 정확도는 사용되는 증폭기의 전압 이득 및 커패시터의 정합에 의해 결정된다. 특히, 증폭기의 경우 요구되는 해상도에 부합하는 신호의 정확도를 얻기 위해서는 높은 전압 이득이 필수적으로 요구되며, 이를 위해 다단 구조 (multi-stage topology)^[1~2] 및 gain boosting^[3] 구조의 증폭기 회로가 일반적으로 사용되고 있다. 그러나 CMOS 공정의 미세화와 함께 증폭기의 각 단에서 구현 가능한 전압 이득이 점차 감소함에 따라, 고해상도 ADC에 필요한 전압 이득 수준을 유지하기 위해서는 더 많은 단의 증폭기가 필요하게 되었으며, 그 결과 전체적인 칩 면적 및 성능 저하의 요인이 되는 증폭기 잡음이 증가하게 되었다. 특히, non-dominant pole 수의 증가로 인한 phase margin 감소를 보상하기 위해 주파수 보상 기법 (frequency compensation)을 적용할 경우, 요구되는 증폭기의 대역폭 유지를 위해 추가적인 소비 전력이 필요하게 된다. 따라서 낮은 전압 이득을 갖는 증폭기를 기반으로 회로를 구현하여 소비 전력과 칩 면적을 감소시키는 연구가 최근 다양한 방향으로 진행되고 있다^[4~5].

본 논문에서는 일반적인 고해상도 ADC에서 요구되는 사양보다 낮은 전압 이득을 지닌 증폭기를 이용한 고해상도 파이프라인 ADC 설계 기법을 제안하였다. 기준 전압과 MDAC의 잔류 전압을 동일한 이득으로 증폭함으로써 사용되는 증폭기의 낮은 전압 이득에 의해 발생하는 오차를 보정하였다. 제안하는 구조의 검증을 위해 12비트 10MS/s의 파이프라인 ADC 시제품을 제작하고 그 성능을 검증하였다.

II장에서는 제안하는 기준전압 스케일링 기법을 설명하였으며, III장에서는 기준전압 스케일링 기법을 적용한 파이프라인 ADC의 구조를 설명하였다. IV장에서는 제안된 ADC의 구현을 위해 사용된 회로 설계 기법을 요약하였으며, V장에서는 제작된 시제품 ADC의 측정 결과를 정리한 후, VI장에서 결론을 맺는다.

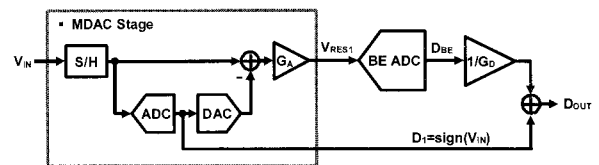
II. 기준전압 스케일링

그림 1의 (a)는 일반적인 파이프라인 ADC 구조의 블록도이다. 샘플-앤-홀드 증폭기 (sample-and-hold amplifier: SHA), sub-ADC, sub-D/A 변환기 (sub-DAC) 및 잔류 전압 증폭기로 구성된 MDAC의 cascade 연결로 이루어져 있으며, 첫 단을 제외한 나머지 파이프라인 단들은 back-end ADC (BE-ADC)로 나타내었다. 고해상도의 선형성을 얻기 위해서는 각 단 MDAC의 정확한 잔류 전압 이득이 필요하며, 이를 위해 정확한 커패시터 정합과 높은 전압 이득을 갖는 증폭기가 필요하다. 그림 1의 (b)는 일반적인 1비트 MDAC 회로를 나타내며, 커패시터 값과 증폭기의 제한된 이득을 고려한 잔류 전압 V_{RES} 는 전하 방정식에 의해 (1)과 같이 표현되며, 이 때 잔류 전압 이득 G_A 는 (2)와 같이 커패시터 값 C_1, C_2 의 정합과 증폭기의 전압 이득 A 에 의해 그 정확도가 결정됨을 확인할 수 있다.

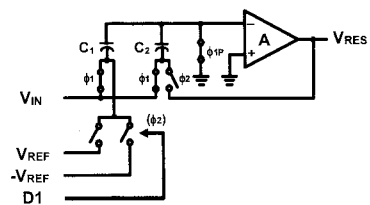
$$V_{RES} = \left(\frac{C_1 + C_2}{C_2 + \frac{C_1 + C_2}{A}} \right) \left[V_{IN} - \frac{C_1}{C_1 + C_2} \cdot D_1 \cdot V_{REF} \right] \quad (1)$$

$$G_A = \frac{C_1 + C_2}{C_2 + \frac{C_1 + C_2}{A}} \quad (2)$$

최근 CMOS 공정이 수십 나노미터 수준으로 미세화됨에 따라 커패시터의 정합 특성이 향상되었으며, 별도



(a)



(b)

그림 1. 파이프라인 ADC: (a) 일반적인 구조 및 (b) 1비트 MDAC 회로

Fig. 1. Pipelined ADC: (a) conventional architecture and (b) 1b MDAC circuit.

의 보정 기법 없이 레이아웃 기술만으로 12비트 이상의 선형성을 얻을 수 있다^[6]. 따라서 본 연구에서는 증폭기의 제한된 전압 이득 A에 의한 G_A 의 오차를 보상하는 방법을 제안하고자 한다.

그림 1(a)에 나타낸 MDAC의 증폭기 전압 이득에 의한 잔류 전압 이득 오차가 전체 ADC의 성능에 미치는 영향을 살펴보기 위해 사용된 커패시터의 정합과 첫 단 MDAC을 제외한 BE-ADC의 전달함수를 이상적인 값으로 가정하였다. 첫 단 MDAC의 증폭된 잔류 전압 V_{RES1} 은 (3)과 같으며, 이상적인 파이프라인 ADC의 경우 아날로그 신호 경로의 MDAC 잔류 전압 이득 G_A 는 디지털 신호 경로의 이득인 G_D 와 동일해야 한다. 그러나 MDAC의 전압 이득 오차에 의해 G_A 와 G_D 가 동일하지 않게 되면 첫 단 잔류 전압이 온전히 다음 단으로 전달되지 못하게 되므로 (4)와 같은 오차가 발생하게 되고, 전체 ADC의 선형성이 저하된다.

$$V_{RES1} = G_A \times \left(V_{IN} - \frac{1}{2} \cdot D_1 \cdot V_{REF} \right), \quad G_A \approx 2 \quad (3)$$

$$V_{RES1err} = (G_D - G_A) \times \left(V_{IN} - \frac{1}{2} \cdot D_1 \cdot V_{REF} \right) \quad (4)$$

그림 2는 MDAC의 잔류 전압 이득 오차에 의한 전체 ADC 전달 특성의 왜곡과 동일한 조건에서 sine 입력 신호에 대한 ADC의 출력을 보여주고 있다. 전압 이득 오차 Δ 는 아날로그 신호 경로의 이득 G_A 와 디지털 신호 경로의 이득 G_D 에 의해 $1 - G_A/G_D$ 로 정의하였으며, Δ 에 비례하여 sub-ADC의 출력이 변하는 지점에서 불연속 특성이 발생하는 것을 볼 수 있다. 이러한 파형은 $2(1-\Delta) V_{pp}$ 의 크기를 갖는 이상적인 sine 파형의 신호와 $2\Delta V_{pp}$ 의 크기를 갖는 rectangular 파형의 합으로

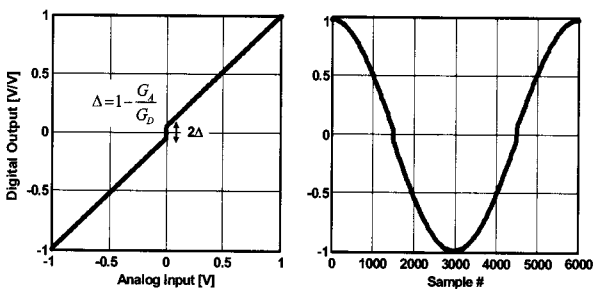


그림 2. 제한된 증폭기 전압 이득에 의한 ADC 전달 특성
Fig. 2. ADC transfer characteristic with finite opamp gain.

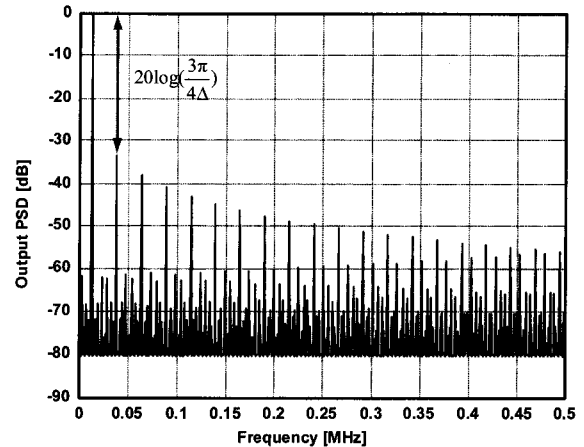


그림 3. 비선형 특성을 갖는 ADC 출력 스펙트럼
Fig. 3. Non-linear ADC output spectrum.

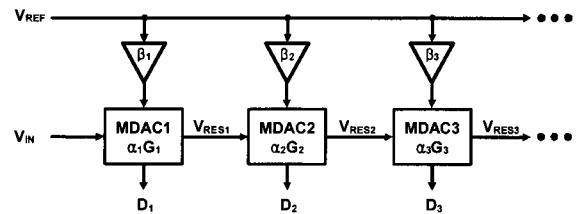


그림 4. 파이프라인 ADC의 MDAC 전압 이득 및 기준 전압 이득 모델
Fig. 4. Gain model of the MDAC and reference voltage in each pipelined stage.

이루어진 Fourier series로 표현할 수 있으며, 이 때 입력 주파수에 해당하는 신호의 크기와 다음으로 큰 3rd harmonic 신호의 비는 $3\pi/4\Delta$ 가 되어 (5)와 같은 spurious-free dynamic range (SFDR)와 그림 3과 같은 출력 스펙트럼을 얻게 된다.

$$SFDR = 20\log\left(\frac{3\pi}{4\Delta}\right) \quad (5)$$

따라서 출력 스펙트럼의 spurious tone 역시 MDAC의 전압 이득 오차 Δ 에 비례하여 증가하게 된다. 예를 들어, 80dB의 SFDR을 얻기 위해서는 Δ 가 0.00024 이하여야 하며, (2)와 $G_D=2$ 를 이용하여 그림 1(a)에서 나타낸 1비트 MDAC에 필요한 증폭기의 전압 이득을 구하면 79dB 수준이 필요함을 알 수 있다.

그림 4는 제안하는 기준 전압 스케일링 기법을 설명하기 위해 일반적인 파이프라인 ADC 모델에 각 MDAC의 기준 전압 입력에 대한 이득 β_i 를 추가한 블

록도이다. 각 MDAC의 잔류 전압 이득은 일반화된 이득 오차 α_i 와 이상적인 이득 G_i 의 곱으로 표현하였으며, G_i 는 각 단 출력의 유효 비트 수가 N_i 일 때 2^{N_i} 가 된다. 이 때 증폭된 잔류 전압 V_{RESi} 와 복원된 입력 신호 V_{RIN} 은 (6), (7)과 같다.

$$V_{RESi} = \alpha_i \cdot G_i \left(V_{RESi-1} - \frac{D_i}{G_i} \cdot \beta_i \cdot V_{REF} \right) \quad (6)$$

$$V_{RIN} = V_{REF} \left(D_1 \beta_1 + \frac{D_2}{G_1} \frac{\beta_2}{\alpha_1} + \frac{D_3}{G_1 G_2} \frac{\beta_3}{\alpha_1 \alpha_2} \right) + \frac{V_{RES3}}{\alpha_1 \alpha_2 \alpha_3 G_1 G_2 G_3} \quad (7)$$

이상적인 회로의 경우 모든 α_i 와 β_i 의 값은 1이 되며, 이 때 복원된 입력 신호 $V_{RIN,ideal}$ 은 (8)과 같다.

$$V_{RIN,ideal} = V_{REF} \left(D_1 + \frac{D_2}{G_1} + \frac{D_3}{G_1 G_2} \right) + \frac{V_{RES3}}{G_1 G_2 G_3} \quad (8)$$

한편, 일반적인 파이프라인 ADC의 경우, α_i 는 MDAC에 사용되는 증폭기의 전압 이득에 의해 결정되고 β_i 는 모든 파이프라인 단에 단일 기준 전압을 사용할 경우 1이 된다. 따라서 복원되는 입력 신호 $V_{RIN,real}$ 은 (9)와 같으며, 각 MDAC의 전압 이득 정확도 α_i 에 의해 그 성능이 결정됨을 확인할 수 있다.

$$V_{RIN,real} = V_{REF} \left(D_1 + \frac{D_2}{\alpha_1 G_1} + \frac{D_3}{\alpha_1 \alpha_2 G_1 G_2} \right) + \frac{V_{RES3}}{\alpha_1 \alpha_2 \alpha_3 G_1 G_2 G_3} \quad (9)$$

이와 같이 증폭기의 제한된 전압 이득에 의해 발생하는 성능 저하를 줄이기 위해 기준 전압 스케일링 기법을 사용하였다. 각 단 MDAC의 신호 경로에서 발생한 이득의 오차 α_i 와 동일한 이득을 기준 전압에 적용함으로써 증폭기의 제한된 전압 이득에 의해 발생하는 문제를 해결하였다. 즉, $\beta_1=1, \beta_2=\alpha_1, \beta_3=\alpha_1 \alpha_2$ 가 되도록 설계함으로써 (10)과 같이 복원된 입력 신호 $V_{RIN,proposed}$ 를 얻을 수 있으며, 다음 단으로 전달되는 V_{RES3} 를 제외한 디지털 출력 D_1, D_2, D_3 에 의해 복원된 신호가 이상적인 경우의 결과인 $V_{RIN,ideal}$ 과 동일함을 확인할 수 있다.

$$V_{RIN,proposed} = V_{REF} \left(D_1 + \frac{D_2}{G_1} + \frac{D_3}{G_1 G_2} \right) + \frac{V_{RES3}}{\alpha_1 \alpha_2 \alpha_3 G_1 G_2 G_3} \quad (10)$$

III. 제안하는 ADC 구조

본 논문에서 제안하는 기준 전압 스케일링을 적용한 12비트 CMOS 파이프라인 ADC의 전체적인 구조는 그림 5와 같이 2.5비트 출력을 갖는 첫 단과 8개의 1.5비트 단, 2비트 flash ADC, 디지털 교정회로 (digital correction logic) 및 클럭 발생기 (clock generator) 등으로 구성되었다. 제안된 구조의 ADC는 전력 소모, 면적 및 잡음을 줄이기 위해 입력단 SHA를 사용하지 않았다. 일반적인 파이프라인 ADC와 마찬가지로 각 단은 정해진 수의 비트를 출력으로 내보내며, 그에 따른 잔류 전압 (각 단의 양자화 오차)을 증폭하여 다음 단의 입력으로 전달한다. 기준 전압에 MDAC과 동일한 이득 오차인 $\alpha_1, \alpha_2, \alpha_3$ 를 순차적으로 곱하여 각 단에 제공해 줌으로써 앞서 설명한 $\beta_1=1, \beta_2=\alpha_1, \beta_3=\alpha_1 \alpha_2$ 를 구현하였으며, 이를 통해 MDAC의 잔류 전압 이득 오차에 의한 선형성 저하 문제를 해결하였다. 제안된 기준 전압 스케일링 기법을 기반으로 45dB 수준의 낮은 전압 이득을 갖는 증폭기를 첫 단의 2.5비트 MDAC에 사용하여 12비트 파이프라인 ADC를 구현하였다. 동일한 조건에서 일반적인 파이프라인 ADC의 첫 단 MDAC 출력은 10비트 수준의 전압 이득 정확도가 요구되며, 이를 위

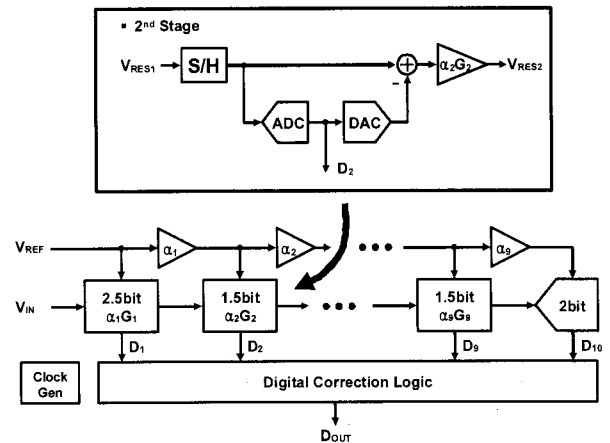


그림 5. 제안된 12비트 파이프라인 ADC 구조
Fig. 5. Proposed 12bit pipelined ADC architecture.

해 72dB 이상의 전압 이득을 갖는 증폭기가 필요하다. 따라서 요구되는 증폭기 이득의 감소를 통해 회로의 크기 및 소비 전력을 줄일 수 있으며, 증폭기 설계가 간단해짐에 따라 전반적인 동작 속도도 향상시킬 수 있다.

IV. 제안하는 주요 회로 설계 기법

1. 기준전압 스케일링 기법을 적용한 MDAC 회로
 그림 6은 제안하는 기준 전압 스케일링 기법을 적용한 MDAC 회로의 동작을 보여주고 있으며, MDAC의 잔류 전압 이득 오차와 동일한 이득 오차를 기준 전압에 제공해주기 위해 C_{R1} 으로 구성된 추가적인 커패시터 열과 동일한 증폭기를 공유하여 사용하였다.

첫 단 MDAC이 sub-ADC의 출력에 의해 증폭된 잔류 전압 V_{RES1} 을 출력하는 동안 C_{R1} 으로 구성된 커패시터 열과 비교기의 샘플링 커패시터 C_{L1} 은 기준 전압 V_{REF} 를 샘플링한다. 동시에 다음 단의 MDAC과 비교기는 첫 단의 증폭된 잔류 전압 출력인 V_{RES1} 을 MDAC의 샘플링 커패시터 C_{S2} 와 비교기의 샘플링 커패시터 C_{L2}

에 샘플링한다. 다음 클럭 phase에서 첫 단 MDAC의 샘플링 커패시터 C_{S1} 과 비교기의 샘플링 커패시터 C_{L1} 에 입력 신호가 샘플링될 때, 스케일링 된 기준 전압 V_{REF1} 을 다음 단 MDAC으로 전달한다. 이 때 둘째 단 MDAC은 이전 단의 출력인 스케일링된 기준 전압 V_{REF1} 을 이용하여 증폭된 잔류 전압을 출력한다. 동일한 증폭기 이득과 feedback factor가 적용된 MDAC의 출력 전압 및 스케일링된 기준 전압은 각각 (11), (12)와 같으며 두 경우 모두 $1/(1+4/A_1)$ 의 이득 오차를 보여주고 있다.

$$V_{RES1} = \frac{1}{1 + \frac{4}{A_1}} \left(4V_{IN} - \sum_{k=0}^2 D_k \cdot V_{REF} \right) \quad (11)$$

$$V_{REF1} = \frac{1}{1 + \frac{4}{A_1}} \cdot V_{REF} \quad (12)$$

그림 7은 첫 단에 사용된 완전 차동 구조의 2.5비트 MDAC 회로이다. 기준 전압과 입력 신호를 샘플링하기 위해 각각 C_{R1} , C_{S1} 으로 구성된 두 개의 커패시터 열이 사용되었다. 잔류 전압 생성을 위한 7개 레벨의 DAC는 sub-ADC의 출력에 따라 6개 커패시터의 bottom plate를 $+V_{REF}$ 또는 $-V_{REF}$ 에 연결함으로써 구현하였다.

한편, 낮은 전압 이득을 갖는 증폭기를 이용하여 스위치 커패시터 (switched-capacitor) 회로를 구현할 경우 메모리 효과가 발생하게 된다^[7]. 증폭기의 양단 입력

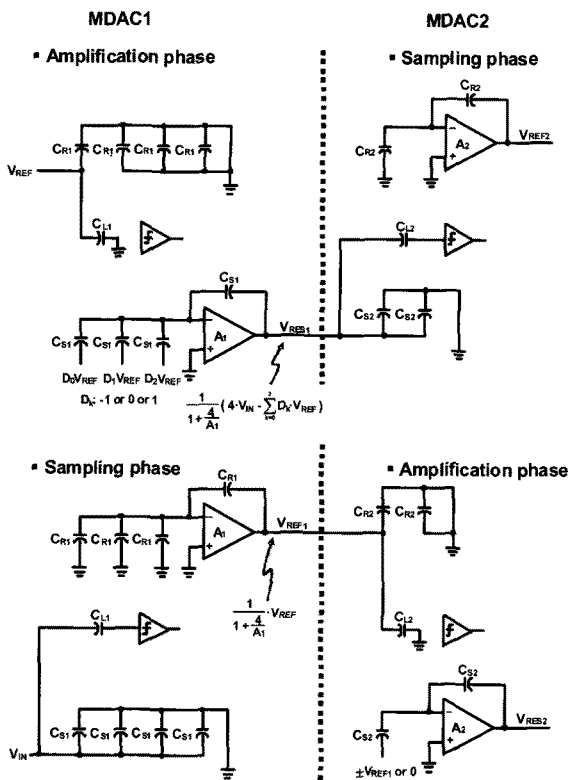


그림 6. 제안된 기준 전압 스케일링 기법을 적용한 MDAC 동작
 Fig. 6. MDAC operation with the proposed reference scaling technique.

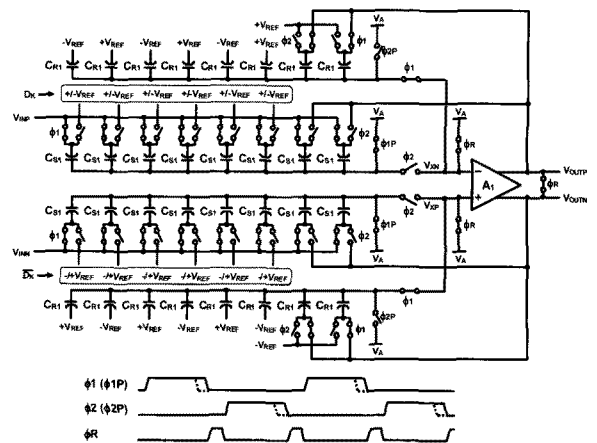


그림 7. 제안된 기준 전압 스케일링 기법을 적용한 완전 차동 구조의 MDAC
 Fig. 7. Fully-differential MDAC with the proposed reference scaling technique.

인 $V_{XP}-V_{XN}$ 은 $(V_{OUTP}-V_{OUTN})/A_1$ 과 같으며, 증폭기 이득 A_1 이 감소함에 따라 그 크기가 증가하고, 증폭기 입력단의 기생 커패시터에 신호가 저장되어 harmonic distortion을 만들게 된다. 일반적인 MDAC 회로의 경우는 샘플링 phase에서 증폭기의 입력단이 리셋되므로 메모리 효과가 발생하지 않지만, 증폭기를 공유할 경우 지속적으로 사용되어지므로 입력단을 리셋시키지 않으면 메모리 효과에 의해 신호의 왜곡이 발생하게 된다. 제안된 구조는 증폭기를 MDAC 동작과 기준 전압 스케일링에 공유하여 사용하므로 별도의 리셋 구간이 없을 경우 메모리 효과가 발생하게 된다. 메모리 효과에 의한 신호의 왜곡 현상을 줄이기 위해 증폭기의 입력과 출력단을 ϕ_R 클록을 이용하여 두 phase 사이에서 리셋 시킴으로써 증폭기 입력단의 기생 커패시터에 저장되는 신호 성분을 제거하였다.

2. 오프셋 제어 가능한 증폭기 회로

일반적인 파이프라인 구조의 ADC에서 증폭기의 오프셋에 의한 오차는 각 단 사이에 중첩된 비트를 이용하여 디지털 교정회로를 통해 교정되며, MDAC의 잔류 전압 이득에 영향을 주지 않는다. 그러나 제안된 기준

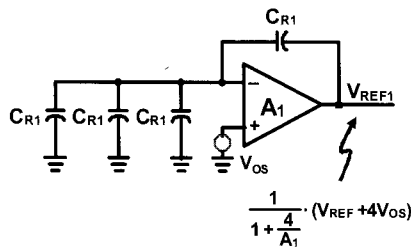


그림 8. 오프셋이 있는 증폭기를 이용한 경우의 스케일링된 기준 전압

Fig. 8. Scaled reference output with amplifier offset.

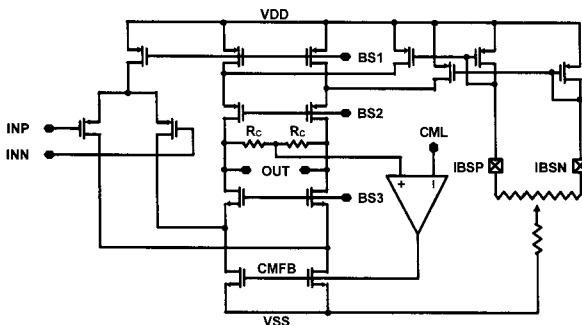


그림 9. 출력 오프셋 트리밍을 적용한 증폭기 회로

Fig. 9. Schematic of the amplifier with output offset trimming.

전압 스케일링 구조에서는 그림 8과 같이 스케일링된 기준 전압에 증폭기의 오프셋이 함께 증폭되어 나오며, 그 결과 MDAC의 잔류 전압에 적용되는 이득과 기준 전압 스케일링에 적용되는 이득이 다르게 되어 전체 ADC의 선형성이 저하된다. 증폭기의 오프셋이 V_{OS} 일 때 스케일링된 기준 전압은 (13)과 같으며 이상적인 스케일링 계수에 $(V_{REF}+4V_{OS})/V_{REF}$ 만큼의 이득 오차가 발생함을 확인할 수 있다.

$$V_{REF1} = \frac{1}{1 + \frac{4}{A_1}} (V_{REF} + 4V_{OS})$$

$$= \frac{1}{1 + \frac{4}{A_1}} \frac{(V_{REF} + 4V_{OS})}{V_{REF}} V_{REF} \tag{13}$$

증폭기 오프셋에 의한 전압 이득 오차를 줄이기 위해 그림 9와 같이 출력 전류 trimming을 통하여 오프셋 제거가 가능한 증폭기를 첫 단의 MDAC에 사용하였다. 동시에 folded-cascode 구조의 증폭기를 사용하여 출력 신호의 변화에 따른 증폭기 이득의 변화량을 최소화하였다. 측정 결과 증폭기 오프셋을 조정하여 첫 단의 디지털 출력이 변하는 부분에서의 differential non-linearity (DNL) 및 integral non-linearity (INL)를 개선할 수 있었다. 그러나 둘째, 셋째 단의 디지털 출력이 변하는 부분에서는 상대적으로 큰 DNL 및 INL을 확인할 수 있었으며, 이러한 측정 결과를 근거로 추가적인 회로를 통해 둘째와 셋째 단 MDAC의 증폭기 오프셋을 제거할 경우 전체 ADC의 선형성이 더욱 향상될 수 있음을 확인할 수 있다.

3. 기준전압 스케일링 기법을 적용한 비교기 설계

그림 10(a)는 첫 단의 sub-ADC에 사용된 비교기 회로이며, 입력 신호의 증폭과 latch에서 발생하는 kickback 잡음을 줄이기 위해 preamp A_1 을 사용하였다. 첫 단에 사용된 비교기는 ϕ_1 phase에서 기준 전압을 커패시터 C_S 에 샘플링하고 ϕ_2 phase에 입력 신호를 연결함으로써 기준 전압과 입력 신호의 차이를 비교한다. 그러나 두 번째 단 이후에는 입력 신호와 기준 전압이 모두 이전 단의 증폭기 출력으로부터 제공되므로 입력 스위치의 구조가 그림 10의 (b)와 같이 변형된 비교기가 사용되었다. 입력 신호가 ϕ_2 phase에 4개의 CS 커패시터에 샘플링되며, 이어지는 ϕ_1 phase에 1개의 CS 커패시터는 그대로 이전 단의 출력에 연결함으로써

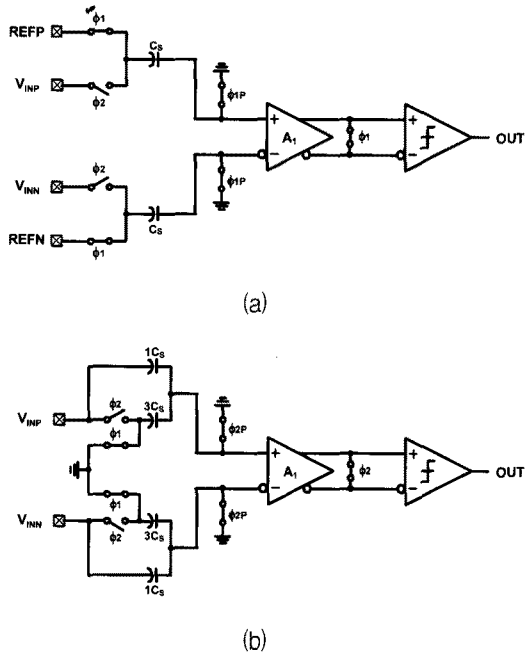


그림 10. 제안하는 비교기 회로: (a) 첫 단의 sub-ADC에 사용된 비교기 및 (b) 나머지 단 (2~9)의 sub-ADC에 사용된 비교기
 Fig. 10. Proposed comparators: (a) for the first stage sub-ADC and (b) for the remaining (2~9) stages sub-ADC.

스케일링된 기준 전압 V_{REF1} 을 받아들이고, 나머지 3개의 CS는 common-mode 레벨에 연결함으로써 1.5비트 sub-ADC를 위한 $1/4V_{REF1}$ 기준 전압을 생성한다.

V. 시제품 ADC 제작 및 성능 측정

제안된 12비트 10MS/s 파이프라인 ADC는 $0.35\mu\text{m}$ CMOS 공정으로 제작되었으며, 시제품의 칩 사진은 그림 11과 같다. 시제품 ADC의 입력 및 출력 패드를 포함한 칩 면적은 5.28mm^2 ($2.2\text{mm} \times 2.4\text{mm}$)이며, 2.4V의 전원 전압과 10MS/s의 동작 조건에서 19mW의 전력을 소모한다.

시제품 ADC의 측정된 DNL 및 INL은 그림 12에서 보는 바와 같이 각각 $+0.5/-0.7\text{LSB}$, $+2.3/-3.1\text{LSB}$ 수준이다. 그림 13은 시제품 ADC를 1MHz 2.2Vpp의 차동 sine 입력 신호와 10MS/s의 샘플링 속도로 동작시켰을 때 디지털 출력 신호의 스펙트럼으로 측정된 signal-to-noise-and-distortion ratio (SNDR)과 SFDR이 각각 62dB, 72dB 수준을 유지한다. 입력 신호의 주파수가 Nyquist 주파수인 5MHz로 증가할 때 SNDR과

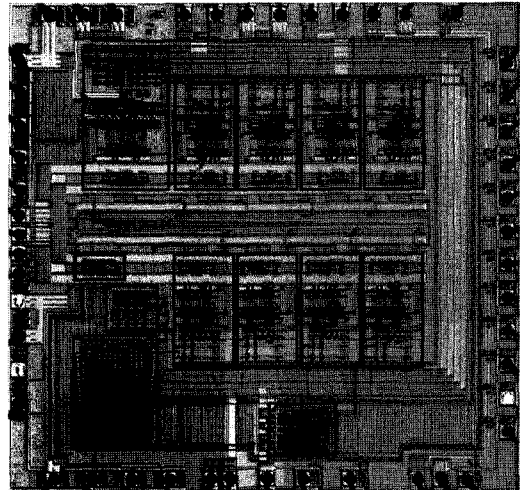


그림 11. 시제품 ADC의 칩 사진
 Fig. 11. Chip micrograph of the prototype ADC.

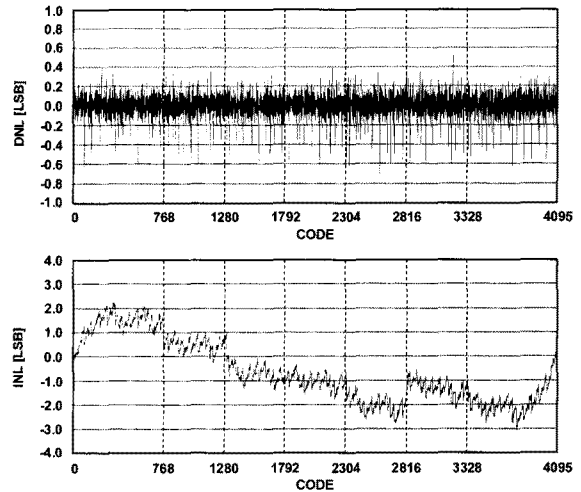


그림 12. 시제품 ADC의 측정된 DNL 및 INL
 Fig. 12. Measured DNL and INL of the prototype ADC.

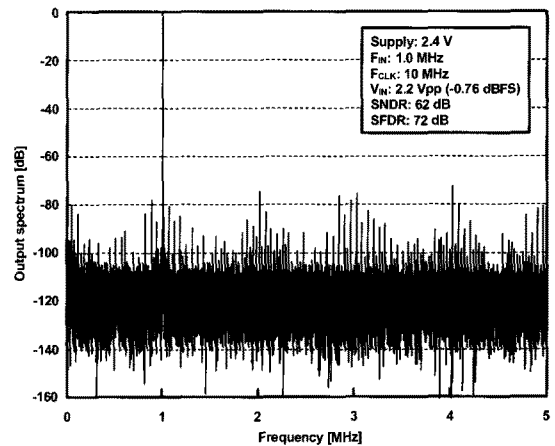


그림 13. 시제품 ADC의 측정된 FFT 스펙트럼
 Fig. 13. Measured FFT spectrum of the prototype ADC.

표 1. 시제품 ADC 성능 요약

Table 1. Performance summary of the prototype ADC.

Supply voltage	2.4V
Resolution	12b
Clock frequency	10MHz
Input range	2.4V _{pp} differential
DNL	< 0.7LSB
INL	< 3.1LSB
SFDR	72dB @ F _{IN} =1MHz 68dB @ F _{IN} =5MHz
SNDR	62dB @ F _{IN} =1MHz 57dB @ F _{IN} =5MHz
Power consumption	19mW
Active die area	5.28mm ² (2.2mm×2.4mm)
Technology	0.35μm CMOS

SFDR은 각각 57dB와 68dB 수준을 유지한다. 제안하는 시제품 ADC의 주요 성능 측정 결과를 표 1에 요약하였다.

VI. 결 론

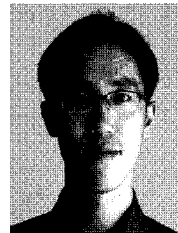
본 논문에서는 기준 전압 스케일링 기법을 적용한 12비트 10MS/s 파이프라인 ADC를 제안하였다. 일반적인 파이프라인 구조에서 요구되는 사양보다 낮은 전압 이득의 증폭기를 이용하여 고해상도 파이프라인 ADC를 구현함으로써 칩 크기와 소비전력을 감소시킬 수 있으며, 한 단으로 구성된 증폭기를 적용하여 동작 속도를 향상시킬 수 있다. 메모리 효과 및 증폭기 오프셋에 의한 신호의 왜곡과 기준 전압 이득 오차를 제거하기 위한 회로 설계 기법, 그리고 제안된 구조에 최적화된 샘플링 네트워크를 갖는 비교기 회로를 제안하였다. 시제품 ADC는 0.35μm CMOS 공정을 이용하여 제작하였으며, 측정 결과를 통해 제안된 구조의 동작을 검증하였다.

참 고 문 헌

[1] W. Yang, D. Kelly, I. Mehr, M. T. Sayuk, and L. Singer, "A 3-V 340-mW 14-b 75-Msample/s CMOS ADC with 85-dB SFDR at Nyquist input," *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 1931-1932, Dec. 2001.
 [2] E. Siragusa and I. Galton, "A digitally enhanced 1.8-V 15-bit 40-MSample/s CMOS pipelined ADC," *IEEE J. Solid-State Circuits*, vol. 39, no.

12, pp. 2126-2138, Dec. 2004.
 [3] Y. Chiu, P. Gray and B. Nikolić, "A 14-b 12-MS/s CMOS pipeline ADC with over 100-dB SFDR," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2139-2151, Dec. 2004.
 [4] B. Murmann and B. Boser, "A 12-bit 75-MS/s pipelined ADC using open-loop residue amplification," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2040-2050, Dec. 2003.
 [5] J. Keane, P. Hurst, and S. H. Lewis, "Background interstage gain calibration technique for pipelined ADCs," *IEEE Transactions on Circuits and Systems I*, vol. 52, no. 1, pp. 32-43, Jan. 2005.
 [6] Y. Cho, K. Lee, H. Choi, S. Lee, K. Moon, and J. Kim, "A calibration-free 14b 70MS/s 3.3mm² 235mW 0.13um CMOS pipeline ADC with high-matching 3-D symmetric capacitors," in *Proc. IEEE CICC*, Sept. 2006, pp. 485-488.
 [7] A. Zanchi, F. Tsay, and I. Papantonopoulos, "Impact of capacitor dielectric relaxation on a 14-bit 70-MS/s pipeline ADC in 3-V BiCMOS," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2077-2086, Dec. 2003.

저 자 소 개



안길초(정회원)

1994년 서강대학교 전자공학과
학사 졸업

1996년 서강대학교 전자공학과
석사 졸업

1996년 2월 ~ 2001년 11월
삼성전자 선임연구원

2005년 오레건주립대학 전자공학과 공학박사

2005년 10월 ~ 2008년 2월 Broadcom Corp. Senior
Engineer

2008년 3월 ~ 현재 서강대학교 전자공학과 조교수

<주관심분야 : 저전력, 저전압 혼성신호 집적회
로 설계, Oversampling delta-sigma data
converters 설계.>