

논문 2009-46SD-11-10

# 노치필터를 이용한 CMOS Selective 피드백 저잡음 증폭기

( A Selective Feedback LNA Using Notch Filter in 0.18 $\mu$ m CMOS )

서 미 경\*, 윤 지 숙\*, 한 정 원\*, 탁 지 영\*, 김 혜 원\*, 박 성 민\*\*

( Mikyung Seo, Jisook Yun, Jungwon Han, Jiyoung Tak, Hyewon Kim, and Sung Min Park )

## 요 약

본 논문에서는 0.18 $\mu$ m CMOS 공정을 이용하여 다양한 무선통신 시스템 표준을 포함하는 Selective 피드백 저잡음 증폭기 (SF-LNA)를 설계하였다. 노치필터를 이용하여 불필요한 주파수 대역은 지지시키고 원하는 주파수 대역만 통과시키는 주파수 응답을 얻었고, 측정 결과 820~960MHz와 1.57~2.5GHz 주파수 대역에서 각각 13dB 및 11.5dB의 전력이득과 -10dB 이하의 입력 및 출력 임피던스 매칭을 얻었다. 제작한 칩은 1.8V의 단일 전원전압으로부터 15mW의 낮은 전력소모를 가지며, 1.17 x 1.0mm<sup>2</sup>의 칩 사이즈를 갖는다.

## Abstract

In this paper, a selective feedback low-noise amplifier (LNA) has been realized in a 0.18 $\mu$ m CMOS technology to cover a number of wireless multi-standards. By exploiting notch filter, the SF-LNA demonstrates the measured results of the power gain (S21) of 11.5~13dB and the broadband input/output impedance matching of less than -10dB within the frequency bands of 820~960MHz and 1.5~2.5GHz, respectively. The chip dissipates 15mW from a single 1.8V supply, and occupies the area of 1.17 x 1.0mm<sup>2</sup>.

**Keywords :** LNA, selective feedback, notch filter, CMOS

## I. 서 론

최근 무선통신 회로 및 시스템의 급속한 발전으로 인하여, RF회로 설계자들은 더 좋은 성능, 더 효율적인 회로기술을 개발하도록 요구되고 있다. 특히, 다채널과 다양한 표준을 포함하는 형태의 송수신기가 나온 이후 광대역 RF front-end 회로에 대한 요구는 점점 증대되고 있다. 본 논문에서는 다양한 무선통신 표준 (예: GSM, GPS, CDMA, Bluetooth 등)을 포함하는 서브셋

플링 광대역 직접변환 수신기용의 front-end LNA(Low Noise Amplifier) 회로를 0.18 $\mu$ m CMOS 공정을 이용하여 구현하였다.<sup>[1]</sup> 특히, 외부전압 노드를 이용하여 위 표준에서 사용하지 않는 주파수대역인 1~1.5GHz를 지지할 수 있도록 설계하였고, 이를 위해 수동소자로 구성된 노치필터를 구현하였다.

일반적으로 CMOS 공정은 III-V 화합물 반도체 혹은 Si-Bipolar 공정보다 높은 집적도와 낮은 가격 등 여러 장점을 가지고 있기 때문에, 낮은 기가헤르쯔 주파수 대역을 다루는 RF회로는 CMOS 공정으로 설계하는 추세이다. 또한, 직접변환 수신기는 헤테로다인 수신기보다 소비전력이 작고, 더 높은 집적도를 가지며, 영상 주파수 같은 주파수 간섭문제가 없고, 수신기 내에 VCO 및 연관된 주파수합성기의 필요를 없앨 수 있기에 매우 간단한 구조로 제작할 수 있어 CMOS 공정으로 설계함

\* 학생회원, \*\* 평생회원, 이화여자대학교 공과대학 전자공학과

(Department of Electronics Eng., Ewha Womans University)

※ 이 논문은 2009년도 정부(교육과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구임 (No. 20090063084).

접수일자: 2009년8월19일, 수정완료일: 2009년10월16일

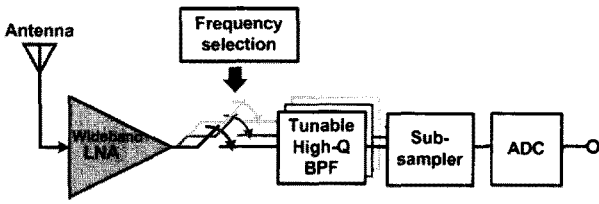


그림 1. 서브샘플링 직접변환 수신기의 블록다이어그램  
Fig. 1. Block diagram of subsampling direct-conversion RX.

이 매우 적합하다.

그림 1은 서브샘플링 직접변환 수신기의 간단한 블록 다이어그램으로, 광대역 LNA, 높은 Q값을 갖는 BPF, 서브샘플러 및 ADC로 구성되어 있다.<sup>[1]</sup>

## II. 본 론

### 1. SF-LNA 회로설계

본 논문에서는, 넓은 주파수 영역에서 다양한 무선통신 시스템 표준(standard)을 포함하는 동시에, 원하는 주파수 대역만 선택할 수 있는 Selective Feedback LNA(SF-LNA)를 제안한다. 그림 2에 나타난 주파수 응답과 같이, 불필요한 주파수 대역은 저지시키고 원하는 주파수 대역은 통과시키는 증폭기로서, 이를 위해 본 연구에서는 노치(notch) 필터를 이용하였다.<sup>[2]</sup>

그림 3은 SF-LNA의 회로도를 보여준다. Miller effect를 줄이기 위해 캐스코드 형태의 전압이득단을 입력단으로 하였고, 2차의 노치필터를  $M_1$ 의 드레인 노드에 연결함으로써 필요한 주파수 대역만 필터링하도록 하였다. 이는 노치필터를 입력단의 load로 사용한 참고 문헌 [2]와 달리,  $V_{bias}$ 를 이용하여 노치를 필요시 선택할 수 있는 장점이 있다.

또한, 50Ω 출력 임피던스 매칭을 위한 출력버퍼단이

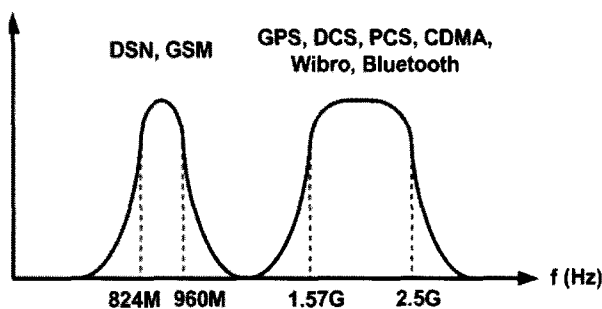


그림 2. 설계하려는 주파수 대역도  
Fig. 2. Desired frequency band diagrams.

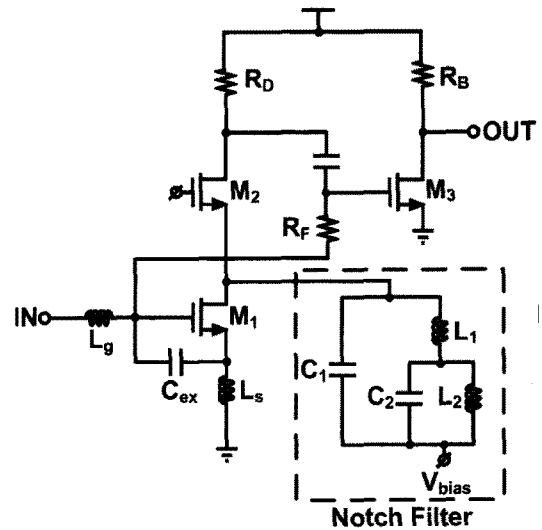


그림 3. SF-LNA의 회로도  
Fig. 3. Schematic diagram of the SF-LNA.

있고, 출력버퍼에 바이어스 전압을 공급하고 입력단의 임피던스 매칭을 돕는 피드백 저항( $R_f$ )을 연결하였다.

### 가. 노치필터의 회로분석

그림 4에서 보는 바와 같이, 본 설계에 사용한 노치 필터는 2개의 통과대역 주파수( $f_{pass1,2}$ )와 1개의 저지대역 주파수( $f_{stop}$ )를 갖는다. 위 노치필터 회로의 임피던스는 다음과 같다.

$$Z(j\omega) = \frac{j\omega L(1 - \omega^2 LC)}{(\omega^2 LC)^2 - \omega^2 \frac{1+k}{k} LC + 1} \quad (1)$$

이때, L과 C는 각각  $(L_1 + L_2)$  및  $C_1$ 을 나타내고, k는  $\alpha$ -dimension 지수를 나타낸다.<sup>[2]</sup> 따라서, 각각의 통과대역 주파수 및 저지대역 주파수는 다음과 같이 주어진다.

$$f_{stop} = \frac{1}{2\pi\sqrt{LC}} \quad (2)$$

$$f_{pass1,2} = \frac{1}{2\pi\sqrt{LC}} \frac{1}{2} \left( \sqrt{\frac{1}{k} + 3} \pm \sqrt{\frac{1}{k} - 1} \right) \quad (3)$$

이러한 노치필터에서는  $M_1$ 의 드레인 노드와 연결되는 커패시터 값이 클수록 노치필터 전체 임피던스 값이 작아지게 되고, 파라미터 k 값이 클수록 저지대역 주파수( $f_{stop}$ )에서의 저지되는 정도가 줄어들고 두 통과대역 주파수( $f_{pass1,2}$ )사이의 거리는 가까워진다. 따라서 위의

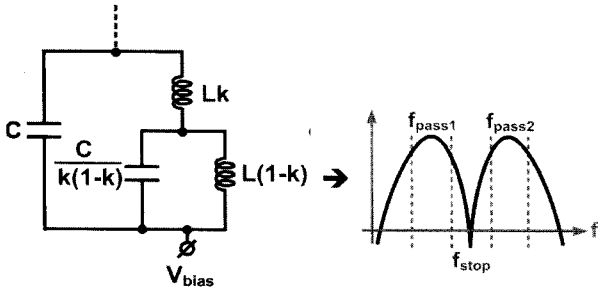


그림 4. Double-peak single 노치필터의 회로도 및 주파수 특성

Fig. 4. Schematic diagram of the double-peak single-notch filter and its frequency response.

사항을 고려하여 원하는 주파수 대역에 맞도록 적절한 C값 및 k값을 찾아낸 후, L값을 정하는 순서로 설계하였다.

나. 입력 임피던스 매칭 및 전압이득

원하는 주파수 대역에서 50Ω 입력 임피던스 매칭을 만족하도록 인덕티브 소스-디제너레이션 기법을 이용하였다. 특히 디제너레이션 인덕터(L<sub>s</sub>)의 값을 최적화하여 입력 임피던스의 real 값을 조절하며, 이로써 낮은 노이즈특성도 얻을 수 있다.<sup>[3]</sup> 특히, 본 설계에서는 임피던스 매칭을 좀 더 수월하게 할 수 있도록 인덕터(L<sub>g</sub>)와 커패시터(C<sub>ex</sub>)를 추가적으로 달아주었다.

SF-LNA 회로의 입력 임피던스(Z<sub>in</sub>) 및 전압이득(A<sub>v</sub>)은 다음과 같다.

$$Z_{in} = \frac{g_{m1}L_s}{(C_{gs1} + C_{ex})} + \frac{1}{s(C_{gs1} + C_{ex})} + s(L_s + L_g) \quad (4)$$

$$A_v = \frac{g_{m1}(\frac{1}{g_{m2}} \parallel Z_{notch} \parallel r_{o1}) \cdot g_{m2}(R_D \parallel r_{o2})}{s(C_{gs1} + C_{ex}) \cdot Z_{in}} \quad (5)$$

위 식에서 Z<sub>notch</sub>는 노치필터의 임피던스를, g<sub>mi</sub>(i=1,2)와 r<sub>oi</sub>(i=1,2)는 각각 M<sub>1</sub>, M<sub>2</sub>의 트랜스컨덕턴스 및 출력 저항을 나타낸다. 수식 (4)의 인덕터 L<sub>s</sub>는 접지(GND) 패드의 bond-wire 인덕턴스를 이용하였고, 추가적으로 달아준 커패시터 C<sub>ex</sub> 및 인덕터 L<sub>g</sub>를 조절함으로써 원하는 주파수 대역에서 50Ω 입력 임피던스 매칭을 만족하도록 하였다. 또한, 노치필터를 M<sub>1</sub>의 드레인과 연결하면 입력단 load에 연결할 때 보다, 원하는 주파수 대역에서 좀 더 flat한 전압이득을 얻는다. 하지만, 수식

(5)에서 보는 바와 같이, 입력 임피던스가 전압이득에도 영향을 주므로 원하는 주파수 대역에서 입력 임피던스 매칭 및 전압이득을 동시에 만족시키는 데 설계상 어려움은 여전히 존재한다.

다. 회로의 노이즈 분석

본 절에서는 SF-LNA 회로의 노이즈 특성을 분석한다. 일반적으로 커패시터 및 인덕터 수동소자와 캐스 코드 구조의 트랜지스터 M<sub>2</sub>에서의 노이즈 성분은 매우 적기 때문에, 이를 제외하고 분석하였다. 또한, 편이성을 위해 회로의 잡음지수 (NF)를 분석할 때 노이즈 전류소스를 이용하였다. 그림 5는 SF-LNA 회로의 노이즈 등가회로이며, 네 가지 주요한 노이즈 소스를 보여준다.

- (1) 소스저항 R<sub>s</sub> (50Ω)로 인한 열잡음전압 : 출력 노이즈 전류 스펙트럼 밀도( $\overline{i_{out,1}^2}$ ) 발생 - 수식(6) 참조.
- (2) 피드백저항 R<sub>f</sub>로 인한 열잡음전류 : 출력 노이즈 전류 스펙트럼 밀도( $\overline{i_{out,2}^2}$ ) 발생 - 수식(7) 참조.
- (3) M<sub>1</sub>의 채널 열잡음전류 및 load 저항(R<sub>D</sub>)의 열잡음전류 : 출력 노이즈 전류 스펙트럼 밀도( $\overline{i_{out,3}^2}$ ) 발생 - 수식(8) 참조.
- (4) M<sub>3</sub>의 채널 열잡음전류 및 load 저항(R<sub>B</sub>)의 열잡음전류 : 출력 노이즈 전류 스펙트럼 밀도( $\overline{i_{out,4}^2}$ ) 발생 - 수식 (9) 참조.

위 식으로부터, SF-LNA 입력단의 노이즈 특성(NF)은 식(10)과 같다. 또한, 다음의 세 조건을 가정했을 때, (1)g<sub>m1</sub>R<sub>F</sub> ≫ 1, (2)R<sub>F</sub> ≫ R<sub>S</sub>, (3)R<sub>F</sub> ≫ R<sub>D</sub>, 노이즈 특성(NF)은 수식 (11)로 비교적 간단히 나타낼 수 있다. 수식 (11)에 따라, 원하는 주파수 대역 내 중심주파수 900MHz와 2GHz에서 NF를 계산하면, 각각 2.23dB 및 2.3dB를 갖는다. 포스트-레이아웃 시뮬레이션 결과인 3.7dB 및 3.4dB (그림 7 참조)와 약간의 차이를 갖는데, 이는 고주파에서 gate-noise 등의 영향이 고려된 결과로 추정한다. 위에서 설계한 회로의 각 소자 파라미터는 g<sub>m1</sub>=65mS, g<sub>m3</sub>=32mS, R<sub>s</sub>=50Ω, R<sub>f</sub>=1kΩ, R<sub>D</sub>=200Ω, R<sub>B</sub>=75Ω, C<sub>gs1</sub>=1.2pF, C<sub>gs3</sub>=90fF, Γ=2.0 이다.

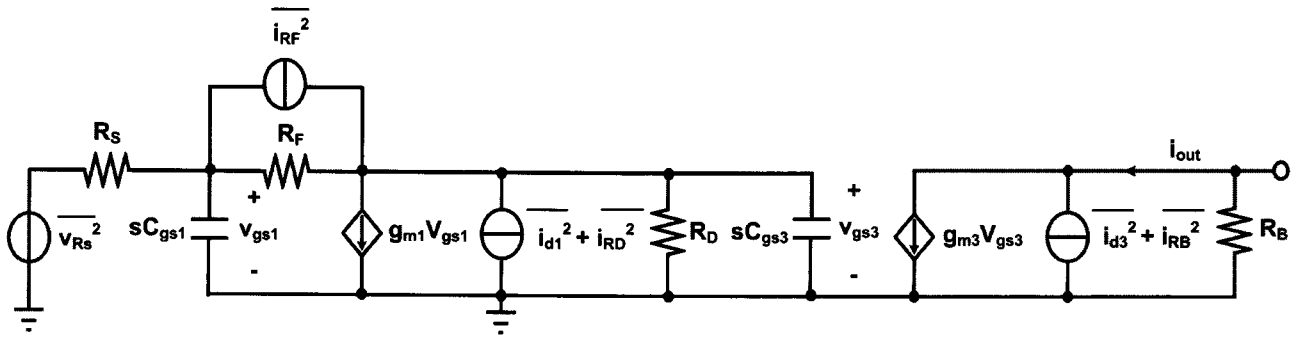


그림 5. SF-LNA의 노이즈 등가회로

Fig. 5. Noise equivalent circuit of the SF-LNA.

$$\begin{aligned} \overline{i_{out,1}^2} &= \frac{g_{m3}^2 R_D^2 (1 - g_{m1} R_F)^2 \times \overline{V_{R_S}^2}}{[R_F + R_D + R_S + R_S R_D g_{m1} - \omega^2 R_F R_D R_S C_{gs1} C_{gs3}]^2 + \omega^2 [R_D (R_F + R_S) C_{gs3} + R_S (R_F + R_D) C_{gs1}]^2} \\ &= \frac{g_{m3}^2 R_D^2 (1 - g_{m1} R_F)^2 \times 4kTR_S}{[R_F + R_D + R_S + R_S R_D g_{m1} - \omega^2 R_F R_D R_S C_{gs1} C_{gs3}]^2 + \omega^2 [R_D (R_F + R_S) C_{gs3} + R_S (R_F + R_D) C_{gs1}]^2} \end{aligned} \quad (6)$$

$$\begin{aligned} \overline{i_{out,2}^2} &= \frac{g_{m3}^2 R_F^2 R_D^2 [(1 + g_{m1} R_S)^2 + \omega^2 R_S^2 C_{gs1}^2] \times \overline{i_{R_F}^2}}{[R_F + R_D + R_S + R_S R_D g_{m1} - \omega^2 R_F R_D R_S C_{gs1} C_{gs3}]^2 + \omega^2 [R_D (R_F + R_S) C_{gs3} + R_S (R_F + R_D) C_{gs1}]^2} \\ &= \frac{g_{m3}^2 R_F^2 R_D^2 [(1 + g_{m1} R_S)^2 + \omega^2 R_S^2 C_{gs1}^2] \times \frac{4kT}{R_F}}{[R_F + R_D + R_S + R_S R_D g_{m1} - \omega^2 R_F R_D R_S C_{gs1} C_{gs3}]^2 + \omega^2 [R_D (R_F + R_S) C_{gs3} + R_S (R_F + R_D) C_{gs1}]^2} \end{aligned} \quad (7)$$

$$\begin{aligned} \overline{i_{out,3}^2} &= \frac{g_{m3}^2 R_D^2 [(R_F + R_S)^2 + \omega^2 C_{gs1}^2 R_S^2 R_F^2] \times [-\overline{i_{d1}^2} + \overline{i_{RD}^2}]}{[R_F + R_D + R_S + R_S R_D g_{m1} - \omega^2 R_F R_D R_S C_{gs1} C_{gs3}]^2 + \omega^2 [R_D (R_F + R_S) C_{gs3} + R_S (R_F + R_D) C_{gs1}]^2} \\ &= \frac{g_{m3}^2 R_D^2 [(R_F + R_S)^2 + \omega^2 C_{gs1}^2 R_S^2 R_F^2] \times 4kT (\Gamma g_{m1} + \frac{1}{R_D})}{[R_F + R_D + R_S + R_S R_D g_{m1} - \omega^2 R_F R_D R_S C_{gs1} C_{gs3}]^2 + \omega^2 [R_D (R_F + R_S) C_{gs3} + R_S (R_F + R_D) C_{gs1}]^2} \end{aligned} \quad (8)$$

$$\overline{i_{out,4}^2} = \overline{i_{d3}^2} + \overline{i_{RB}^2} = 4kT (\Gamma g_{m3} + \frac{1}{R_B}) \quad (9)$$

$$\begin{aligned} NF &= 1 + \frac{\overline{i_{out,2}^2}}{\overline{i_{out,1}^2}} + \frac{\overline{i_{out,3}^2}}{\overline{i_{out,1}^2}} + \frac{\overline{i_{out,4}^2}}{\overline{i_{out,1}^2}} \\ &= 1 + \frac{R_F [(1 + R_S g_{m1})^2 + \omega^2 R_S^2 C_{gs1}^2]}{(1 - g_{m1} R_F)^2 R_S} + \frac{[(R_F + R_S)^2 + \omega^2 R_S^2 R_F^2 C_{gs1}^2]}{(1 - g_{m1} R_F)^2 R_S} (\Gamma g_{m1} + \frac{1}{R_D}) \\ &\quad + \frac{[R_F + R_D + R_S + g_{m1} R_D R_S - \omega^2 R_F R_D R_S C_{gs1} C_{gs3}]^2 + \omega^2 [R_D (R_F + R_S) C_{gs3} + R_S (R_F + R_D) C_{gs1}]^2}{g_{m3}^2 R_D^2 (1 - g_{m1} R_F)^2 R_S} (\Gamma g_{m3} + \frac{1}{R_B}) \end{aligned} \quad (10)$$

$$\begin{aligned} NF &\cong 1 + \frac{(1 + R_S g_{m1})^2 + \omega^2 R_S^2 C_{gs1}^2}{g_{m1}^2 R_F R_S} + \frac{[R_F^2 + \omega^2 R_S^2 R_F^2 C_{gs1}^2]}{g_{m1}^2 R_F R_S} (\Gamma g_{m1} + \frac{1}{R_D}) \\ &\quad + \frac{[R_F + R_D + R_S + g_{m1} R_D R_S - \omega^2 R_F R_D R_S C_{gs1} C_{gs3}]^2 + \omega^2 [R_D R_F C_{gs3} + R_S R_F C_{gs1}]^2}{g_{m1}^2 g_{m3}^2 R_F^2 R_D^2 R_S} (\Gamma g_{m3} + \frac{1}{R_B}) \end{aligned} \quad (11)$$

2. 포스트-레이아웃 시뮬레이션 결과

위에서 설계한 SF-LNA를 0.18 $\mu$ m CMOS 공정 파라미터를 이용하여 레이아웃 하였고, 시뮬레이션 하였다.

그림 6은 포스트-레이아웃 시뮬레이션 결과로서, S-파라미터 결과를 보여준다. 최대 전력이득( $S_{21}$ )은 원하는 주파수 대역인 824~960MHz 및 1.57~2.5GHz 주파수 대역에서 각각 14.2dB 및 13.5dB이며, 저지대역과 약 9.5dB의 차이를 갖는다. 입력반사손실 ( $S_{11}$ )은 주파수 대역에서 각각 -5.3dB 및 -10dB 보다 작게 나타나고, 출력반사손실( $S_{22}$ )은 주파수 대역에서 -10dB 보다 작게 나타난다.

그림 7은 노이즈 특성(NF)에 대한 시뮬레이션 결과로서, 낮은 주파수 대역인 824~960MHz 내에서 3.8~4.8dB의 노이즈 특성을 가지며, 높은 주파수 대역인 1.57~2.5GHz 내에서 3.4~4.2dB의 노이즈 특성을 갖는다. 또한, SF-LNA 회로의 선형성에 대한 시뮬레이션 결과, 각 대역에서 -14~-15dBm의 입력 IP3 값을 갖는데, 이는 노치필터로 인한 추가적인 신호왜곡의 영향으로 간주된다.

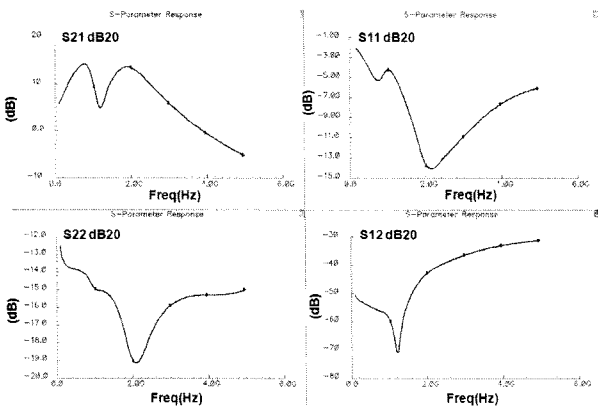


그림 6. SF-LNA의 S-파라미터 시뮬레이션 결과  
Fig. 6. S-parameter simulation results of the SF-LNA.

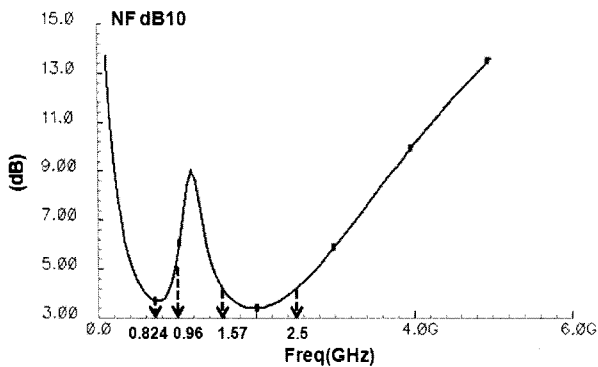


그림 7. SF-LNA의 노이즈 특성 시뮬레이션 결과  
Fig. 7. NF simulation result of the SF-LNA.

3. 칩 제작 및 측정결과

본 논문에서 제안한 SF-LNA를 0.18 $\mu$ m CMOS 공정으로 제작하였다. 그림 8은 제작한 칩 사진으로, 전체 면적은 1.17 x 1.0mm<sup>2</sup> 이다.

그림 9는 SF-LNA 칩의 전력이득 ( $S_{21}$ ) 측정결과로서, 824~960MHz와 1.57~2.5GHz 주파수 대역에서 각각 13dB 및 11.5dB를 얻었고 저지대역과 6.5dB 정도의 차이를 갖는다. 포스트-레이아웃 시뮬레이션 결과와 약간의 차이를 낸 이유는 PCB 모듈에서 발생한 고주파 손실로 추정한다. 그림 10은 회로의 Isolation( $S_{12}$ ) 측정결과로서 주파수 대역에서 -40dB 이하의 특성을 갖는다. 그림 11 및 그림 12는 각각 입력반사손실 ( $S_{11}$ ) 및 출력반사손실( $S_{22}$ )의 측정결과로서, 주파수 대역 내에서 -10dB 보다 낮으며 이는 임-출력단이 50 $\Omega$  매칭되었음을 보여준다. 제안한 SF-LNA 칩의 성능을 표 1에 정리하였다.

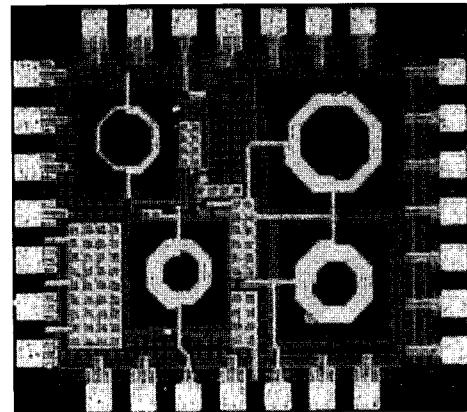


그림 8. 제안한 SF-LNA 회로의 칩 사진  
Fig. 8. Chip microphotograph of the proposed SF-LNA.

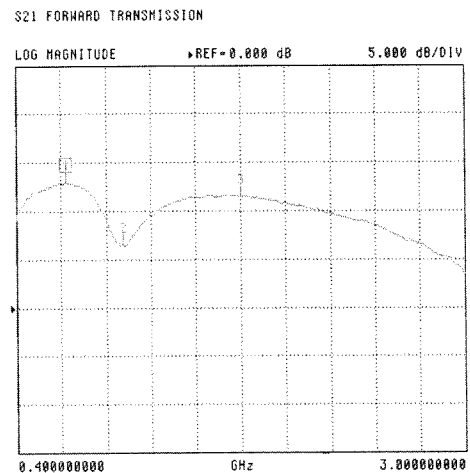


그림 9. SF-LNA 칩의 S21 측정 결과  
Fig. 9. Measured S21 of the SF-LNA.

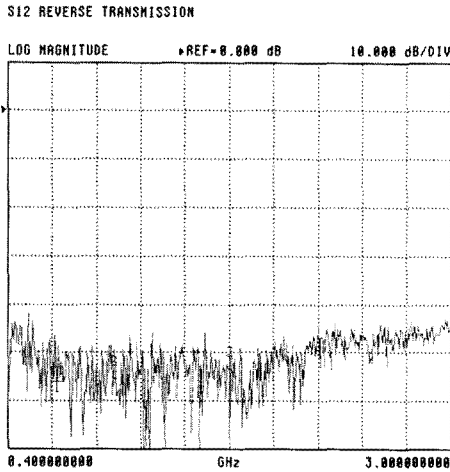


그림 10. SF-LNA 칩의 S12 측정 결과  
Fig. 10. Measured S12 of the SF-LNA.

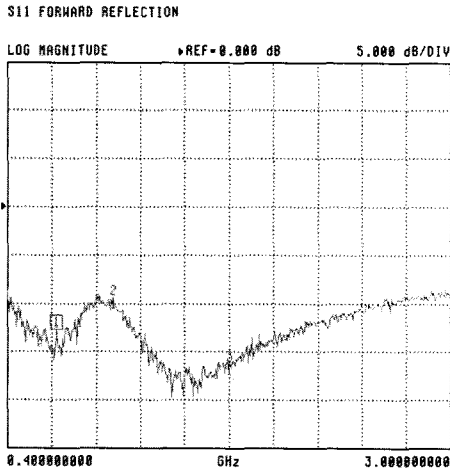


그림 11. SF-LNA 칩의 S11 측정 결과  
Fig. 11. Measured S11 of the SF-LNA.

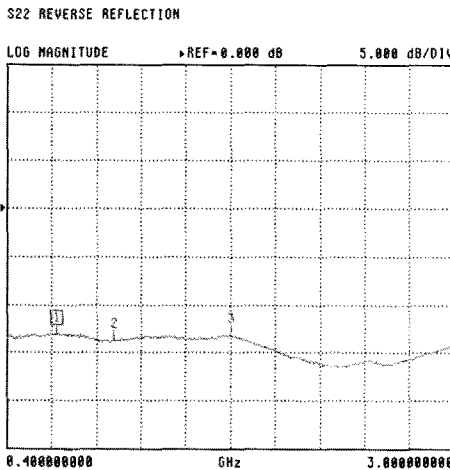


그림 12. SF-LNA 칩의 S22 측정 결과  
Fig. 12. Measured S22 of the SF-LNA.

표 1. 제안된 SF-LNA의 성능 요약

Table 1. Performance summary of the SF-LNA.

Parameters	Measured results	
bandwidth	824~960MHz	1.57~2.5GHz
$S_{21}$	13 dB	11.5 dB
$S_{11}$	< -10 dB	
$S_{22}$	< -10 dB	
$S_{12}$	< -40 dB	
*NF	3.8~4.8 dB	3.4~4.2 dB
power dissipation	15 mW	

\* 포스트-레이아웃 시뮬레이션 결과

### III. 결 론

본 논문에서는 0.18 $\mu$ m CMOS 공정을 이용하여 다양한 무선통신 시스템 표준을 포함하는 Selective 피드백 저잡음 증폭기(SF-LNA)를 설계하였다. 노치필터를 이용하여 불필요한 주파수 대역은 저지시키고 원하는 주파수 대역만 통과시키는 주파수 응답을 얻었고, 측정 결과 824~960MHz와 1.57~2.5GHz 주파수 대역에서 각각 13dB 및 11.5dB의 전력이득을 얻었다. 또한, 원하는 주파수 대역 내에서 입력 및 출력 임피던스 매칭 ( $S_{11}/S_{22}$ )은 각각 -10dB 이하로 50 $\Omega$  매칭되었다. 제작한 칩은 1.8V의 단일 전원전압으로부터 15mW의 낮은 전력을 소모하고, 1.17 x 1.0mm<sup>2</sup> 면적에 구현하였다.

### 참 고 문 헌

- [1] 박정민, 서미경, 윤지숙, 최부영, 한정원, 박성민, "서브샘플링 직접변환 수신기용 5.3GHz 광대역 저잡음 증폭기", 전자공학회논문지, 제44권 SD편, 제 12호, 77-84쪽, 2007년 12월
- [2] G. Cusmai et al., "A 0.18- $\mu$ m CMOS Selective Receiver Front-End for UWB Applications", *IEEE J. Solid-State Circuits*, Vol. 41, No. 8, pp. 1764-1771, Aug. 2006.
- [3] T. Lee, 'The Design of CMOS Radio-Frequency Integrated Circuits', Cambridge University Press, 2004.

저 자 소 개



서 미 경(학생회원)  
2008년 이화여자대학교 정보통신  
학과 학사졸업.  
2009년 현재 이화여자대학교  
전자공학과 석사과정.  
<주관심분야 : RF 및 초고속 유  
선통신용 아날로그 회로설계>



윤 지 숙(학생회원)  
2008년 이화여자대학교 정보통신  
학과 학사졸업.  
2009년 현재 이화여자대학교  
전자공학과 석사과정.  
<주관심분야 : RF 및 초고속 유  
선통신용 아날로그 회로설계>



한 정 원(학생회원)  
2007년 이화여자대학교 정보통신  
학과 학사졸업.  
2009년 이화여자대학교 전자정보  
통신공학과 석사졸업.  
2009년 현재 이화여자대학교  
전자공학과 박사과정.

<주관심분야 : 초고속 아날로그 및 디지털 인터  
페이스 회로설계>



탁 지 영(학생회원)  
2010년 이화여자대학교 전자정보  
통신학과 학사졸업예정.  
<주관심분야 : RF 및 초고속 유  
선통신용 아날로그 회로설계>



김 혜 원(학생회원)  
2010년 이화여자대학교 전자정보  
통신학과 학사졸업예정.  
<주관심분야 : RF 및 초고속 유  
선통신용 아날로그 회로설계>



박 성 민(평생회원)  
1993년 한국과학기술원 전기및  
전자공학과 학사졸업.  
1994년 런던대학교 전자공학과  
석사 졸업.  
2000년 임페리얼 공대 전자공학과  
박사 졸업.

2009년 현재 이화여자대학교 전자공학과 부교수  
<주관심분야 : RF 및 광통신용 초고속 아날로그  
회로 설계>