

논문 2009-46SD-11-11

4-PAM signaling을 이용한 high speed serial link transmitter

(High Speed Serial Link Transmitter Using 4-PAM Signaling)

정지경*, 이정준*, 범진욱**, 정영한***

(Jikyung Jeong, Jeongjun Lee, Jinwook Burm, and Younghan Jeong)

요 약

본 논문은 multi-level signaling을 이용한 high speed serial link transmitter에 관하여 제안하였다. High speed serial link에서 수 Gb/s를 달성하기 위해 4-pulse amplitude modulation (PAM) 을 사용하였다. 4-PAM은 4개의 level로 한 symbol time에 2 bit data를 전송함으로써 binary signaling보다 2배 빠른 data 전송이 가능해졌다. 제안된 4-PAM transmitter는 전압 output 대신 전류 output을 생성하며 이로 인해 driver의 switching time이 빨라져서 더 높은 속도의 transmitter를 구현할 수 있었다. 2^5-1 pseudo-random bit sequence (PRBS) 생성기는 built-in self test (BIST)를 하기 위해 on-chip으로 설계되었다. 본 연구는 동부 하이텍 0.18 μm CMOS 공정을 통하여 설계되었으며 1.8 V supply voltage에서 eye 크기가 160 mV 이고 최대 동작 속도는 8 Gb/s이다. 칩 전체 면적은 $0.7 \times 0.6 \text{ mm}^2$ 이며 전력 소모는 98 mW이다.

Abstract

A high speed serial link transmitter using multi-level signaling is proposed. To achieve high data rate in high speed serial link, 4-pulse amplitude modulation (PAM) is used. By transmitting 2 bit data in each symbol time, high speed data transmission, two times than binary signaling, is achieved. The transmitter transmits current-mode output instead of voltage-mode output. Current-mode output is much faster than voltage-mode output, so higher data transmission is available by increasing switching speed of driver. 2^5-1 pseudo-random bit sequence (PRBS) generator is contained to perform built-in self test (BIST). The 4-PAM transmitter is designed in Dongbu HiTek 0.18 μm CMOS technology and achieves 8 Gb/s, 160 mV of eye height with 1.8 V supply voltage. The transmitter consumes only 98 mW for 8 Gb/s transmission.

Keywords : 4-PAM, Transmitter, High speed serial link, Multi-level signaling

I. 서 론

높은 data 전송량을 가지는 chip의 package pin 개수와 printed circuit board (PCB) 경로는 제한되어 있기 때문에 오늘날 chip-to-chip communication에서 high

speed serial signaling technique의 중요성은 나날이 커지고 있다^[1~3]. 하지만 제한된 transmission channel bandwidth 때문에 serial link에서의 빠른 signal 전송이 제약을 받게 되었다^[3]. 이를 해결하기 위한 한 방법이 바로 multi-level signaling이다. Multi-level signaling은 한 symbol time에 1bit을 전송하는 것이 아닌 여러 bit을 전송하는 방법이다. 본 논문에서는 4-pulse amplitude modulation (PAM)을 사용하여 한 symbol time에 2 bit씩 전송하였다. 4-PAM을 사용함으로써 동일한 외부 clock frequency에서 binary signaling의 2 배만큼 data rate을 증가시킬 수 있다^[3].

그림 1에서와 같이 serial link transceiver에서는 data의 serialization, de-serialization이 일어나게 된다.

* 학생회원, ** 평생회원, 서강대학교 전자공학과
(Dept. of Electronic Eng., Sogang University)

*** 정회원, (주)하이닉스 반도체
(Hynix Semiconductor Inc.)

※ 본 연구결과물은 하이닉스의 연구지원으로 수행되었고 2009년도 서울시 산학연 협력사업(10560)의 나노 IP/SoC 설계기술혁신사업단의 지원으로 이루어졌습니다. 또한 설계 소프트웨어는 IDEC을 통해 지원되었습니다.

접수일자: 2009년8월10일, 수정완료일: 2009년10월15일

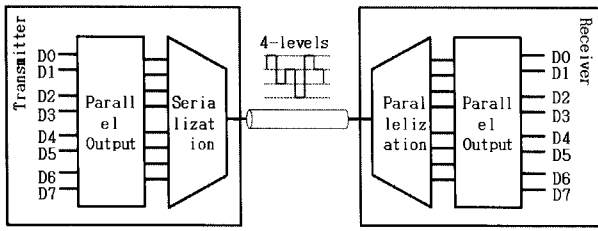


그림 1. Serial link transceiver
Fig. 1. Serial link transceiver.

Transmitter에서는 serialize, 신호를 받는 receiver에서는 de-serialize가 일어나게 된다. Transmitter에서는 binary 신호의 4-PAM 전송을 위해 2 bit의 data를 하나의 symbol로 다중화 하고 이를 4-level로 바꾸어 주어 data를 전송하게 된다.

II. Transmitter

1. Overview

전체 transmitter system을 살펴보면 그림 2와 같이 나타낼 수 있다. 전체적으로 pseudo-random bit sequence(PRBS) generator, encoder, 4:1 multiplexer, 4-PAM driver로 이루어져 있다. Parallel input은 PRBS generator를 통해 transmitter에 입력된다. PRBS generator는 외부적으로 data를 따로 입력해줄 필요 없이 4-PAM transmitter의 동작을 self-test 할 수 있도록 on-chip화 하였다. 전체 transmitter의 동작의 목표는 크게 두 가지로 볼 수 있다. 첫째, 각 level이 2 bit data의 정보를 담고 있는 4 개의 level을 전송하는 것이고 두 번째로 data를 수 Gb/s로 정확하게 전송하는 것이다. 먼저 4 개의 level은 driver에서 만들게 되는데 driver를 올바르게 구동하기 위해 6 bit이 필요하게 된다. 즉, 어떤 level로 전송되는 지는 driver에 어떤 6 bit sequence가 입력되는지에 따라 결정된다. 이 6 bit sequence를 만들어주기 위해 encoder는 PRBS에서 나온 random한 2 bit data를 6 bit으로 encoding 해주게 된다. 두 번째로 data를 수 Gb/s로 전송하기 위해서는 multiplexer가 필요하다. 4:1 multiplexer를 driver 앞단에 둬으로써 PRBS나 encoder의 동작 속도를 전체 transmitter 전송 속도의 1/4로 줄일 수가 있게 되었다. 그림 2에 나타내었듯이 PRBS에서 나온 random한 parallel 8 bit data는 2 bit씩 encoder의 input으로 입력되어 6 개의 bit으로 encoding 된다. 4 개의 encoder에서 나온 6 bits들은 4:1 multiplexer에서 clock timing에

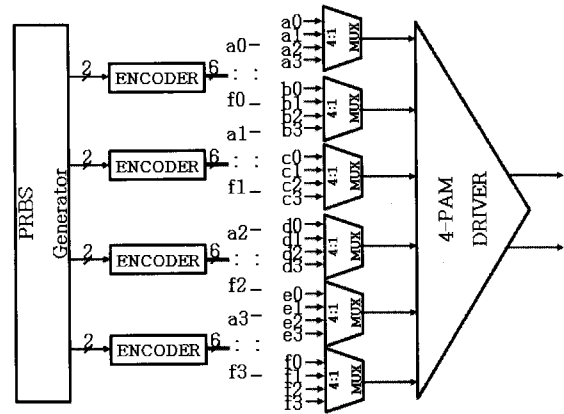


그림 2. Transmitter 구조
Fig. 2. Architecture of transmitter.

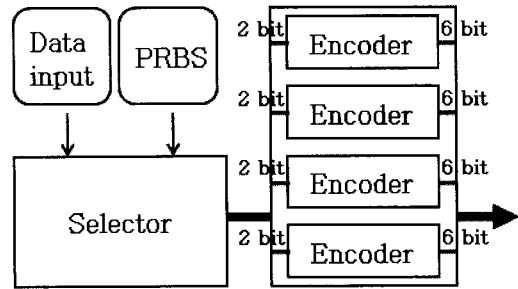


그림 3. Encoder input의 selector
Fig. 3. Selector of encoder input.

따라 차례대로 나오게 되고 이에 따라 4-PAM driver는 4 개의 level을 수 Gb/s로 전송하게 된다.

또한 본 transmitter는 그림 3과 같이 encoder 앞단에 selector를 추가하여 encoder의 input으로 PRBS output 또는 외부에서 입력해주는 data signal을 선택할 수 있도록 하였다. 이와 같이 transmitter의 selectivity 특성을 추가시켜 여러 가지 경우에서 transmitter의 동작을 확인 할 수 있게 되었다.

가. PRBS generator

Pseudo-random bit sequence(PRBS) generator는 앞서 말했듯이 4-PAM transmitter가 제대로 동작하는 지 확인하기 위한 것으로 built-in self test(BIST) operation을 한다. PRBS는 단지 test 하기 위한 block이므로 low power consumption과 긴 parallel output을 발생시킬 수 있는지가 관건이다. 4 parallel output signal을 발생시키는 기본적인 PRBS generator^[4]를 확장시켜 8 parallel output signal을 발생시켰다. Random한 8 parallel output signal을 발생시키는 PRBS

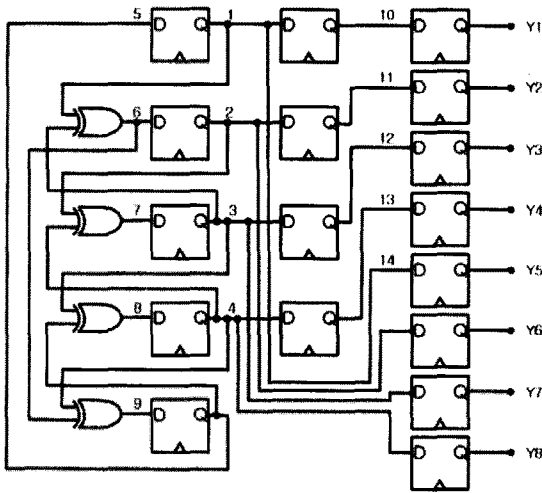


그림 4. PRBS generator
Fig. 4. PRBS generator.

generator를 그림 4에 나타내었다. 본 PRBS는 $2^5 - 1 = 31$ random bit sequence를 발생시킨다.

나. Encoder

4-PAM transmitter는 한 level당 2 bit을 전송하는 방법이다. 4 개의 level은 driver를 통해서 만들어지는데 그러기 위해서는 6 bit sequence가 필요하다. 6 bit을 만들어 내기 위해 encoder에서 PRBS의 random한 output 신호 2 bit을 6 bit으로 encoding한다. Encoder는 transmitter보다 1/4 만큼 느리게 동작하므로 가장 간단한 static 구조를 사용하였다. 그림 5는 encoder의 구조를 보여주고 있다. Encoding은 카르노 맵을 이용하였으며 bit error rate을 줄이기 위해 Gray code를 사용하였다^[5]. Mapping table은 표 1에 나타내었다. PRBS의 2 bit 신호 AB에 따라 encoder에서는 a, b, c, d, e, f의 데이터를 생성한다. 이렇게 encode 된 6 bit 데이터는 transmitter의 마지막 단인 driver에서 OUT level을 결정하게 된다.

다. Multiplexer

Transmitter에서 수 Gb/s로 data를 전송해야하는데 transmitter의 동작 속도로 PRBS나 encoder를 동작시키기에는 무리가 있다. 그렇기 때문에 PRBS, encoder의 동작 속도를 낮춰주기 위해서 multiplexer block이 필요하다. Multiplexer는 select 값에 따라서 두 input 중 한 input만을 출력하는 block으로써 clock의 rising edge과 falling edge를 select 값으로 사용한다면

표 1. Encoder mapping table
Table 1. Encoder mapping table.

Bit plan (AB)	a	b	c	d	e	f	OUT
10	1	0	1	0	1	0	-6I
11	1	0	1	1	0	0	-2I
01	0	1	1	1	0	0	2I
00	0	1	0	1	0	1	6I

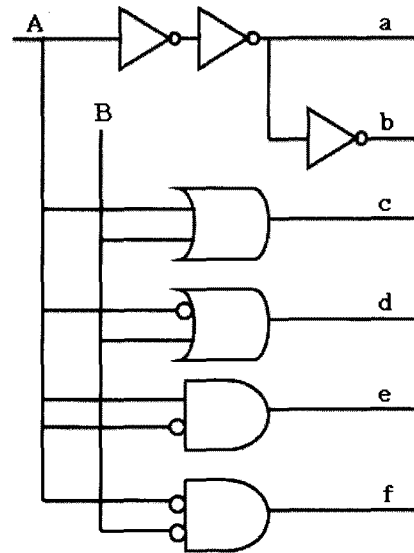


그림 5. Encoder의 구조
Fig. 5. Architecture of encoder.

multiplexer output의 동작 속도는 multiplexer input의 동작 속도보다 2배 빠를 수 있다^[6]. 본 논문에서는 4:1 multiplexer를 사용하여 driver의 동작 속도의 1/4로 encoder와 PRBS가 동작할 수 있도록 하였다. 4:1 multiplexer는 빠른 동작 속도를 가지기 때문에 가장 일반적이고 신뢰성 있는 tree 구조를 사용하였다. 그림 6에 나타내었듯이 2:1 multiplexer를 3개 사용하였다. 앞의 두 2:1 multiplexer는 1/2 CLK에 따라서 data를 전달하고 마지막 2:1 Multiplexer는 CLK에 의해 data를 출력하게 된다. 결과적으로 4:1 multiplexer는 4개의 input이 clock에 따라 output에 차례대로 나오는 동작을 하게 된다. 2:1 multiplexer는 간단하고 빠른 동작을 위해 pass transistor로 구성하였다. 이를 그림 7에 나타내었다. CLK이 high일 경우에는 pass transistor 1이 on 되면서 D0가 OUT에 출력되고 CLK이 low일 경우에는 pass transistor 2가 on 되어 D1이 OUT에 출력된다. Multiplexer는 transmitter의 동작에 큰 영향을 미친다.

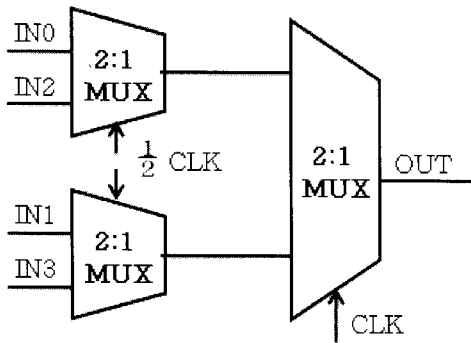


그림 6. 4:1 Multiplexer의 구조
Fig. 6. Architecture of 4:1 multiplexer.

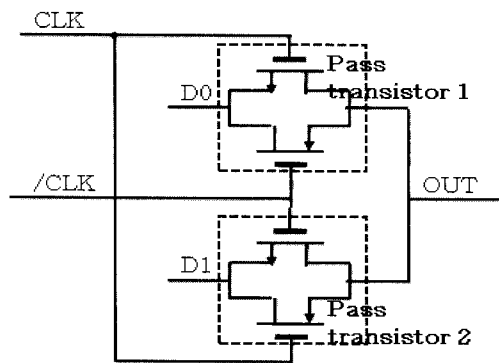


그림 7. 2:1 Multiplexer의 구조
Fig. 7. Architecture of 2:1 multiplexer.

만약 multiplexer가 정확한 data를 driver에 전달해 주지 않는다면 4-PAM transmitter의 output에는 많은 error가 발생한다. 더욱이 multiplexer의 빠른 동작 속도에서는 data가 CLK에 잘 맞추어져 있어야 한다. 이를 위해 그림 8과 같이 한 input이 selector에 항상 먼저 도달하게 함으로써 잘못된 data를 선택하는 경우를 없앨 수 있다^[7]. Timing latch는 data를 CLK에 동기 시키기 위하여 필요한 것이고, D0가 D1에 비해 1개의 latch를 덜 통과하기 때문에 D0는 D1보다 항상 selector에 먼저 도달한다. 한 input의 data가 항상 먼저 출력하도록 timing을 맞춰줌으로써 multiplexer가 수 GHz 동작 주파수에서도 올바른 data를 출력하는 것이 가능해졌다.

라. Driver

Driver는 4-PAM transmitter에서 실질적으로 data level을 결정해주는 block이다. Multiplexer를 통과한 6 bit data는 driver에 입력되어 네 개의 level 중 한 개의 level을 결정하게 된다. Driver의 구조를 그림 9에 나타

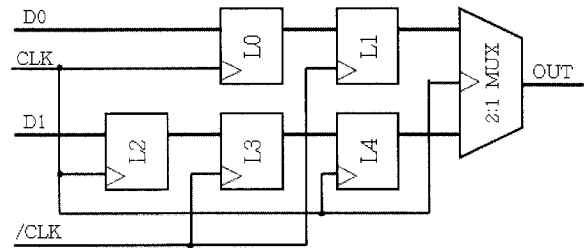


그림 8. Timing latch와 multiplexer
Fig. 8. 2:1 multiplexer with timing latches.

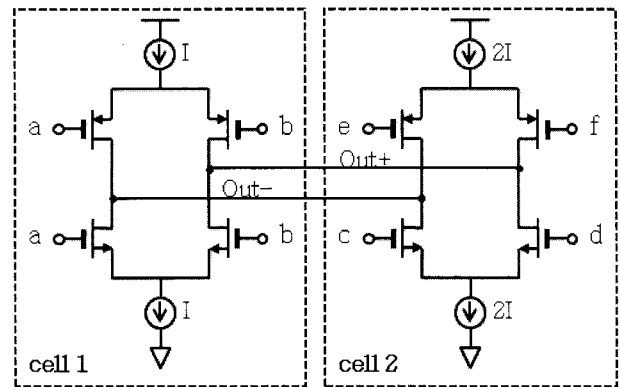


그림 9. Driver의 구조
Fig. 9. Architecture of driver.

내었다. 2 단의 unit cell을 이용하여 네 개의 output level을 전송하게 된다^[8~9]. Current source에 따라 네 개의 level은 $\pm 2I$, $\pm 6I$ 로 결정된다. 즉, abcdef=010101이 된다면 $Out+=3I$, $Out-=-3I$ 가 되어 differential output은 $6I$ 가 되어 transmitter는 $6I$ 의 level을 전송하게 된다. 한편 $\pm 2I$ 를 전송할 경우에는 그림 9에 나타낸 cell 2의 transistor를 모두 끄고 cell 1의 4 개의 transistor만을 켜면 된다. 즉, abcdef = 011100 가 driver에 입력된다면 cell 1의 2 개의 transistor만 켜지고 cell 2는 완전히 꺼지게 된다. 이렇게 함으로써 전력 소모를 크게 줄일 수 있다. 또한 본 transmitter는 voltage mode output이 아닌 current mode output으로 동작한다. Voltage mode 일 경우에는 output swing에 제한이 있게 되지만 current mode output을 사용함으로써 output swing에 제한이 없게 되므로 capacitance를 충/방전하는 시간을 최소화 할 수 있다^[10]. 또한 본 4-PAM driver 구조의 장점은 더 높은 multi-level driver를 쉽게 만들 수 있다는 점이다. 즉, 또 다른 driver cell을 그림 9의 구조에서 더 확장시켜 연결한다고 하면 쉽게 6-PAM이나 8-PAM 등 4-PAM보다 높은 multi-level driver를 만들 수 있다.

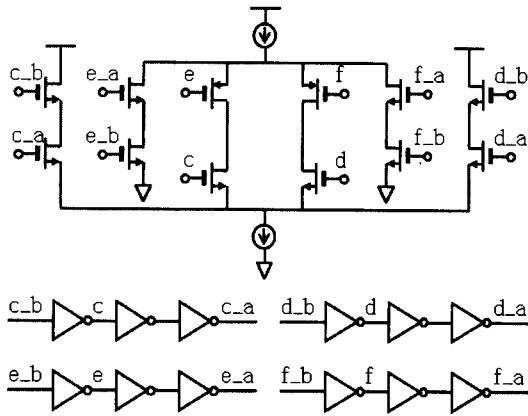


그림 10. Pre-switching 방법을 이용한 driver unit
Fig. 10. Driver unit with pre-switching.

그림 10은 pre-switching 구조를 보여준다. Driver cell unit의 네 개의 branch는 pre-switch current source를 위한 것이다^[9]. 위아래 두 개의 current source가 모두 꺼져 있다가 c가 low에서 high로 바뀌는 경우를 생각해 보자. 그렇다면 c_b는 c가 high가 되기 전에 low가 되어 있어야 한다. (1 개의 inverter delay) c_b가 low가 되면서 current source가 켜지게 된다. 또한 2개의 inverter 이후의 signal인 c_a는 c를 delay 시킨 signal로 branch를 다시 cut off 시킨다. 이와 같은 pre-switching technique은 current source를 on/off 시키면서 생기는 glitch를 감소시킨다.

III. 측정 결과

본 4-PAM transmitter는 Dongbu HiTek 0.18 μm CMOS 공정을 통해 제작되었다. 그림 11에 chip die 사진을 나타내었다. 본 4-PAM transmitter는 $0.7 \times 0.6 \text{ mm}^2$ 면적을 가졌고 transmitter test pattern도 ($1.0 \times 1.5 \text{ mm}^2$) 같이 제작하였다. 그림 12는 chip을 board에 올려 측정할 수 있게 만든 chip on board (COB) 사진이다.

본 4-PAM transmitter는 두 단계로 측정하였다 : (1) 먼저 digital data analyzer로 input clock을 입력해주고 (2) $2^5 - 1$ PRBS generator에서 발생된 random signal이 transmitter output에서 발생되는지 관찰하였다. 그림 13은 1.6 GHz의 clock이 4-PAM transmitter에 입력되었을 때 관찰된 4.8 Gb/s의 output이다. Eye-height는 160 mV이다. 이것은 simulation results의 1/2 정도로 측정되었는데 이는 output buffer와 oscilloscope의 50 Ω matching 때문이다. 또한 그림 14는 4.8 Gb/s를

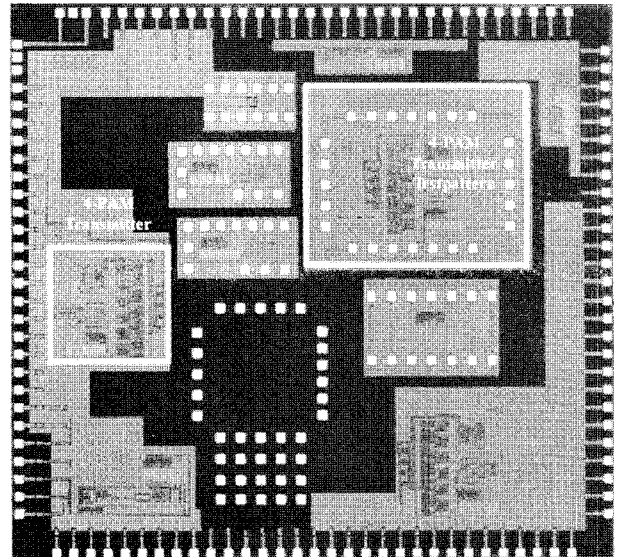


그림 11. Full chip die 사진
Fig. 11. Full chip die picture.

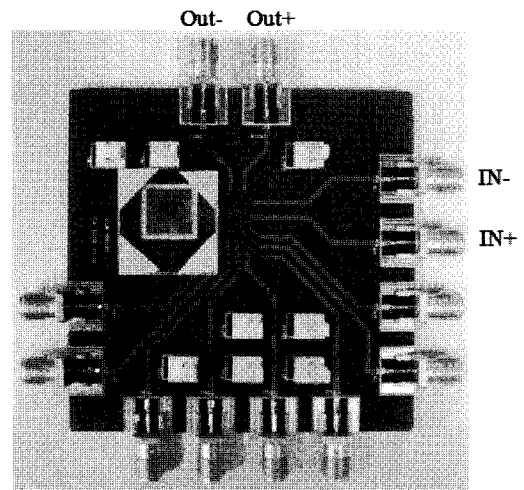


그림 12. 측정을 위한 chip on board (COB)
Fig. 12. Chip on board for measurements.

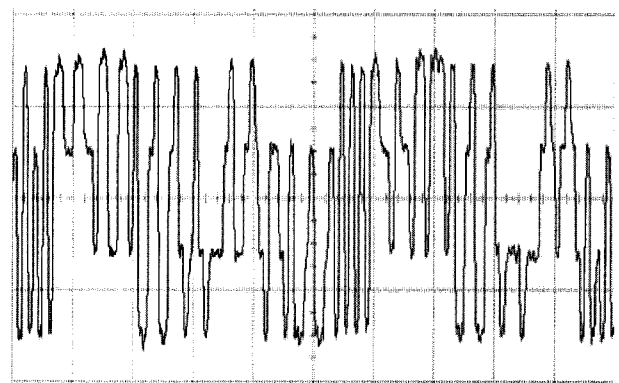


그림 13. 4.8 Gb/s를 가지는 4-PAM transmitter의 output
Fig. 13. Output of 4-PAM transmitter at 4.8 Gb/s.

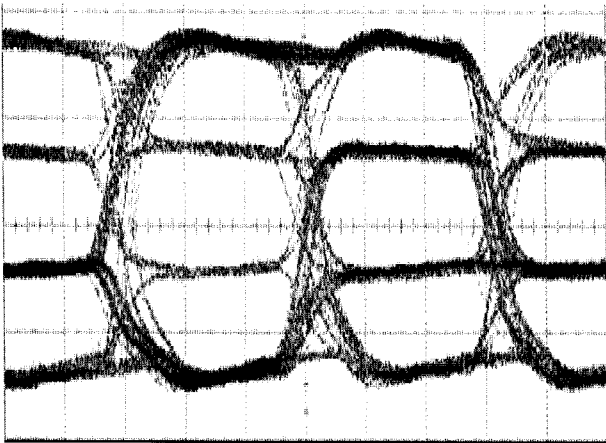


그림 14. 4.8 Gb/s를 가지는 4-PAM transmitter의 eye-diagram
 Fig. 14. Eye-diagram of 4-PAM transmitter at 4.8 Gb/s.

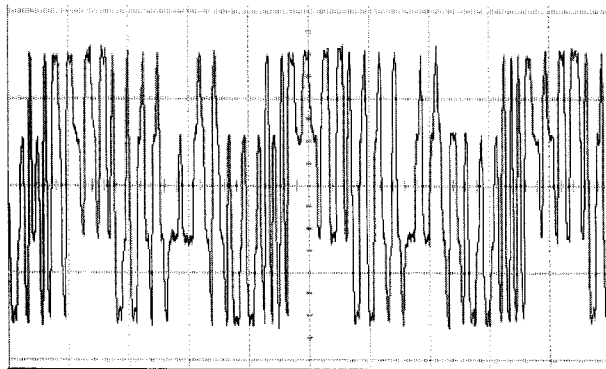


그림 15. 6.4 Gb/s를 가지는 4-PAM transmitter의 output
 Fig. 15. Output of 4-PAM transmitter at 6.4 Gb/s.

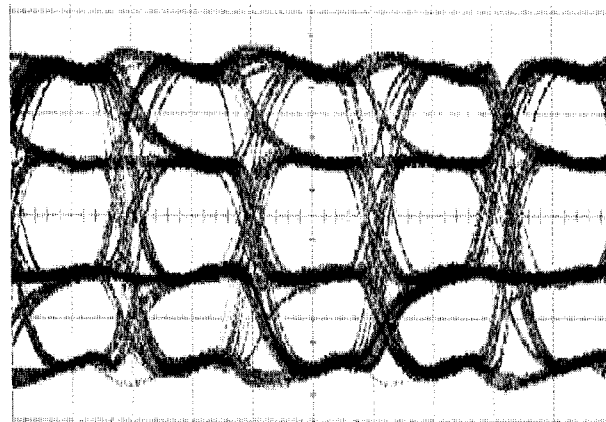


그림 16. 6.4 Gb/s를 가지는 4-PAM transmitter의 eye-diagram
 Fig. 16. Eye-diagram of 4-PAM transmitter at 6.4 Gb/s.

가지는 output의 eye-diagram이다. 그림 15, 17은 각각 6.4 Gb/s, 8 Gb/s의 output을 나타낸다. 또한 그림 16, 18은 6.4 Gb/s, 8 Gb/s일 때의 output의 eye-diagram이

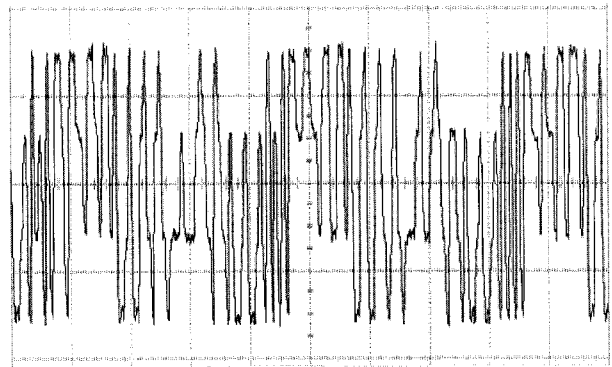


그림 17. 8 Gb/s를 가지는 4-PAM transmitter의 output
 Fig. 17. Eye-diagram of 4-PAM transmitter at 8 Gb/s.

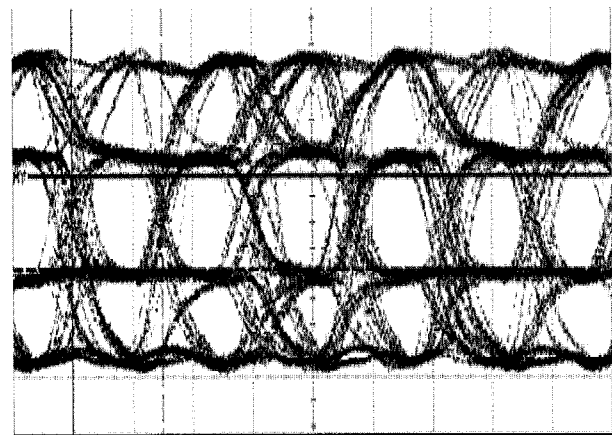


그림 18. 8 Gb/s를 가지는 4-PAM transmitter의 eye-diagram
 Fig. 18. Eye-diagram of 4-PAM transmitter at 8 Gb/s.

다. Data speed가 높아지면서 몇몇의 output이 eye 사이를 지나가는 것을 볼 수 있었다.

8 Gb/s가 4-PAM transmitter의 최대 동작 속도이다. 이 속도에서 eye-height는 160 mV이고 eye-width는 150 ps이다. 본 4-PAM transmitter는 똑같은 data rate를 갖는 다른 논문들과 비교하였을 때 98 mW의 적은 전력을 소모하였다. 또한 98 mW라는 전력 소모는 transmitter 뿐만이 아니라 PRBS generator, bandgap reference, input/output buffer까지 포함한 결과이므로 결론적으로 transmitter는 98 mW보다 더 적은 전력을 소모할 것이다. 본 측정 결과와 기존의 다른 transmitter의 측정결과를 비교한 것이 바로 표 2이다.

표 2. 본 4-PAM transmitter 및 다른 논문의 측정 결과

Table 2. Measurement results with other works.

Specific ation	2000, JSSC R.Farja d-Rad	2003, JSSC John T. Stonick	2004, JSSC Karam Farzan	2005, MWCA S Minghai Li	This work (Measur ement results)
Total Power	1 W	1 W	120 mW (only transmit ter)	-	98 mW (only transmit ter)
Date Rate	8 Gb/s	5 Gb/s	7Gb/s	10 Gb/s	8 Gb/s
Max. Swing (p-p)	2 V	-	600 mV	1.2 V	620 mV
Power Supply	3 V	2.5 V	1.8 V	1.2 V	1.8 V
Technol ogy	0.3 μ m	0.25 μ m	0.18 μ m	0.13 μ m	0.18 μ m

IV. 결 론

본 논문에서는 4-level signaling을 함으로써 수 Gb/s의 data rate을 갖는 transmitter를 제안하였다. 한 symbol time에 2 bit씩 보냄으로써 동일한 data rate을 갖기 위해 필요한 channel bandwidth를 줄일 수 있었다. 4-PAM signaling을 사용함으로써 effective symbol rate를 $\log_2 4$ factor만큼 감소시켰고, 이로 인해 inter symbol interference (ISI)와 cross talk를 줄일 수 있었다. 지금까지 대부분의 4-PAM transmitter는 voltage output을 출력하였지만 제안한 4-PAM transmitter는 current output을 내보냄으로써 더 빠르게 전송할 수 있었다. 본 transmitter는 Dongbu Hitek 0.18 μ m CMOS process에서 제작되었다. 4-PAM transmitter는 최대 8 Gb/s에서 동작하였고 eye-height는 160 mV, eye-width는 150 ps 이다. 또한 제안한 4-PAM transmitter는 98 mW의 적은 전력을 소모하였다.

참 고 문 헌

- [1] W. J. Dally and J. Poulton, "Transmitter equalization for 4 Gb/s signaling," in *proc. Hot Interconnects Symp.*, pp.29-39, Aug 1996.
- [2] R. Farjad-Rad et al, "A 0.4 μ m CMOS 10-Gb/s 4-PAM pre-emphasis serial link," *IEEE Journal of Solid-state Circuits*, vol. 34, pp. 580-585, May 1999.
- [3] R. Farjad-Rad et al, "A 0.3 μ m CMOS 8-Gb/s 4-PAM Serial Link Transceiver," *IEEE Journal of Solid-state Circuits*, vol. 35, pp. 757-763, May 2000.
- [4] W. J. McFarland, "1-Gword/s Pseudorandom Word Generator", *IEEE J. Solid-State Circuits*, vol. 24, pp. 747-751, 1989.
- [5] J. L. Zerbe et al, "1.6 Gb/s/pin 4-PAM Signaling and Circuits for a Multidrop Bus", *IEEE Journal of Solid-state Circuits*, pp. 752-760, May 2001.
- [6] Jean Jiang and Fei Yuan, "A New CMOS Current-Mode Multiplexer for 10 Gb/s Serial Links", *AICSP*, vol. 44, pp. 61-76, 2005.
- [7] B. Razavi, "Design of Integrated Circuits for Optical Communications," McGraw. Hill, pp. 337-340, 2003.
- [8] K. Farzan and David A. Johns, "A CMOS 7-Gb/s Power-Efficient 4-PAM Transmitter," *ESSCIRC*, pp. 235-238, 2002.
- [9] K. Farzan and David A. Johns, "A CMOS 10-Gb/s Power-Efficient 4-PAM Transmitter," *IEEE Journal of Solid-state Circuits*, vol. 39, pp. 529-532, Mar 2004.
- [10] Minghai Li and Fei Yuan, "A New Fully Differential 4-PAM Current-Mode Transmitter for 10 Gb/s Serial Links in 0.13 μ m", *MWCAS*, pp. 1665-1668, 2005.
- [11] B. Razavi, "Design of Analog CMOS Integrated Circuits," McGraw. Hill, pp. 377-397, 2001.

저 자 소 개



정 지 경(학생회원)
2008년 서강대학교 전자공학과
공학사
2008년~현재 서강대학교
전자공학과 석사과정
<주관심분야 : RFIC, High speed
interface>



이 정 준(학생회원)
2008년 서강대학교 전자공학과
공학사
2008년~현재 서강대학교
전자공학과 석사과정
<주관심분야 : RFIC, High speed
interface>



범 진 욱(평생회원)
1987년 서울대학교 물리학과
이학사
1989년 미시간대학교 물리학
이학석사
1995년 코넬대학교 응용물리학
이학박사

1995년~1996년 코넬 대학교 박사 후 연구원
1996년~1998년 Bell Labs. PMTS
1998년~현재 서강대학교 전자공학과 교수
<주관심분야 : RFIC, RFID, Remote Sensing>

정 영 한(정회원)
1994년 경북대학교 전자공학과 학사
1996년 포항공과대학교 전자전기공학과 석사
1996년~현재 하이닉스 반도체 책임연구원
<주관심분야 : 반도체>