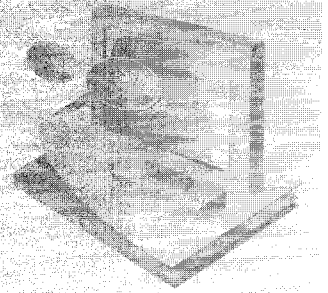


무소결 및 저온공정에 의한 세라믹 3D 패키징 소재기술



김효태 책임연구원 (한국세라믹기술원 미래융합세라믹본부 나노IT융합센터)

1. 서론

21세기 유비쿼터스 환경에서의 다양한 정보 및 서비스의 송수신 및 다양한 부가 기능을 갖춘 정보 단말기 및 휴대기기의 개발을 위해서는 IC를 비롯한 각종 능동소자 (Active Components)와 L, C, R 등의 수동소자 (Passive Components)를 3차원으로 집적화한 패키지 모듈이 필요하게 될 것이다.

이에 따라서 제품 내의 부품의 실장밀도의 급격한 증가가 예상되고 있으며, 현재 제품의 부품 실장밀도를 향후 유비쿼터스 및 융합기술 환경을 만족시키기 위해서는 더욱더 증가되어야 한다 (그림 1). 이러한 전자부품의 고밀도 집적에 대한 요구는 2차원

적인 부품 실장에서 3차원 부품 실장이라는 실장기술의 혁신을 가져왔으며, 수동부품과 능동부품의 실장을 별개로 추진해 오던 것을 수동 및 능동부품을 하나의 패키지 내에 실장 가능한 3차원 패키징 (SOP : System on a Packaging) 기술이 활발하게 연구 개발되고 있다. 이와 같은 고집적, 고밀도의 3차원 SOP 부품의 전기적, 열적, 기계적 신뢰성을 만족시킬 수 있는 소재의 요구특성을 살펴보면, 첫째, 유비쿼터스 환경 하에서 언제, 어디서나 통신이 가능할 있도록 고주파 환경 하에서 신호 손실을 최소화할 수 있는 저 손실 특성을 가져야 되며, 둘째, 능동소자, 내장 수동소자, 및 패키징의 I/O의 증가에 따른 응력을 견디기 위한 고강도 특성 및 고방열 특성을 갖춘 소재가 절실히 요구되고 있다. 또한, 전극 패터닝의

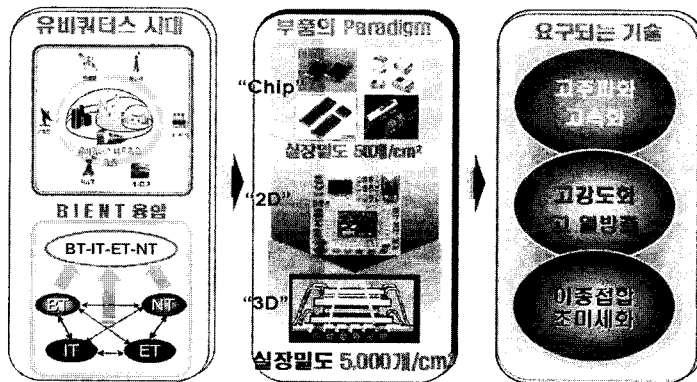


그림 1. IT Mega-trend and Paradigm Change in Components Integration.

표 1. Dielectric Properties of Typical Substrate Materials.

| 구분 | Organic (FR4) | Ceramic (LTCC) | Thin-film (SiO2) |
|---------------------|---------------|------------------|------------------|
| Dielectric Constant | 4.5 @1 MHz | 5.6(4.17) @5 GHz | 3.8-4.3 @5 GHz |
| Loss Tangent | 0.02 | 0.0012 | 0.04 |
| CTE | 15-20*10-6/K | 5.9*10-6/K | 3-17*10-6/K |

L/S도 향후에는 20 μ m 내외의 초정밀 패터닝이 가능하도록 치수 안정성이 우수한 소재가 필요하게 될 것이다.

그러나 현재 대부분 사용되고 있는 전자부품의 제조에 사용되는 회로기판 소재는 Epoxy계의 FR-4의 경우, 유전체에 손실 값이 크므로 GHz대역 이상의 고주파 통신 환경에서의 신호전달에 많은 노이즈가 발생하는 문제점이 있다. 한편 세라믹 소재는 FR-4 Epoxy 소재에 비해 1/20 정도의 낮은 유전손실 값을 보이고 있으며, 대부분 수동소자의 경우는 세라믹 소재를 이용 제조되고 있어 수동소자를 내장화가 유리하며 기계적 강도, 열전도도 등에서도 기존의 Polymer 소재보다 우수하여, 저손실, 고방열 기판으로써 사용될 수 있다(표 1).

2. 3D 패키지 소재의 국내·외 기술개발 동향

2.1 해외 기술개발 동향

2.1.1 Organic Substrate의 주요 업체 현황

- (1) IC Packaging용 Substrate 시장의 경우 10여 개의 주요 제조업체가 시장을 독점하고 있으며 각 사의 공격적 투자가 집중되는 분야로, 물량으로는 PCB 전체의 1%에 불과하지만 금액으로는 10%에 달하는 고부가가치 품목이며 년 20~50%의 성장을 보이고 있다.
- (2) IBIDEN : Advanced Package Substrate 분야의 선도 기업으로 Intel의 Major Supplier이며 CPU용 FC-PGA 분야의 시장점유율이 40%를

넘는다.

- (3) Shinko : Flip Chip Substrate 분야에서 IBIDEN 다음으로 큰 생산자이며 Intel의 점유율 30%를 차지, Film CSP 분야에서는 1위 기업이다.
- (4) NTK : Intel의 3대 공급업자로 20% 점유하고 있으며, 대만의 Nan Ya에 기술을 제공, FC-PBGA 분야의 1위 기업이다.

2.1.2 수지계 Embedded 기판

- (1) 주로 Sanmina-SCI사가 특허를 보유하고 있는 ZBC Capacitor재료가 여러 해 동안 특화된 PCB에 이용되어져 왔다.
- (2) 2002년 Motorola는 휴대전화 Size를 줄이고 가격을 낮추는 동시에 제품의 기능성을 향상시키기 위해서 수동소자가 내장된 휴대폰을 양산하고 있다고 발표하였다.

2.1.3 Embedded Resistor 적용 현황 및 평가

- (1) Sheet Type Embedded Resistor : Ohmega Technology사의 Sheet Type Embedded Resistor기술의 경우 1980년대 초반에 소개되어 특수 Military, 항공용 PCB에 적용된 사례가 있으나 비싼 원자재, 저항 형성 공정, 낮은 저항치, 낮은 저항 Tolerance등의 문제로 개선이 필요한 상황이다.
- (2) Paste Type Embedded Resistor : 일본의 Asahi사가 15년 전 Tunner용으로 외장형 Resistor를 Carbon Paste로 인쇄 후 Trimming하는 공법으로 많은 양을 양산한 실적이 있고, Siemens사가 내장형 Resistor PCB를 Network 기판에 적용하여 1997년부터 2001년까지 소량 양산하였으나 신뢰성, 낮은 저항 Tolerance 등 개선이 필요하다.
- (3) Thin Film Embedded Resistor : 원하는 부분에만 저항체 (Ni/P)를 무전해 도금법으로 형성하는 기술을 MacDermid사가 개발 중이며, Sputtering을 이용한 제품의 개발도 연구되고 있으며 향후 박막공정에 적용 가능한 Solution으로 주목받고 있다.



2.1.4 Embedded Capacitor 기술 적용 현황 및 평가

- (1) Sheet Type Embedded Capacitor : Sanmina社의 원천기술로 되어 있으며 1990년부터 기판의 내층에 VCC, GND 사이에 $\epsilon=4.5$ 정도의 FR-4로 구성된 BC2000™ 원자재를 삽입하여 Network 기판의 Decoupling Capacitor 용도로 사용 되었으나 낮은 Capacitance (500pF/in²)로 인해 몇몇 Set 업체들만이 BC PCB 양산을 하고 있는 상황이다.
- (2) Paste Type Embedded Capacitor : BaTiO₃+Polymer Resin으로 구성된 Paste를 인쇄기술을 이용하여 기판 내에 Discrete Type Capacitor를 구현하는 방법으로 Dupont 등에서 개발하였으며 Planar Type으로는 적용이 어렵다.
- (3) Thin film Embedded Capacitor : 최근 Sputtering, Sol-gel, Hydrothermal 등의 박막기법을 이용하여 BaTiO₃, PLZT(Pb,La)(Zr,Ti)O₃과 같은 유전박막을 기판에 형성하여 고용량의 Capacitance Density(~1nF/mm²)를 얻는 방법이 연구되고 있으나 아직은 Lab Scale 수준이며 Cost 문제, 대형화, PCB 신뢰성 확보 등 상용화에 대한 개발이 필요하다.

이 밖에도, 메릭스, TYCO, TIM, 코어텍 등을 포함한 많은 미국 제조업체 들은 물론 일본의 IBIDEN, Yamamoto, Kyocera, WUS, Mitsui, Hitachi, Matsushita, Fujitsu, 유럽의 Aspocomp, AT&S 등이 Embedded 기판 개발에 적극적이다.

2.2 국내 기술 동향

MCP (Multi-Chip Packaging) 부분에서는 LTCC/LTCC-M (Low Temperature Co-fired Ceramics on Metal) 기술을 주로 이용하는데, Glass-ceramic 재료를 기반으로 각 Layer를 적층한 후 1000℃ 이하에서 동시 소성하여 MCM (Multi-Chip Module) 및 Multi-Chip Module Package로 구현하는데 사용된다. LTCC/LTCC-M 기술을 이용하여 Module 내부에 수동소자를 직접 형성함으로써 SoP의 구현이 가능하다. 국내에서는 휴대폰 부품의

Module화의 수요가 급증하면서 이에 대한 연구개발이 활발하게 진행되고 있다. 아이엠텍이 ASM 및 FEM, 그리고 필코전자가 LTCC를 이용한 SAW Filter Package를 개발하였다. 삼성전기는 DMB와 관련된 기판을 LTCC 기술을 이용하여 개발하였으며, 소형화 연구에 주력하고 있다.

선진국의 기술 개발을 주도하고 있는 기업들은 주로 MCM-L, MCM-C, MCM-D의 공정을 모두 제공하고 있으며, 고밀도의 Hybrid Module화를 위한 최적화 공정 개발을 목표로 최첨단 제품을 시장에 내놓을 계획으로 추진하고 있다. 삼성전기는 R, C, L과 같은 3가지 Passive를 모두 내장한 Embedded PCB 개발에 착수하였으며 이를 이용한 모듈 개발을 진행하는 것으로 알려져 있으며, 2004년 Composite Type의 Embedded Capacitor 개발결과를 보고하였다. LG전자는 Polymer Type Embedded Capacitor PCB를 2003년부터 특허권을 보유한 미국 Sanmina, LG 화학 등과 제휴하여 초고속 서버 용도로 소량 생산 및 수출하는 것으로 알려져 있다. 심택도 KAIST와 함께 Carbon Paste 및 Embedded Capacitor PCB 개발을 진행 중에 있으며 일부 제품을 생산라인에서 시험 적용하는 등 양산능력 검증을 시도하고 있다.

세라믹 소재를 활용하는 LTCC 기술은 삼성전기에서 1994년부터 고주파형 칩인덕터 개발을 필두로 본격적인 공정 개발, 측정 및 설계와 관련한 연구가 진행되었으며, 1999년에는 삼성전기를 비롯한 일부 중소기업에서 ASM (Antenna Switch Module), FEM (Front End Module) 등의 휴대전화용 RF Module 제품의 상용화가 시작되었다. 이 밖에도, 삼성전기, 대덕전자 등이 기존의 PCB 기판 기술상의 Embedded 기술 개발에 적극적인 상황이다.

3. 3D 패키징을 위한 세라믹의 문제점 및 해결방안

세라믹 소재의 많은 장점에도 불구하고 전자 부품에 제한적으로 사용되는 원천적인 문제점은, 첫째, 대부분의 세라믹소재를 이용한 전자 부품제조에서 밀도를 높이고 소재로서의 특성을 얻으며 형태를

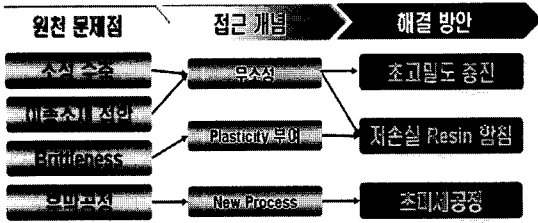


그림 2. Issues in the Conventional Ceramics and the Proposed Solution.

유지하기 위해서는 수백 °C에서 수천 °C에 이르는 고온에서 처리하기 위한 소결 공정이 필수적이라는 데 있다. 이러한 소결 공정을 거치면 세라믹 Body는 약 13% 이상의 수축이 발생하게 되어서 3-D구조상의 복잡한 패턴 및 Via-hole등의 Alignment에 치명적인 문제가 야기되고 있다. 또한 고온에서 행해지기 때문에 Polymer를 비롯한 다양한 다른 세라믹 소재 간의 접합이 매우 어렵다. Polymer는 350 °C 이상에서는 분해되어 특성을 유지 못하며, 다른 종류의 세라믹 소재간의 접합에서도 통상의 소결 온도에서는 분자간의 확산에 의해서 접합부의 화학적 조성이 변화하는 결정적인 문제가 있다.

또한 세라믹 소재는 경도 및 강도 면에서는 타 소재와 비교해 월등히 우수한 특성을 보이거나 취성(Brittleness)이 매우 커 충격에 약하다는 근본적인 단점을 가지고 있다. 고로 부품의 집적도가 급격히 높아져서 고강도의 소재가 필요한 차세대 휴대단말기에서는 휴대하는 특성 때문에 강도 이외에 낙하 시험 등 여러 충격환경에서도 잘 견딜 수 있는 소재 특성이 요구되고 있다. 즉 I/O수가 증가하면서 기판 등의 고강도가 요구되는 조건에는 만족할 수 있으나, 세라믹 소결체 내부의 여러 결함에서 기인되는 Crack 전도에 의한 파괴는 휴대용이라는 향후의 기기의 특성에 대응하는 데 큰 단점으로 작용하고 있다.

현재까지의 성형, 전극형성 및 펀칭 등 세라믹 가공공정의 정밀도는 100µm 내외 인 반면 향후 요구되는 3D Integration기술에서는 30µm 정도의 초정밀 공정이 요구되고 있다. 예를 들어, 전극형성 기술은 통상 스크린 프린팅에 의하여 이루어지고 있으며, 펀칭도 최소 50µm 내외의 Via-hole이 적용되고 있다. 또한 세라믹 성형은 Sheet 성형은 수 µm 내지 그 이하까지 가능하게 개발은 되었으나 이는 극히 일부의 부품에만 활용되고 있다. 이와 같이 세라믹 소재의 여러 유용성에도 불구하고 언급된 네 가지의 결정적인 문제점 때문에 세라믹소재의 활용범위가 한정되어지고 향후 3-D Integration 기술에서도 하나의 후보 소재에 머무르고 있지만 실용화가 늦어지고 있는 현실이다.

이러한 세라믹 소재의 원천적인 문제점을 해소하기 위한 개념으로는 앞에서 언급된 세라믹 소재의 고온에서의 소결 공정을 없애면 수축에 의한 Alignment의 문제점이나 확산에 의한 이종소재의 결합을 해결할 수 있으며, 세라믹 소재에 Plasticity를 부여한다면 충격에 대응하는 소재가 될 수 있을 것이다. 또한 수 µm까지 가공이 가능한 공정기술이 개발된다면 초정밀 가공이 가능한 소재로써 활용이 가능 할 것이다. 이러한 접근 개념을 통해 세라믹소재의 원천적 문제점을 해소하는 해결방안을 제시할 수 있다.

소결 공정을 생략하기 위해서는 일단 세라믹 분말의 충전밀도를 가능한 한 높게 하고 Plasticity를 부여하기 위하여 Polymer Resin을 첨가하여 가능할 것이다. 또한 이러한 충전밀도를 높이고 Resin을 첨가하는 공정을 미세하게 행할 수 있는 초미세 공정으로 한다면 세라믹 소재가 Matrix로써 세라믹 소재의 특성을 유지하고 적은 량의 Resin이 함유되어 강도와 충격에 강한 Ductile하면서 미세성형이 가능한 소재개발이 가능할 것이다. 이와 같이 언급된 세 가지, 초고밀도 충전, Resin 함유 및 초정밀 공정이 동시에 개발 가능하다면 세라믹 소재가 원천적으로 가지고 있던 단점이 동시에 해결되는 결과를 얻을 수 있을 것이다. 특히 이러한 개발이 실용화에 성공한다면 세라믹 소재가 단지 3-D Integration소재로써만이 아니라 더욱 많은 응용이 가능하여 세라믹 소

재 활용범위의 획기적인 전개가 이루어 질 수 있을 것이다.

4. 무소결 및 저온공정에 의한 3D 패키징용 세라믹 소재

본고에서는 고집적, 다층화 및 우수한 유전특성을 갖춘 3-D Integration 세라믹 소재기술을 개발하기 위해, 초고밀도 충전에 의한 무소결 세라믹 소재 및 공정 개발 및 Decoupling Capacitor 와 같은 High-K 수동소자를 내장화 시키기 위한 상온후막 증착공정 및 이 방법에 의해 제조된 고유전율 후막의 유전특성에 대해 논하기로 한다. 이 연구에서 구현하고자 하는 3D 패키지의 개념도를 그림 3에 도시하였으며, 고밀도 충전을 위한 전반적인 실험과정을 그림 4에 도시하였다.

무소결에 대한 본 과제의 개발전략은 세라믹 분말을 최대 고밀도 (60 vol.% 이상)로 충전함으로써 구현하는 것을 목표로 하고 있다. 현재까지 보고된 Theory로써는 1960대에 미국을 중심으로 수 cm 크기의 입자에 대한 최대 충전밀도를 구하는 연구 (ϕ m Model에 의한 Multi-modal Packing)가 진행된 바 있다. 본 연구에서는 이 이론을 현재 주로 사용되는 세라믹 분말 크기인 수 nm ~ 수 um에 이르는 범위

표 2. Resin Infiltration Conditions and Quality Factors of the Substrates.

| 함침 수치 | 열처리 온도 (°C) | 열처리 시간 (h) | 품질계수 (Q) @1 MHz |
|-------|-------------|------------|-----------------|
| Epoxy | 270 | 5 | 64 ± 8 |
| BCB | 150 | 5 | 130 ± 41 |
| PPO | 300 | 5 | 248 ± 34 |

에 적용하여 실험하였다(그림 5).

그러면, 필자가 소속된 그룹에서 현재까지 진행된 연구결과를 아래에 간략히 소개하고자 한다. 잉크젯 방법에 의한 세라믹 충전체는 그 충전율이 70 vol%에 달하였으며, 이렇게 만들어진 고밀도 충전 세라믹 Layer에 각종 Resin을 함침한 결과 표 2와 같은 유전특성을 얻었다. 그림 6은 잉크젯 방법에 의한 알루미늄 후막의 단면 SEM 사진으로써 Resin 함침 전후의 미세구조를 나타낸 것이다. 더욱이 Cynate Ester와 같은 저손실 Resin을 사용할 경우에는 유전율 5.7, 품질계수는 300~450(@1 MHz)로써 한층 더 향상된 유전특성을 얻을 수 있었으며, 이것은 기존의 세라믹 벌크 유전체 또는 저손실 LTCC 기판에 준하는 값이다(그림 7).

최근 무소결, 즉 상온 (Room Temperature)에서의

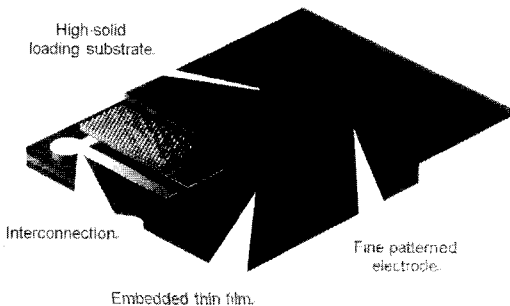


그림 3. Schematic Diagram of 3D Integrated Ceramic-organic Hybrid Module.

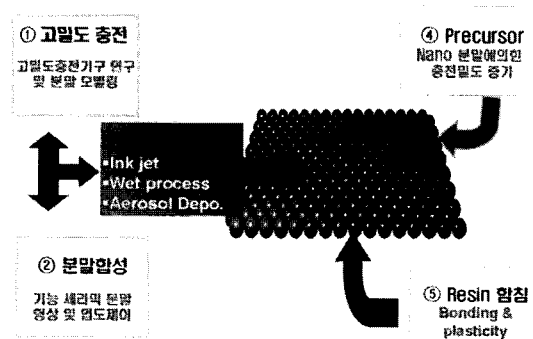


그림 4. Experimental Procedures of Highly Loaded Ceramic Layers with Resin Infiltration.

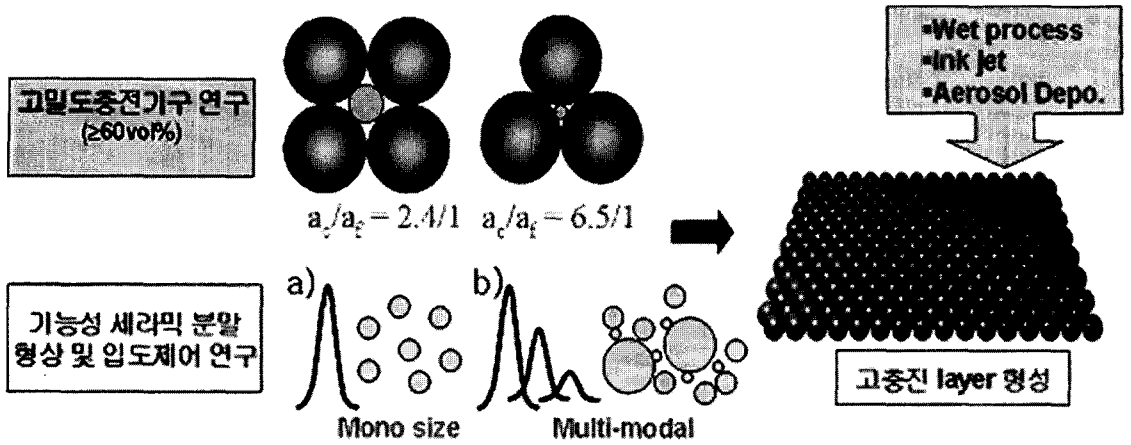
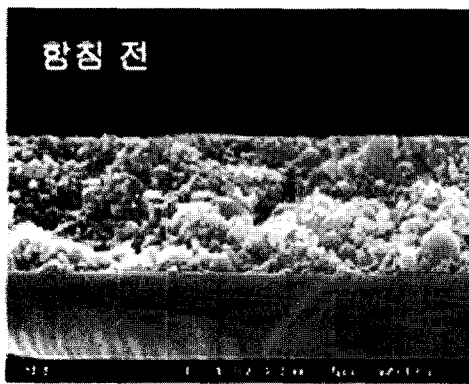
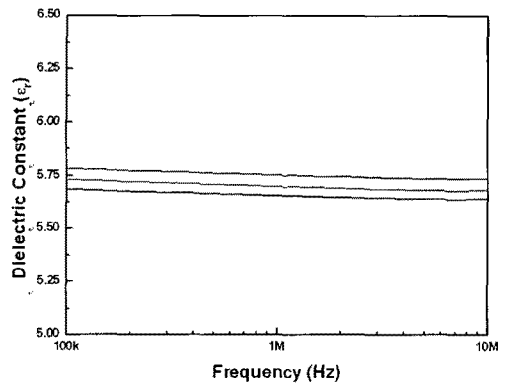


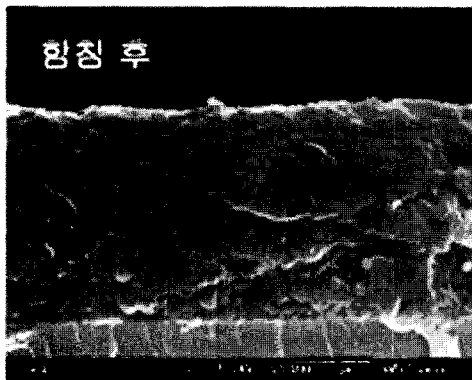
그림 5. High Density Packing Mechanism by Proper Powder Selection.



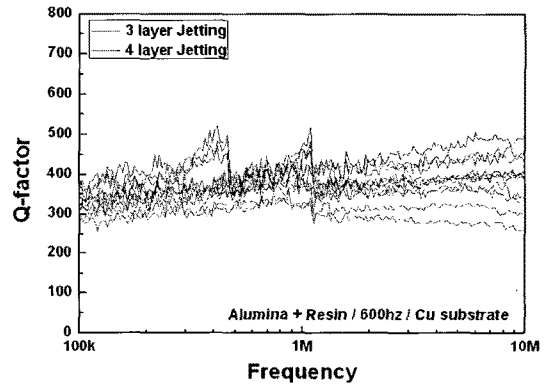
(a)



(a)



(b)



(b)

그림 6. SEM Cross-sectional View of Before and after Infiltration of BCB Resin.

그림 7. Dielectric Properties of Low-loss Resin Infiltrated Alumina Layer Cured at Less than 300 °C.

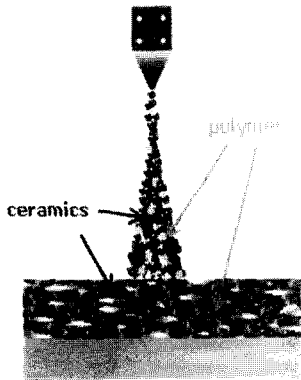


세라믹 유전체 후막을 형성하는 또 하나의 방법으로 Aerosol Deposition (AD) Method가 주목을 끌고 있으며, 이 분야는 일본의 산업종합연구소 (AIST)의 Jun Akedo 그룹을 선두로 하여 국내·외에서 다양한 어플리케이션에 적용 연구를 하고 있다. AD Method의 원리에 대해서는 이미 국내외 간행물을 통하여 잘 알려진바 본고에서는 생략하고자 한다. 그림 8은 AD Method에 의해 얻어진 Glass 기판상의 Al_2O_3 후막으로, N_2 Gas를 이용하여 20 mm 및 60 mm 노즐을 통해 얻어진 후막의 비교 결과이다. 두 종류의 노즐을 사용하여 얻어진 시료들 모두 상온에서 원활하게 성막이 잘 이루어진 것을 확인할 수 있으

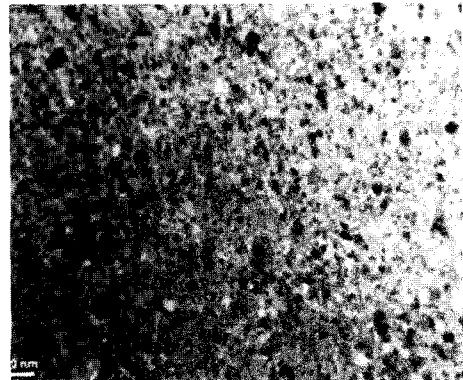
며, 그림 9는 이 후막의 미세구조 및 회절 패턴을 TEM으로 관찰한 것이다. 여기서, 알루미나 분말과 PTFE와 같은 고분자 분말을 적정비율 혼합하여 증착하였을 때 더욱 향상된 유전특성이 발현됨을 알 수 있었다(그림10).

감사의 글

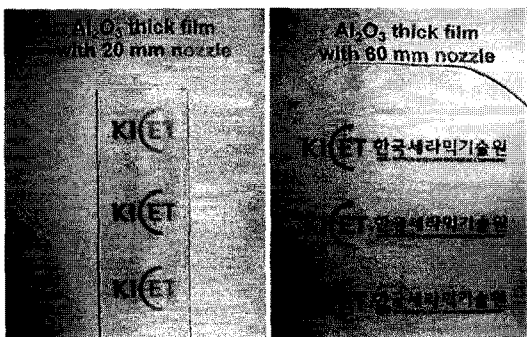
This work was supported by the Ministry of Knowledge Economy (Grant number M2007010011, Core materials technology development program),



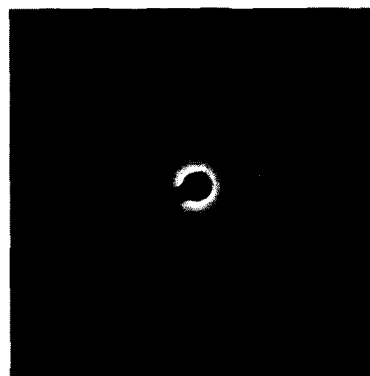
(a)



(a)



(b)



(b)

그림 8. Al_2O_3 thick Film Formed by AD Method by 20 mm and 60 mm Nozzles.

그림 9. TEM Image of Al_2O_3 Film and Diffraction Pattern.

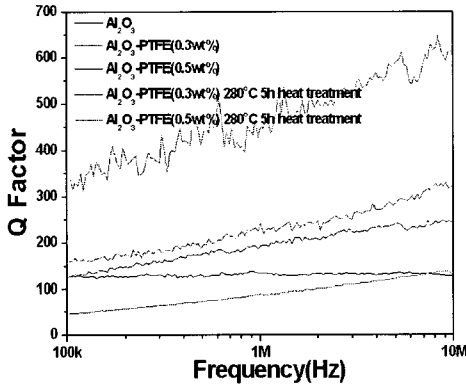
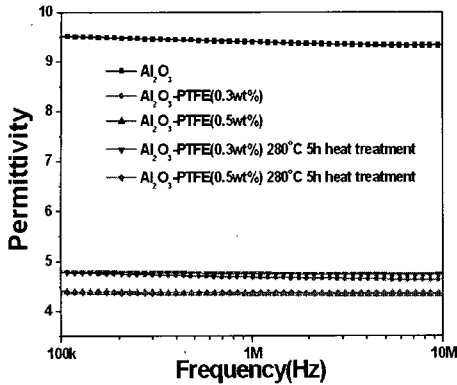


그림 10. Enhancement of dielectric Properties of Alumina Film by Adding low-loss polymer powders by AD method.

and also thanks to Dr. Jonghee Kim/PI, Dr. Eunhoe Koo, Dr. Young-joon Yoon, and Dr. Jihoon Kim in KICET who're involved in this project.

참고 문헌

[1] J.H. Song, M.J. Edirisinghe, J.R.G. Evans, J. Am. Ceram. Soc., 82 (12) (1999).
 [2] J. Akedo and M. Lebedev, Jpn. J. Appl. Phys., vol. 38, part 1, No.9B, 5397 (1999).

[3] N. Ramakrishnan, P.K. Rajesh, P. Ponnambalam, K. Prakasan, J. Mat. Proc. Tech., 169 (2005) 372-38.
 [4] K. McGeary, J. Am. Ceram. Soc., 44 (10), 513-522 (1961).
 [5] E. H. Koo,* Y.H. Son, H.W. Jang, H.T. Kim, Y.J. Yoon, J.H. Kim, Ceramic Transactions (The American Ceramic Society, MS&T 2008, Pittsburg).
 [6] Jong-hee Kim, Eunhae Koo, Young Joon Yoon, and Hyo Tae Kim*, Ceramic Transactions (The American Ceramic Society, MS&T 2008, Pittsburg).

저자약력



성명 : 김효태

◆ 학력

- 1987년 경북대 전자공학과 공학사
- 1994년 고려대 대학원 전자재료공학과 공학석사
- 1999년 고려대 대학원 전자재료공학과 공학박사

◆ 경력

- 1987년 - 1990년 삼성전기(주) 수원
- 1990년 - 1992년 AVX/Kyocera (YH) Seoul/ Assistant manager
- 1992년 - 1999년 한국과학기술연구원 (KIST)/학생연구원
- 1999년 - 1999년 IJS(Jozef Stefan Institute, Slovenia) / Post-doc.
- 1999년 - 2001년 MRI/Penn State Univ. (USA)/ Post-doc.
- 2002년 - 현재 한국세라믹기술원 미래융합세라믹본부 나노IT융합센터 책임연구원